(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 587 861**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **85 14087**

(51) Int Cl⁴ : H 04 J 3/24; H 04 L 5/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 23 septembre 1985.

(30) **Priorité :**

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 13 du 27 mars 1987.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *DEVAULT Michel et LE BRIS Hervé.* — FR.

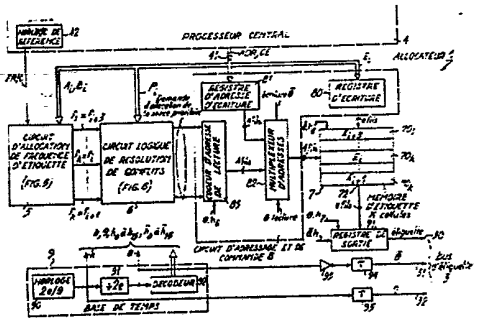
(72) **Inventeur(s) :** Michel Devault et Hervé Le Bris.

(73) **Titulaire(s) :**

(74) **Mandataire(s) :** Martinet et Lapoux.

(54) Allocateur pour bus distribué à des sources de données asynchrones.

(57) L'invention concerne un dispositif d'allocation 1 pour allouer des périodes d'allocation consécutives dans un bus 3 distribué à plusieurs sources de données asynchrones ayant des débits différents et étant identifiées par des étiquettes E_i, afin qu'une source active ayant demandé une autorisation de transmission puisse transmettre un paquet de données dans un bus pendant une donnée d'allocation. Selon l'invention, l'étiquette E_i d'une source active n'est mémorisée que dans une seule cellule 70_k d'une mémoire d'étiquette 7 quel que soit le débit de la source. La lecture de l'étiquette est effectuée sensiblement à la fréquence des paquets à transmettre reproduite dans un circuit d'allocation de fréquence d'étiquette, et est décidée notamment en fonction de priorités de sources actives afin de gérer automatiquement des demandes d'allocation simultanées entrant en conflit pour une même période d'allocation.



FR 2 587 861 - A1

Allocateur pour bus distribué à des sources de données asynchrones

La présente invention concerne un dispositif d'allocation pour allouer des périodes d'allocation consécutives dans un bus distribué à plusieurs sources de données asynchrones, chacune des périodes d'allocation étant propre à être occupée par un mot, dit étiquette, identifiant l'une des sources actives ayant demandé une autorisation de transmettre des paquets de données dans un bus vers un concentrateur de paquets associé au dispositif d'allocation.

Plus particulièrement, l'invention a trait à un allocateur pour un système de multiplexage numérique temporel asynchrone à bus distribué, du genre décrit dans la demande de brevet français FR-A-2 553 609.

Cet allocateur constitue des trames d'étiquettes identifiant des sources actives ayant demandé une autorisation de transmission de paquets, au moyen d'une mémoire de trame. Chaque trame est composée de N intervalles de temps consécutifs, dits périodes d'allocation, ayant chacun une durée prédéterminée θ susceptible d'être occupée par une étiquette de source. La mémoire de trame contient donc N cellules d'étiquettes lues cycliquement à la période de trame.

Un premier inconvénient de la mémoire de trame est sa capacité importante. En effet le nombre N de cellules de la mémoire est égal au rapport d_M/d_m, où d_M et d_m désignent respectivement des débits maximum et minimum des sources. En d'autres termes, une demande de transmission de paquets par une source au débit maximum requiert une écriture de l'étiquette de cette source dans les N cellules de la mémoire.

Un second inconvénient de la mémoire de trame est la difficulté de sa gestion par un processeur central recevant des demandes d'autorisation de transmission des sources. Pour allouer un canal de débit d_i à une source d'étiquette E_i, il faut

1) que la mémoire de trame dispose d'au moins n_i cellules libres, où n_i est égal à d_i/d_m lorsque le rapport d_i/d_m est un nombre entier, et est égal à n_i = 1 + partie entière de

(d_i/d_m) lorsque le rapport d_i/d_m n'est pas un nombre entier, et

2) que les n_i cellules mémorisant l'étiquette E_i soient les plus équiréparties possible dans la mémoire afin de minimiser la capacité d'une file d'attente dans un paqueteur-multiplexeur servant de moyens pour accéder au bus de transmission de paquet par la source.

Cette dernière contrainte est extrêmement sévère et constitue un handicap majeur pour ce type d'allocateur. En effet, des ruptures et établissements successifs de communications de débits variés ne créent pas nécessairement des cellules libres dans la mémoire correspondant à des périodes d'allocation les plus appropriées dans la trame pour commander une transmission de paquets régulière dans des paqueteurs-multiplexeurs de sources. Un défaut d'équirépartition des périodes d'allocation attribuées à chaque source active offre ainsi un risque de débordement de file d'attente d'autant plus critique que le débit de la source concernée est élevé.

La présente invention vise un double but consistant d'une part à supprimer la mémoire de trame pour la remplacer par une mémoire d'étiquette ayant une capacité très faible indépendante des valeurs des débits des sources, et d'autre part, à supprimer la gestion de la répartition temporelle des transmissions d'étiquettes dans le bus distribué par le processeur central en la remplaçant par une lecture sélective de la mémoire d'étiquette en fonction des débits des sources actives. En outre, l'invention permet une bonne continuité dans le choix des débits multiplexés et une augmentation de la gamme des débits de source multiplexés.

Conformément à l'invention, un dispositif pour allouer des périodes d'allocation consécutives dans un bus distribué à plusieurs sources de données asynchrones, lesdites sources ayant des débits différents et étant identifiées par des étiquettes respectives, chacune desdites périodes d'allocation étant susceptible d'être occupée par au plus une étiquette de l'une de sources actives ayant demandé une autorisation de transmission de données, ledit dispositif comprenant des moyens de commande recevant les demandes d'autorisation de transmission accompagnées

des débits des sources actives, une mémoire ayant des cellules pour mémoriser chacune une étiquette, des moyens commandés par les moyens de commande pour écrire des étiquettes dans la mémoire en réponse à des demandes d'autorisation de transmission, et des moyens pour lire des étiquettes mémorisées en vue de les transmettre dans le bus pendant des périodes d'allocation, est caractérisé en ce que les moyens de commande attribuent des mots de priorités auxdites sources actives et les moyens pour écrire n'écrivent l'étiquette de chaque source active que dans une seule cellule libre de la mémoire quel que soit le débit de la source active, et en ce que le dispositif comprend des moyens pour établir des demandes d'allocation périodiques respectivement à des fréquences d'étiquette sensiblement proportionnelles aux débits des sources actives dans un rapport prédéterminé, et des moyens pour sélectionner une demande d'allocation d'une source prioritaire parmi celles de sources actives non encore satisfaites à chaque période d'allocation, en fonction des mots de priorité, afin que les moyens pour lire adressent en lecture la cellule de la mémoire contenant l'étiquette de la source prioritaire sélectionnée pour la transmettre dans le bus pendant ladite période d'allocation, ladite demande d'allocation satisfaite de la source prioritaire étant effacée jusqu'à l'établissement de la prochaine demande d'allocation de la source prioritaire sélectionnée.

La notion de trame d'étiquettes selon la technique antérieure évoquée ci-dessus est supprimée selon l'invention puisque dans la mémoire, l'étiquette d'une source active n'est mémorisée que dans une seule cellule de mémoire et est lue sensiblement à la fréquence des paquets à transmettre par la source grâce aux moyens pour établir.

Selon une caractéristique de l'invention, les moyens pour établir comprennent plusieurs moyens à fréquence programmable respectivement associés aux cellules de la mémoire, chaque moyen à fréquence programmable étant programmé par les moyens de commande en fonction du débit de la source active dont l'étiquette est contenue dans la cellule de mémoire associée afin de fournir des demandes d'allocation à la fréquence d'étiquette de ladite source.

Grâce aux moyens à fréquence programmable, analogues à des synthétiseurs de fréquence, le choix des fréquences d'étiquette et donc des débits de source multiplexés s'effectue avec une grande précision, y compris aux débits élevés. De tels synthétiseurs produisent une très large gamme de fréquences d'étiquette et donc permettent une gamme très étendue de débits de source.

Selon une autre caractéristique de l'invention, les moyens pour sélectionner comprennent des moyens pour maintenir chacune des demandes d'allocation tant qu'elle n'est pas satisfaite, des moyens pour lire des mots de priorité associés auxdites demandes d'allocation non satisfaites, des moyens pour comparer des mots de priorité lus entre eux afin d'en déduire parmi eux le mot de priorité attribué à une source prioritaire et de satisfaire la demande d'allocation de la source prioritaire en commandant à travers les moyens pour lire une lecture de la cellule de mémoire contenant l'étiquette de la source prioritaire. Les moyens pour sélectionner ont ainsi pour rôle de gérer automatiquement des demandes d'allocation simultanées entrant en conflit pour une période d'allocation. Cependant, de préférence, la priorité est donnée aux sources ayant des débits élevés ce qui évite des débordements dans les files d'attente correspondant à ces sources à débit élevé.

D'autres avantages et caractéristiques de l'invention apparaîtront plus clairement à la lecture de la description suivante de réalisations préférées de l'invention en référence aux dessins correspondants annexés dans lesquels :

- la Fig.1 est un bloc diagramme schématique montrant l'organisation générale d'un système de multiplexage numérique temporel asynchrone à bus distribué déjà présentée dans la FR-A-2 553 609 ;

- la Fig.2 est un diagramme temporel montrant une répartition d'étiquettes dans un bus d'allocation selon l'invention ;

- la Fig.3 est un bloc diagramme d'un allocateur selon l'invention ;

- la Fig.4 sont des diagrammes temporels de signaux établis par une base de temps dans l'allocateur ;

- la Fig.5 est un bloc diagramme d'un circuit d'allocation de fréquence d'étiquette dans l'allocateur, l'un de synthétiseurs de fréquence dans le circuit d'allocation étant montré en détail ; et

- la Fig.6 est un bloc diagramme détaillé d'un circuit logique de résolution de conflits dans l'allocateur.

En référence à la Fig.1, l'organisation d'un système de multiplexage numérique temporel asynchrone dans lequel est inclus un allocateur 1 selon l'invention est d'abord rappelé. Le système temporel asynchrone comprend un bus unidirectionnel 2 pour une transmission distribuée de paquets de données à partir de I sources de données S_1 à S_I vers un concentrateur de données CON relié à un réseau de commutation temporel asynchrone (non représenté). Par exemple, le système de multiplexage est une partie d'un réseau local d'entreprise ou d'une installation d'abonné à raccorder à un réseau de commutation numérique à intégration de services (RNIS) à travers le concentrateur CON. Chaque source constitue des moyens de transmission de données inclus dans un terminal du réseau local. Chaque source est raccordée au bus 2 à travers un paqueteur-multiplexeur PM_1 à PM_I. Chaque paqueteur-multiplexeur PM_1 à PM_I est autorisé à transmettre un paquet de données dans le bus 2 sous la commande de l'allocateur 1 inclus dans le concentrateur CON, par l'intermédiaire d'un bus unidirectionnel 3 distribué sur chacun des paqueteurs-multiplexeurs.

Les sources S_1 à S_I transmettent respectivement des données vers les paqueteurs-multiplexeurs PM_1 à PM_I à travers des voies numériques VN_1 à VN_I ayant des débits respectifs d_1 à d_I. Les débits d_1 à d_I sont différents entre eux en général, et sont inférieurs à un débit maximal prédéterminé d_M. En pratique, les débits des sources excèdent un débit minimal donné d_m, par exemple de quelques centaines de bit/s. Les sources S_1 à S_I sont associées respectivement à des processeurs de commande PRO_1 à PRO_I qui permettent de signaler à un processeur central 4 inclus dans le concentrateur CON des activations des sources. Le processeur central 4 est relié aux processeurs PRO_1 à PRO_I à travers un réseau étoilé de liaisons bidirectionnelles 40_1 à 40_I dans lequel transitent différents signaux de signalisation entre chaque source et le processeur 4 afin que la source demande

une autorisation de transmission, c'est-à-dire un accès au bus 2 pour transmettre des données et signale ainsi son activation au début d'une communication ou afin que la source signale sa désactivation à la fin d'une communication. Dans la suite, on considère le fonctionnement de sources actives après l'échange de signaux de signalisation au début d'une communication. A un instant donné, des sources sont actives et d'autres sources sont inactives.

Chaque paqueteur-multiplexeur PM_1 à PM_I rassemble en paquets le signal numérique transmis par la voie numérique VN_1 à VN_I de la source active associée S_1 à S_I. Chaque paquet à transmettre dans le bus 2 est constitué d'un bloc ayant un nombre prédéterminé de bits b = k.e, où k est un entier, et d'une étiquette E_1 à E_I de source ayant e bits précédant le bloc. Une étiquette E_i est un mot binaire représentatif du numéro i de la source S_i, où i est un entier variant de 1 à I. Le bus 2 transporte en mode asynchrone les paquets multiplexés dans le temps délivrés par des paqueteurs-multiplexeurs associés à plusieurs sources actives simultanément ayant reçu des autorisations de transmettre sous forme d'étiquettes à partir de l'allocateur 1 à travers le bus d'allocation 3.

Comme montré à la Fig.2, la transmission d'étiquettes dans le bus 3 est divisé en des intervalles temporels consécutifs ayant chacun une période d'allocation égale à θ. Dans chaque intervalle temporel, une seconde demi-période $\theta/2$ est propre à être occupée par une étiquette E. Les étiquettes E sont multiplexées dans le bus 3 par l'allocateur 1 en fonction des débits d_1 à d_I des sources actives et d'un ordre de priorité de ces sources actives, comme on le verra dans la suite. Dans le bus 2, un paquet est transmis par une source pendant une durée inférieure à θ, en réponse à l'étiquette respective.

Pour un débit maximal d_M des sources, la période d'allocation θ est déterminée en fonction de caractéristiques de transmission du bus de transmission de paquets 2 et des nombres de bits e et b, comme indiqué dans la FR-A-2 553 605. Dans la suite, on suppose que chaque paquet comprend une étiquette ayant e = 8 bits suivi d'un champ d'information constitué par un bloc de b = 120 bits ; le débit maximum de source est d_M = 124 Mbit/s et

le débit minimum de source est de l'ordre de 500 bit/s. Sachant qu'un seul paquet à la fois ne peut être transmis pendant une période d'allocation Θ, celle-ci est au plus égale à $b/d_M = 120/(124.10^6)$, soit $\Theta < 967,7$ns ; typiquement Θ est choisi égal à 933,3ns ce qui correspond à une fréquence d'horloge pour la transmission de bits d'étiquette dans des secondes demi-périodes des périodes Θ telle que $h = 2e/\Theta = 17,14$ MHz.

Comme montré à la Fig.3, l'allocateur 1 comprend essentiellement un circuit d'allocation de fréquence d'étiquette 5 pour produire des fréquences d'étiquette et donc de paquet en fonction de débits de sources actives, un circuit logique de résolution de conflits 6 pour sélectionner une demande d'allocation provenant d'une source active prioritaire par rapport à celles d'autres sources actives pendant une période d'allocation, une mémoire d'étiquettes de sources actives 7 du type RAM, un circuit d'adressage et de commande en écriture et lecture 8 relative à la mémoire 7 notamment, et une base de temps 9.

La base de temps 9 contient une horloge 90 à la fréquence $h = 2e/\Theta$ des bits d'étiquettes dans le bus 3, un diviseur de fréquence par 2e 91 pour fournir un signal d'horloge Θ à la fréquence d'étiquette, ainsi qu'un décodeur 92 relié au diviseur 91 pour fournir divers signaux logiques propres au fonctionnement des autres circuits dans l'allocateur 1. Comme selon la FR-A-2 553 609, le bus 3 est composé d'une ligne numérique 30 transmettant les étiquettes sortant d'un registre de sortie 71 de la mémoire 7, d'une ligne numérique 31 transmettant un signal de synchronisation d'étiquette $\bar{\Theta}$, complémentaire du signal Θ, dont les secondes demi-périodes à l'état "1" encadrent les étiquettes dans la ligne 30, le signal $\bar{\Theta}$ dans la ligne 31 étant produit à partir du signal Θ à travers un inverseur 93 et une ligne de retard 94, et d'une ligne numérique 32 transmettant le signal d'horloge h au rythme des bits des étiquettes à travers une ligne de retard 95. Les lignes de retard 94 et 95 sont destinées à mettre en phase les signaux transmis $\bar{\Theta}$ et h dans le bus 3 avec les étiquettes dans la ligne 30 en raison du traitement des signaux logiques dans l'allocateur 1 entre la détection d'une demande d'allocation en sortie du circuit 5 et la lecture d'une étiquette dans le registre de sortie 71. Les

divers signaux logiques produits par le décodeur 92 sont des signaux impulsionnels h_0 à $h_{2e-1} = h_{15}$ ayant des impulsions ayant une largeur de $\theta/4e$ et décalés successivement de $\theta/2e$, comme montré à la Fig.4, ainsi que d'autres signaux logiques obtenus par des opérations logiques simples sur les signaux θ, $\bar{\theta}$ et h_0 à h_{15} et mentionnés au fur et à mesure dans la description suivante.

La mémoire 7 contient K cellules de e=8 bits 70_1 à 70_K propres à mémoriser chacune une étiquette d'une source active quelconque parmi toutes les sources S_1 à S_I. Le nombre K de cellules est généralement très inférieur au nombre I de sources et est choisi en fonction du trafic moyen des sources. Typiquement K est égal à 16 pour plusieurs dizaines de sources. Lorsque le processeur central 4 reçoit une demande de transmission d'une source S_i via une liaison 40_1 à 40_I en vue d'établir une communication, il alloue une cellule libre 70_k de rang prédéterminé k dans la mémoire 7 à la source, où k est un entier compris entre 1 et K ; si toutes les cellules dans la mémoire 7 sont occupées par des étiquettes de sources actives, le processeur 4 refuse la communication ; selon une autre variante, le processeur enregistre l'étiquette de la source dans une file d'attente en vue de rappeler la source dès qu'une cellule dans la mémoire 7 est libre.

Pour éviter au processeur central 4 d'accéder en lecture à la mémoire 70, la recherche des mots libres est effectuée dans une mémoire image de la mémoire 7, localisée dans le processeur central 4 et constituée de K mots de 1 bit donnant l'état libre ou occupé de chaque mot de même adresse de la mémoire 7.

Comme on le verra dans la suite, à chaque cellule 70_k ayant un rang prédéterminé k dans la mémoire d'étiquette 7 sont associés un, 50_k, parmi K synthétiseurs de fréquence dans le circuit d'allocation 5 et un, 63_k, parmi K registres de mot de priorité dans le circuit de résolution de conflits 6. L'étiquette E_i d'une source active S_i, deux rapports de fréquence A_i et B_i et un mot de priorité P_i attribués à la source S_i notamment en fonction de son débit d_i sont transmis par le processeur central 4 via un bus de données et d'adressage 41 vers les circuits 5, 6 et

8 en vue de leur écriture dans la cellule 70_k, dans deux diviseurs programmables dans le synthétiseur 50_k et dans le registre de mot de priorité 63_k. Ces derniers circuits sont accessibles en écriture pendant la seconde demi-période d'une période d'allocation Θ grâce à des adresses respectives ADR et les signaux de commande en écriture CE transmis également par le processeur 4 à travers le bus 41.

En particulier, dans le circuit 8, l'étiquette E_i et l'adresse de la cellule 70_k sont chargées respectivement dans un registre d'écriture 80 et un registre d'adresse d'écriture 81 pendant une première demi-période de la période Θ au cours de laquelle a lieu une résolution de conflits et une lecture d'étiquette, comme on le verra dans la suite. Puis pendant la seconde demi-période de la période Θ, la cellule 70_k est adressée par le registre 81 à travers un multiplexeur d'adresses d'écriture et de lecture 82 et enregistre l'étiquette E_i sortant du registre 80 sous la commande d'un signal $\bar{\Theta}.h_8$ fourni par le décodeur 92. Cette opération de marquage de la cellule 70_k attribuée à la source S_i est simultanée à celle relative au synthétiseur 50_k et au registre du mot de priorité 63_k. Ainsi, pendant la seconde demi-période de chaque période d'allocation Θ, le processeur 4 peut effectuer un marquage d'une étiquette dans la mémoire 7.

Le circuit d'allocation de fréquence d'étiquette 5 consiste à produire une fréquence d'étiquette f_i correspondant au débit d_i d'une source active ayant requis une demande d'autorisation de transmission de paquet près du processeur central 4, et plus précisément, correspondant au débit de paquet de cette source dans le bus 2, telle que $f_i = d_i/b$. Dans ce cas, le processeur 4 sélectionne l'un de $K = 16$ synthétiseurs de fréquence identiques 50_1 à 50_K inclus dans le circuit 5. Comme on le verra dans la suite, la sélection d'un synthétiseur libre est effectuée lors d'un marquage de l'étiquette correspondant à la source ayant requis une demande d'autorisation de transmission.

Compte tenu des paramètres indiqués ci-dessus, la gamme des fréquences que doit fournir un synthétiseur 50_1 à 50_K est comprise entre une fréquence minimale $f_m = d_m/b = 500/120$ Hz et une fréquence maximale $f_M = d_M/b = 124.10^6/120$ Hz, ce qui

correspond à un rapport de $f_M/f_m = 250000$ environ. Cependant, une telle plage de fréquence est impossible à obtenir au moyen d'une simple boucle de verrouillage de phase (PLL) car elle est considérablement plus large que celles pour des oscillateurs commandés en tension (VCO) connus, qui, avec certitude, sont comprises entre une fréquence minimale déterminée F_m et une fréquence maximale $F_M = 3F_m$.

L'un, 50_k, des synthétiseurs dans le circuit 4 est montré en détail à la Fig.5. Le synthétiseur comprend une boucle à verrouillage de phase 51 à 54 suivie d'un diviseur de fréquence programmable 55. La boucle à verrouillage de phase comprend successivement un oscillateur commandé en tension (VCO) 51, un diviseur de fréquence programmable 52, un comparateur de phase sous la forme d'une porte OU-Exclusif 53 et un filtre passe-bas 54. La porte 53 a une entrée reliée à une sortie du diviseur 52 et une autre entrée recevant un signal de fréquence FR/C transmis par une horloge de référence 42 incluse dans le processeur central 4, à tous les synthétiseurs 50_1 à 50_K. L'horloge 42 comprend un oscillateur à quartz 43 produisant une fréquence élevée FR, suivi d'un diviseur de fréquence par un entier C 44 pour produire le signal FR/C.

Les diviseurs de fréquence 52 et 55 ont des rapports de division respectifs A et B programmés par le processeur central 4 et transmis par le bus de données 41 lors d'une opération de marquage. Le rapport A est compris entre deux valeurs limites A_m et A_M afin d'obtenir toutes les fréquences dans la plage de fréquences de sortie des synthétiseurs de f_m à f_M pour la variation en fréquence de l'oscillateur 51 comprise entre F_M et F_m, ce qui se traduit par les relations suivantes :

$$f_M = F_M/A_m$$

et $$f_m = F_m/A_M$$

Typiquement, lorsque le diviseur 55 est réalisé sous la forme d'un compteur à 16 bits, les valeurs limites du rapport A sont $A_m = 1$ et $A_M = 2^{16} = 65536$ ce qui correspond en pratique à des fréquences f comprises entre $f_m = F_M/3/A_M = 5{,}25$ Hz, soit un débit minimal de source $d_m = f_m.b = 5{,}25.120 = 630$ bit/s, et $f_M = F_M = 124.10^6/120 = 1{,}033.10^6$ Hz. Par exemple,

l'oscillateur commandé en tension 51 est celui de la société TEXAS INSTRUMENTS, désigné par LS628, dont la plage de variation en fréquence peut être comprise entre $F_m = F_M/3 = 0,344.10^6$ Hz et $F_M = 1,033.10^6$ Hz pour une capacité 56 d'environ 1 nF.

La sortie de l'oscillateur 51 est reliée à la fois à l'entrée du diviseur de fréquence 55 et à l'entrée du diviseur de fréquence 52, de sorte que la fréquence de sortie F du synthétiseur peut être exprimée par la relation :

$$f = (FR/C).B/A$$

Pour des valeurs fixées de C et B, une incrémentation d'une unité de A diminue la fréquence f de :

$$\Delta f = f(A) - f(A+1) = f(A) / (A+1)$$

Aux basses fréquences, caractérisées par f(A) petit et A grand, l'incrément Δf est petit, quelles que soient les combinaisons de B et C qui approchent f(A). A l'inverse, aux hautes fréquences, f(A) est grand et A petit. Il faut donc choisir FR petit et C grand et essentiellement modifier B pour obtenir des incréments faibles. Ainsi, il est sans intérêt de faire varier C ; il est plus simple de fixer le rapport C une bonne fois pour toutes à une valeur maximum C_M et donc de choisir un diviseur de fréquence 44 non programmable. Un tel choix est surabondant aux basses fréquences mais plus simple au sujet des valeurs à calculer par le processeur central 4.

Il reste à déterminer la fréquence FR et la plage de variation du rapport B entre des valeurs B_m et B_M. La condition d'accrochage de la boucle à verrouillage de phase (PLL) s'écrit :

$$FR/C_M = F/B \text{ avec } F_M/F_m = 3,$$

ce qui implique : $B_M/B_m = 3$.

De la condition d'accrochage, on déduit que la fréquence minimum théorique de FR est égale à F_M.

En pratique, la fréquence FR est produite par une horloge de base 43 dans le processeur central 4. Par exemple, le processeur 4 est une carte processeur INTEL 88/45, pour laquelle la fréquence FR est égale à 8 MHz, et le diviseur 43 est sous la forme d'un circuit intégré INTEL 8254 de cette même carte, programmé à $C_M = 64000$. On obtient finalement une fréquence d'horloge de $FR/C_M = 125$ Hz. On en déduit :

$B_M = F_M/FR/C_M = 1,033.10^6/125 = 8264$

et $B_m = B_M/3 = 2755$.

Les diviseurs 55 et 52 sont eux aussi réalisés par des circuits INTEL 8254 ce qui représente le double avantage de bénéficier de leur très forte intégration et de leur interfaçage immédiat avec la carte INTEL 88/45 qui constitue le processeur central.

Pour obtenir une fréquence f, exprimée en Hz, en sortie d'un synthétiseur, le processeur 4 programme les diviseurs 55 et 52, réalisés chacun sous forme d'un compteur à 16 bits, selon l'algorithme suivant donné à titre d'exemple. Cet algorithme est directement inspiré des remarques précédentes. Pour obtenir une fréquence f telle que $F_M >= f >= F_m$, le rapport A est fixé à 1, et le rapport B varie seul entre B_m et B_M ; pour obtenir une fréquence f telle que $f < F_m$, le rapport B est fixé à une valeur moyenne $(B_M + B_m)/2$, et le rapport A varie seul entre A_m et A_M. Un tel algorithme présente l'avantage d'une programmation simple du processeur 4.

Lorsqu'une source quelconque S_i requiert une demande d'autorisation de transmission de paquet via la liaison 40_i, elle transmet le débit respectif d_i au processeur central 4 qui en déduit la fréquence d'étiquette $f_i = d_i/b$. Comme déjà dit, le processeur 4 sélectionne un synthétiseur libre 50_1 à 50_K, tel que le synthétiseur 50_k, ou si tous les synthétiseurs sont déjà attribués à des sources actives, le processeur 4 refuse la demande de la source ; selon une autre variante, le processeur 4 marque la demande de la source dans une file d'attente pour lui attribuer ultérieurement un synthétiseur libre. Après la sélection du synthétiseur 50_k, la programmation de ses diviseurs de fréquences 52 et 55 est effectuée de la manière suivante. Le rapport A est d'abord fixé à $A_i = 1$ et le rapport B est calculé selon la relation $B_i = f_i/FR/C_M$; si la valeur calculée du rapport B est supérieure à B_M, le processeur 4 indique à la source S_i, via la liaison 40_i, que le débit d_i transmis est erroné puisque la fréquence f_i est alors supérieure à f_M ; comme déjà dit, si $B_m =< B_i =< B_M$, les valeurs $A_i = 1$ et $B_i = f_i/FR/C_M$ sont retenues ; si la valeur calculée du rapport B est inférieure à B_m, le processeur 4 fixe la valeur de B à $B_i = (B_M + B_m)/2$

et calcule la valeur $A_i = (FR/C_M).(B_M+B_m)/2/f_i$. Lorsque les valeurs A_i et B_i des rapports A et B sont calculées, le processeur central 4 charge ces valeurs dans les diviseurs programmables 55 et 52 du synthétiseur sélectionné 50_k via le bus donné 41.

Selon un premier exemple, pour une source S_i ayant une voie numérique VN_i véhiculant un canal vidéo au débit de d_i = 61 Mbit/s, la fréquence d'étiquette est $f_i = 61.10^6/120 = 508,33\ 10^3$ Hz ; pour A = 1, on en déduit $B_M > f_i/125 > B_m$, soit B_i = 4067. Selon un second exemple, pour une source S_{i+1} ayant une voie numérique VN_{i+1} véhiculant un canal de données au débit de d_{i+1} = 2400 bit/s, la fréquence d'étiquette est f_{i+1} = 2400/120 = 20 Hz ; pour A = 1, on a $f_{i+1}/125 = 0,16 < B_m$, et on choisit donc $B_{i+1} = (B_M + B_m)/2 = 5510$ pour en déduire $A_{i+1} = 125.5510/20 = 34438$.

En référence maintenant à la Fig.6 est décrit le circuit logique de résolution de conflits 6. Le circuit 6 comprend K = 16 bascules bistables du type D 60_1 à 60_K, deux registres tampons 61 et 62 ayant chacun K étages parallèles, K registres de mot de priorité 63_1 à 63_K chacun bouclé sur lui-même, K portes ET à deux entrées 64_1 à 64_K, une porte OU à K entrées 65 et K circuits logiques de comparaison et de blocage 66_1 à 66_K.

Chacun des registres 63_1 à 63_K est propre à enregistrer l'un de mots de priorité P_1 à P_K assignés respectivement aux K sources actives parmi l'ensemble des sources S_1 à S_I. Chaque mot de priorité contient $J = \log_2 K = 4$ bits p_3, p_2, p_1 et p_0, où p_3 et p_0 désignent des bits de poids fort et de poids faible du mot de priorité. En fonction de certains critères, et notamment en fonction des débits des sources, le processeur central 4 associe à chaque source active ayant requis une demande de transmission en vue d'allocation d'intervalles Θ dans le bus 3 et pour laquelle un synthétiseur libre 50_1 à 50_K est sélectionné, un mot de priorité dont les bits sont enregistrés en parallèle dans le registre correspondant 63_1 à 63_K pendant la phase de marquage de l'étiquette de la source dans la cellule de mémoire correspondante 70_1 à 70_K, comme on le verra dans la suite. Les mots de priorité sont appliqués respectivement aux registres 63_1

à 63_K à travers K = 4 fils du bus de données 41. Les K mots de priorité sont tous différents et en pratique, ceux ayant des valeurs binaires élevées sont attribués aux sources actives ayant des débits élevés afin d'éviter un engorgement des files d'attente du type FIFO incluses dans les paqueteurs-multiplexeurs associés aux sources actives à débit élevé. Lorsque deux sources actives ont des débits identiques, les mots de priorité correspondant diffèrent d'une unité. Ainsi, les demandes d'allocation sous forme d'étiquettes relatives à des sources actives associées à des mots de priorité de valeur binaire élevée sont prioritaires sur celles relatives à des sources actives associées à des mots de priorité de valeur binaire plus faible. En outre, le mot de priorité assigné à une source active en cours de communication peut être modifié par le processeur central 4 afin de conserver notamment la hiérarchie des débits lorsque d'autres communications sont rompues et de nouvelles communications sont établies.

Dans les Figs.3, 5 et 6, il est supposé que les cellules 70_1, 70_k et 70_K, les synthétiseurs 50_i, 50_k et 50_K et les registres de mot de priorité 63_1, 63_k et 63_K ont été assignés aux sources actives S_{i+3}, S_i et S_{i+1} par le processeur 4, respectivement, suite à des demandes d'autorisation de transmission de ces sources.

Des demandes d'allocation des synthétiseurs 50_1 à 50_K associés à des sources actives sont caractérisées par un passage de l'état "0" à l'état "1" des sorties 57_1 à 57_K des diviseurs de fréquence 55 dans les synthétiseurs appliquant des signaux logiques de fréquences f_1 à f_K à des entrées d'horloge C des bascules 60_1 à 60_K. Les entrées D des bascules 60_1 à 60_K sont maintenues en permanence à "1". Au début d'un cycle de comparaison des mots de priorité, correspondant sensiblement à la fin d'une première demi-période d'allocation $\theta/2$, en réponse à un signal $\theta.h_6$ fourni par la base de temps 9, l'une des bascules 60_1 à 60_K associée à une source prioritaire dont une demande d'allocation a été satisfaite pendant la période d'allocation précédente est remise à zéro par une entrée RZ.

Les autres demandes d'allocation mémorisées dans les bascules 60_1 à 60_K et donc non encore satisfaites sont chargées en

parallèle dans le registre 61, en réponse au front montant du signal $\bar{\Theta}.h_8$ fourni par la base de temps 9 au début de la seconde période d'une première période d'allocation Θ. Le signal $\bar{\Theta}.h_8$ commandant le chargement de registre 61 est totalement asynchrone des transitions "0" à "1" des signaux f_1 à f_K et donc des passages à "1" des sorties Q des bascules 60_1 à 60_K reliées respectivement à K entrées du registre 61. Des états de certaines sorties du registre 61 qui correspondent à un échantillonnage des sorties de bascules en cours de changement d'état, sont alors instables pendant un laps de temps. Pour remédier à cet inconvénient, le registre suivant 62 ayant K entrées reliées respectivement aux K sorties du registre 61 recopie le contenu du registre 61 en réponse à un signal $\Theta.h_0$ fourni par la base de temps 9 au début d'une seconde période d'allocation Θ succèdant à la première période d'allocation déjà citée. Les sorties du registre 62 qui sont à l'état "1" indiquent ainsi des demandes conflictuelles d'allocation du bus 2 pendant une même période Θ.

Les K sorties du registre 62 sont reliées à des premières entrées des portes ET 64_1 à 64_K ayant des secondes entrées reliées aux sorties des registres de priorité 63_1 à 63_K, respectivement. Des entrées d'horloge C des registres 63_1 à 63_K reçoivent quatre impulsions successives dans un signal $\Theta(h_0 + h_1 + h_2 + h_3)$ fourni par la base de temps 9 afin d'appliquer successivement les bits p_3 à p_0 des mots de priorité aux secondes entrées des portes 64_1 à 64_K, suite à la recopie des demandes d'allocation dans le registre 62. Seules les portes 64_1 à 64_K ayant reçu une demande d'allocation sont ouvertes et appliquent successivement les bits correspondant p_3 à p_0 aux entrées de la porte OU 65 et à des premières entrées de portes NON-OU-Exclusif 661_1 à 661_K incluses dans les circuits 66_1 à 66_K.

La résolution des demandes d'allocation en conflit pendant une période d'allocation Θ est fondée sur l'algorithme de Nisnevich. Appliqué à l'invention, cet algorithme consiste à comparer le bit p_j dans chaque mot de priorité à la somme logique des bits p_j de tous les mots de priorité contenus dans les registres 63_1 à

63_K. Les mots de priorité pour lesquels une différence est constatée sont retirés des opérations de comparaison suivantes au cours desquelles sont effectuées des processus analogues au précédent sur les autres bits p_{j-1} à p_0 respectivement. Sachant que les comparaisons successives évoluent des bits de poids fort $p_{J-1} = p_3$ aux bits de poids faible p_0, à la fin du cycle des comparaisons il ne reste qu'un seul mot de priorité dont la valeur binaire est la plus élevée et qui correspond à la source prioritaire pour la période d'allocation en cours. Ainsi, à l'instant $\theta.\bar{h}_0$ sont effectuées simultanément les comparaisons des bits p_3 de poids fort et de rang 1 sortant des portes ouvertes 64_1 à 64_K avec la somme de ces bits ; puis à l'instant $\theta.\bar{h}_1$ sont effectuées simultanément les comparaisons des bits p_2 de rang 2 sortant des portes ouvertes 64_1 à 64_K avec la somme de ces bits ; et ainsi de suite jusqu'aux bits P_0 de poids faible et de rang J = 4. La somme logique des bits de même rang dans les mots de priorité est effectuée par la porte OU 65 ayant une sortie reliée à des secondes entrées des portes de comparaison 661_1 à 661_K.

Chacun des circuits de comparaison et de blocage 66_1 à 66_K comprend, outre la porte 661_1 à 661_K, une porte NON-ET 662_1 à 662_K ayant une première entrée reliée à la sortie de la porte 661_1 à 661_K, une bascule bistable du type D 663_1 à 663_K ayant une entrée D reliée à la sortie de la porte 662_1 à 662_K et une sortie complémentaire $\bar{Q}$ reliée à une seconde entrée de la porte 662_1 à 662_K, et une porte ET 664_1 à 664_K ayant une première entrée reliée à la sortie $\bar{Q}$ de la bascule 663_1 à 663_K et une sortie reliée à l'entrée RZ de la bascule respective 60_1 à 60_K. Des entrées d'horloge C des bascules 663_1 à 663_K et des secondes entrées des portes ET 664_1 à 664_K reçoivent respectivement des signaux $\theta.(\bar{h}_0 + \bar{h}_1 + \bar{h}_2 + \bar{h}_3)$ et $\theta.h_6$ de la base de temps 9.

Préalablement au cycle de comparaison, les bascules 664_1 à 664_K sont remises à zéro par le signal $\bar{\theta}.h_8$ appliqués à leurs entrées RZ, simultanément à l'échantillonnage des sorties des bascules 60_1 à 60_K dans le registre 61. Par suite, toutes les portes NON-ET 662_1 à 662_K sont ouvertes lorsque les portes

661_1 à 661_K transmettent les résultats des comparaisons des bits de poids fort p_3 avec la somme de ces bits. Ces premiers résultats de comparaisons sont échantillonnés dans les bascules 663_1 à 663_K sous la commande du signal $\theta.\bar{h}_0$. Les sorties $\bar{Q}$ de bascules 663_1 à 663_K qui demeurent à l'état "1" après l'impulsion $\theta.\bar{h}_1$, correspondent à des égalités entre les bits p_3 dans les registres respectifs 63_1 à 63_K p_3 et la somme de tous les bits p_3 et autorisent des comparaisons ultérieures relatives aux bits de rangs suivants en laissant ouvertes les portes NON-ET correspondantes 662_1 à 662_K ; au contraire de ceci, des inégalités se traduisant par un état "0" aux sorties de portes 661_1 à 661_K et de bascules 663_1 à 663_K impliquent une fermeture des portes correspondantes 662_1 à 662_K et ainsi inhibent des résultats de comparaisons des bits p_2 à p_0 des mots de priorité associés à ces portes avec les sommes de bits correspondantes et donc "retirent" les mots de priorité correspondants dans les opérations de comparaisons ultérieures. Des processus correspondant au précédent sont effectués relativement aux bits p_2, p_1 et p_0 en réponse aux signaux de décalage $\theta.h_1$, $\theta.h_2$ et $\theta.h_3$ appliqués aux registres 63_1 à 63_K et aux signaux d'échantillonnage de résultat de comparaison $\theta.\bar{h}_1$, $\theta.\bar{h}_2$ et $\theta.\bar{h}_3$ appliqués aux bascules 663_1 à 663_K.

A la fin de ces K = 4 processus de comparaison, une seule bascule 664_1 à 664_K offre une sortie $\bar{Q}$ à l'état "1" désignant le registre 63_1 à 63_K contenant le mot de priorité de la source la plus prioritaire pour la période d'allocation θ en cours. Cet état "1" permet de sélectionner l'adresse de lecture de la cellule 70_1 à 70_K dans la mémoire 7 ayant enregistrée l'étiquette de la source prioritaire et correspondant au synthétiseur et au registre de mot de priorité de même rang 1 à K, et ainsi de satisfaire la demande d'allocation de la source prioritaire en transmettant une étiquette dans le bus 3. Par ailleurs, la sortie $\bar{Q}$ à l'état "1" de la bascule précédente "prioritaire" 664_1 à 664_K provoque la remise à zéro de la bascule associée de même rang 60_1 à 60_K à travers la porte ET associée 664_1 à 664_K en réponse au signal $\theta.h_6$, et ainsi efface la demande d'allocation qui vient d'être sélectionnée et satisfaite. Une prochaine étiquette de la source

précédemment prioritaire ne peut alors être transmise qu'au plus tôt, après la prochaine transition "0" à "1" du signal logique associé f_1 à f_K.

Il est à noter que, comme déjà dit, le changement de mots de priorité dans les registres 63_1 à 63_K est effectuée par le processeur central 4 lorsque le signal $\bar{\theta}$ est égal à "1" et donc en dehors des périodes de déroulement de l'algorithme de résolution des conflits.

En se référant à nouveau à la Fig.3, le circuit d'adressage et de commande 8 comprend un codeur d'adresse de lecture 83 ayant K = 16 entrées respectivement reliées aux sorties $\bar{Q}$ des bascules 663_1 à 663_K, et un bus de sortie à $\log_2 e = 4$ fils relié à la mémoire 7 à travers le multiplexeur d'adresses 82. En réponse au signal $\theta.h_6$, le codeur 83 fournit l'adresse de la cellule de la mémoire 7 pour laquelle la sortie $\bar{Q}$ de la bascule 663_1 à 663_K est à l'état "1" afin de charger l'étiquette correspondante de la source prioritaire de la mémoire 7 dans le registre de sortie 71, via un bus à e fils 72, en réponse à un signal $\theta.h_7$ fourni par la base de temps 9. Puis pendant la seconde demi-période de la période θ, l'étiquette est lue en série dans le registre 71 et transmise dans la ligne 30 du bus 3 au rythme du signal $\bar{\theta}.h$.

Enfin il est à noter que des sources peuvent offrir chacune des débits de données variables, ce qui ne modifie pas le fonctionnement de l'allocateur décrit ci-dessus puisqu'une demande d'autorisation de transmission dans une liaison 40_1 à 40_I émanant d'une source est toujours accompagnée de la valeur du débit auquel s'effectuera la communication demandée.

REVENDICATIONS

1 - Dispositif pour allouer des périodes d'allocation (Θ) consécutives dans un bus distribué (3) à plusieurs sources de données asynchrones (S_1 à S_I), lesdites sources ayant des débits différents (d_1 à d_I) et étant identifiées par des étiquettes respectives (E_1 à E_I), chacune desdites périodes d'allocation étant susceptible d'être occupée par au plus une étiquette de l'une de sources actives ayant demandé une autorisation de transmission de données, ledit dispositif comprenant des moyens de commande (4) recevant les demandes d'autorisation de transmission (40_i) accompagnées des débits des sources actives, une mémoire (7) ayant des cellules (70_1 à 70_K) pour mémoriser chacune une étiquette, des moyens (80, 81) commandés par les moyens de commande pour écrire des étiquettes (E_i) dans la mémoire en réponse à des demandes d'autorisation de transmission, et des moyens (83) pour lire des étiquettes mémorisées en vue de les transmettre dans le bus (3) pendant des périodes d'allocation (Θ), caractérisé en ce que les moyens de commande (4) attribuent des mots de priorités (P_i) auxdites sources actives (S_i) et les moyens pour écrire (80, 81) n'écrivent l'étiquette (E_i) de chaque source active (S_i) que dans une seule cellule libre (70_k) de la mémoire (7) quel que soit le débit (d_i) de la source active, et en ce que le dispositif comprend des moyens (5) pour établir des demandes d'allocation périodiques respectivement à des fréquences d'étiquette (f_1 à f_K) sensiblement proportionnelles aux débits des sources actives dans un rapport prédéterminé (b), et des moyens (6) pour sélectionner une demande d'allocation d'une source prioritaire parmi celles de sources actives non encore satisfaites à chaque période d'allocation (Θ), en fonction des mots de priorité, afin que les moyens pour lire adressent en lecture la cellule de la mémoire ($50_k = 50_i$) contenant l'étiquette (E_i) de la source prioritaire sélectionnée (S_i) pour la transmettre dans le bus pendant ladite période d'allocation, ladite demande d'allocation satisfaite de la source prioritaire étant effacée jusqu'à l'établissement de la prochaine demande d'allocation de la source prioritaire sélectionnée.

2 - Dispositif conforme à la revendication 1, caractérisé en ce que les moyens pour établir des demandes d'allocation (5) comprennent plusieurs moyens à fréquence programmable (50_1 à 50_K) respectivement associés aux cellules de la mémoire (70_1 à 70_K), chaque moyen à fréquence programmable (50_k) étant programmé par les moyens de commande (4) en fonction du débit (d_i) de la source active (S_i) dont l'étiquette (E_i) est contenue dans la cellule de mémoire associée (70_k) afin de fournir des demandes d'allocation à la fréquence d'étiquette ($f_i = f_k$) de ladite source (S_i).

3 - Dispositif conforme à la revendication 2, caractérisé en ce que chacun des moyens à fréquence programmable (50_k) comprend un premier diviseur de fréquence (55) à premier rapport de division programmable A et une boucle à verrouillage de phase (51 à 54) incluant un second diviseur de fréquence (52) à second rapport de division programmable B interconnecté entre une sortie d'un oscillateur commandé en tension (51) relié à une entrée du premier diviseur de fréquence (55) et une première entrée d'un comparateur de phase (53) ayant une seconde entrée recevant un signal à fréquence d'horloge FR/C, ledit premier diviseur de fréquence (55) fournissant des demandes d'allocation à une fréquence ($f_k = f_i$) égale à (FR/C)x(B/A).

4 - Dispositif conforme à la revendication 3, caractérisé en ce que les premiers rapports de division A sont programmés entre des premières limites A_m et A_M telles que $A_m = F_M/f_M$ et $A_M = F_m/f_m$, où F_m et F_M désignent des fréquences minimale et maximale de l'oscillateur (51) et f_m et f_M désignent des fréquences d'étiquette minimale et maximale correspondant à des débits minimal et maximal (d_m, d_M) des sources (S_1 à S_I), et en ce que les seconds rapports de division B sont programmés entre des secondes limites B_m et B_M telles que $B_M/B_m = F_M/F_m$.

5 - Dispositif conforme à la revendication 4, caractérisé en ce que la première limite minimale A_m du premier rapport de division A est égale à l'unité.

6 - Dispositif conforme à la revendication 4 ou 5, caractérisé en ce que pour une fréquence d'étiquette donnée f_i d'une source

active (S_i) assignée à un moyen à fréquence programmable libre (50_k), les moyens de commande (4) calculent des premier et second rapports de division de fréquence A_i et B_i suivant les étapes suivantes :

a) A_i est fixé à 1 et le second rapport est calculé suivant la relation $B_i = f_i/FR/C$

b) si $B_i > B_M$, A_i et B_i ne sont pas chargés dans les premier et second diviseurs (55, 52) desdits moyens à fréquence programmable (50_k),

c) si $B_m =< B_i =< B_M$, A_i et B_i sont chargés dans lesdits premier et second diviseurs (55, 52) ;

d) si $B_i < B_m$, B_i est fixé à $B_i = (B_M+B_m)/2$, et A_i est calculé suivant la relation $A_i = (FR/C).(B_M+B_m)/2/f_i$, et les valeurs précédentes de A_i et B_i sont chargées dans lesdits premier et second diviseurs (55, 52).

7 - Dispositif conforme à l'une quelconque des revendications 1 à 6, caractérisé en ce que les moyens pour sélectionner (6) comprennent des moyens (60, 61, 62) pour maintenir chacune des demandes d'allocation tant qu'elle n'est pas satisfaite, des moyens (63, 64) pour lire des mots de priorité (P) associés auxdites demandes d'allocation non satisfaites, des moyens (65, 66) pour comparer des mots de priorité lus entre eux afin d'en déduire parmi eux le mot de priorité (P_i) attribué à une source prioritaire (S_i) et de satisfaire la demande d'allocation de la source prioritaire en commandant à travers les moyens pour lire (83) une lecture de la cellule de mémoire (70_k) contenant l'étiquette (E_i) de la source prioritaire (S_i).

8 - Dispositif conforme à la revendication 7, caractérisé en ce que les moyens pour maintenir comprennent plusieurs moyens (60_1 à 60_K) respectivement associés aux cellules de mémoire (70_1 à 70_K) pour chacun détecter des demandes d'allocation à la fréquence d'étiquette (f_1 à f_K) correspondant à la source dont l'étiquette est contenue dans la cellule de mémoire associée, des moyens (61) pour échantillonner des demandes d'allocation détectées à chaque période d'allocation (θ), et des moyens (62) pour recopier

les demandes d'allocation échantillonnées au début d'une période d'allocation succèdant à la période d'allocation précitée.

9 - Dispositif conforme à la revendication 8, caractérisé en ce que les demandes d'allocation sont sous la forme de transitions prédéterminées ("0" à "1") de signaux logiques (f_1 à f_K) auxdites fréquences d'étiquette, et en ce que chacun des moyens pour maintenir consiste en une bascule (60_1 à 60_K) ayant une entrée d'horloge (C) recevant l'un desdits signaux logiques.

10 - Dispositif conforme à l'une quelconque des revendications 7 à 9, caractérisé en ce que les moyens pour lire des mots de priorité comprennent plusieurs registres à décalage (63_1 à 63_K) bouclés sur eux-mêmes et respectivement associés aux cellules de mémoire (70_1 à 70_K) pour respectivement enregistrer des mots de priorité correspondant aux sources dont les étiquettes sont contenues dans les cellules associées, et des moyens (64_1 à 64_K) pour transmettre successivement en parallèle des bits de mêmes poids des mots de priorité aux moyens pour comparer (65, 66) en réponse à des demandes d'allocation non satisfaites échantillonnées au début de chaque période d'allocation (θ).

11 - Dispositif conforme à l'une quelconque des revendications 7 à 10, caractérisé en ce que les sources (S_1 à S_I) sont d'autant plus prioritaires que les mots de priorité (P_1 à P_I) attribués à celles-ci ont des valeurs binaires élevées et en ce que les moyens pour comparer (65, 66) comprennent des moyens (65) pour effectuer la somme logique de bits de même rang dans les mots de priorité (P), plusieurs moyens (661_1 à 661_K) respectivement associés aux cellules de mémoire (70_1 à 70_K) pour comparer simultanément la somme logique de bits d'un rang donné dans les mots de priorité avec les bits audit rang donné, lesdits moyens pour comparer effectuant lesdites comparaisons successivement à partir des bits de poids fort (p_3) jusqu'aux bits de poids faible (p_0) des mots de priorité, plusieurs moyens (662_1, 663_1 à 662_K, 663_K) respectivement associés aux cellules de mémoire (70_1 à 70_K) pour inhiber des résultats de comparaisons simultanées ayant donné lieu à des inégalités et pour conserver des résultats des comparaisons simultanées ayant donné lieu à des égalités afin de déterminer le mot de priorité de ladite source

prioritaire n'ayant donné lieu qu'à des égalités pour tous les bits dudit mot de priorité et plusieurs moyens (664_1 à 664_K) reliés respectivement aux moyens pour inhiber et conserver pour effacer la demande d'allocation de ladite source prioritaire dans les moyens pour maintenir (60, 61, 62).

12 - Dispositif conforme à l'une quelconque des revendications 7 à 10, caractérisé en ce que les sources (S_1 à S_I) sont d'autant plus prioritaires que les mots de priorité (P_1 à P_I) qui sont attribués à celles-ci ont des valeurs binaires élevées et en ce que les moyens pour comparer comprennent une porte OU (65) recevant simultanément en parallèle des bits d'un même rang dans les mots de priorité (P_1 à P_K) et successivement les bits des mots de priorité à partir des bits de poids fort (p_3) jusqu'aux bits de poids faible (p_0) des mots de priorité, et associés à chacune des cellules de mémoire (70_k), une porte NON-OU-Exclusif (661_k) ayant une entrée reliée à une sortie de la porte OU et une entrée recevant successivement les bits du mot de priorité associé ($P_k = P_i$), une porte NON-ET (662_k) ayant une entrée reliée à la sortie de la porte NON-OU-Exclusif (661_k), et une bascule (663_k) ayant une entrée de donnée (D) reliée à la sortie de la porte NON-ET (662_k) et une sortie complémentaire ($\bar{Q}$) reliée à une autre entrée de la porte NON-ET (662_k).

13 - Dispositif conforme à l'une quelconque des revendications 1 à 12, caractérisé en ce que les mots de priorité attribués aux sources actives ayant des débits élevés ont des valeurs binaires élevées.

14 - Dispositif conforme à l'une quelconque des revendications 1 à 13, caractérisé en ce que des sources (S_1 à S_I) fonctionnent chacune avec des débits variables.

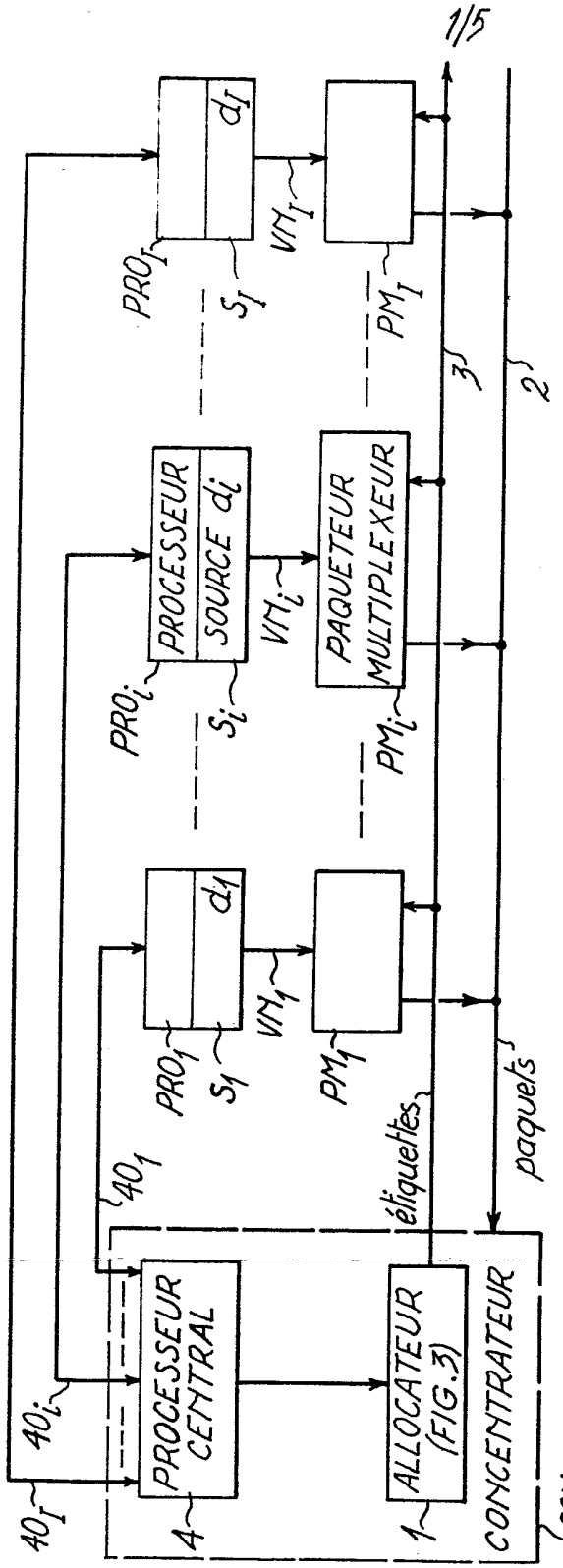

PROCESSEUR CENTRAL
ALLOCATEUR (FIG.3)
CONCENTRATEUR
PROCESSEUR SOURCE di
PAQUETEUR MULTIPLEXEUR
40i
401
PROi
PRO1
PROI
Si
S1
SI
VTi
VT1
VTI
PMi
PM1
PMI
étiquettes
paquets
CON
1
2
3
4

FIG.1

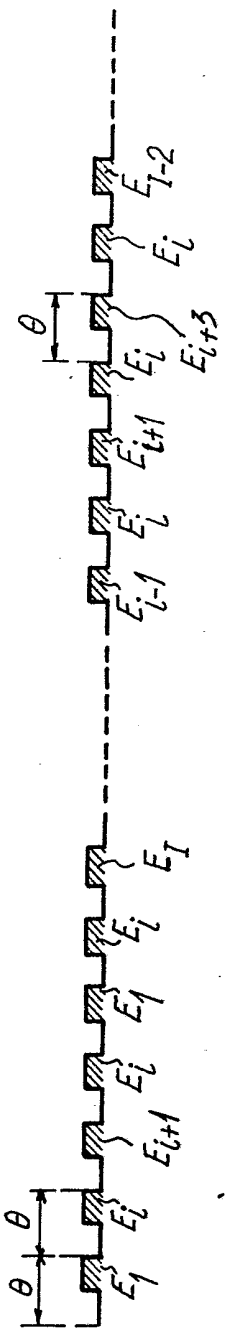

θ
θ
E1
Ei
Ei+1
Ei-1
EI
E1-2
Ei+3

FIG.2

FIG.3

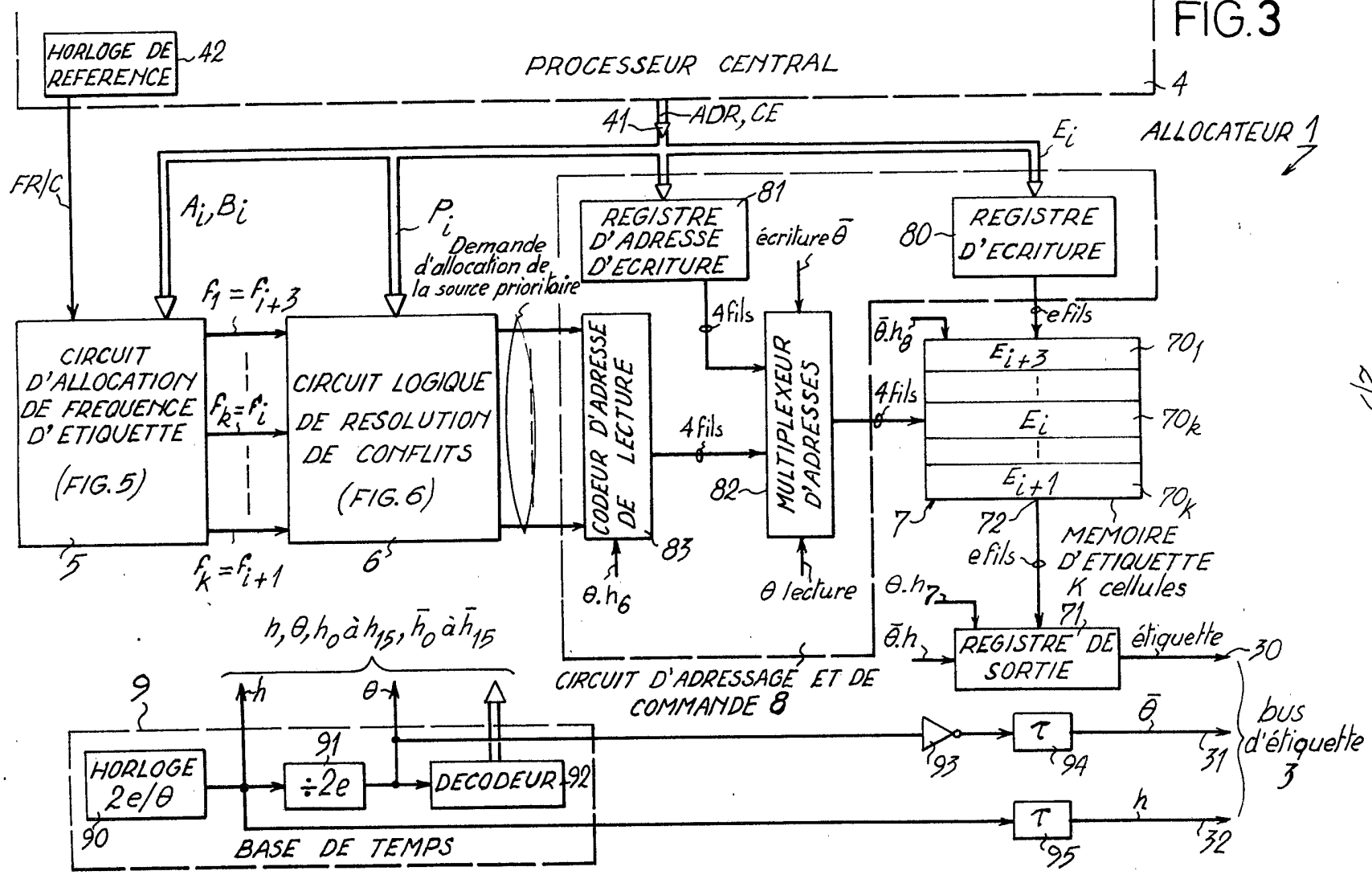

HORLOGE DE REFERENCE
42
PROCESSEUR CENTRAL
4
41
ADR, CE
E_i
ALLOCATEUR 1
FR/C
A_i, B_i
P_i
Demande d'allocation de la source prioritaire
REGISTRE D'ADRESSE D'ECRITURE
81
écriture $\bar{\theta}$
80
REGISTRE D'ECRITURE
$f_1 = f_{i+3}$
$f_k = f_i$
$f_k = f_{i+1}$
CIRCUIT D'ALLOCATION DE FREQUENCE D'ETIQUETTE (FIG.5)
5
CIRCUIT LOGIQUE DE RESOLUTION DE CONFLITS (FIG.6)
6
CODEUR D'ADRESSE DE LECTURE
83
4 fils
4 fils
MULTIPLEXEUR D'ADRESSES
82
$\theta.h_6$
θ lecture
e fils
$\bar{\theta}.h_8$
4 fils
E_{i+3}
E_i
E_{i+1}
70_1
70_k
70_k
7
72
e fils
MEMOIRE D'ETIQUETTE K cellules
$\theta.h_7$
$\bar{\theta}.h$
71
REGISTRE DE SORTIE
étiquette
30
CIRCUIT D'ADRESSAGE ET DE COMMANDE 8
h, θ, h_0 à $h_{15}, \bar{h}_0$ à $\bar{h}_{15}$
9
h
θ
HORLOGE $2e/\theta$
90
91
$\div 2e$
DECODEUR
92
BASE DE TEMPS
93
τ
94
$\bar{\theta}$
31
τ
95
h
32
bus d'étiquette 3

FIG.4

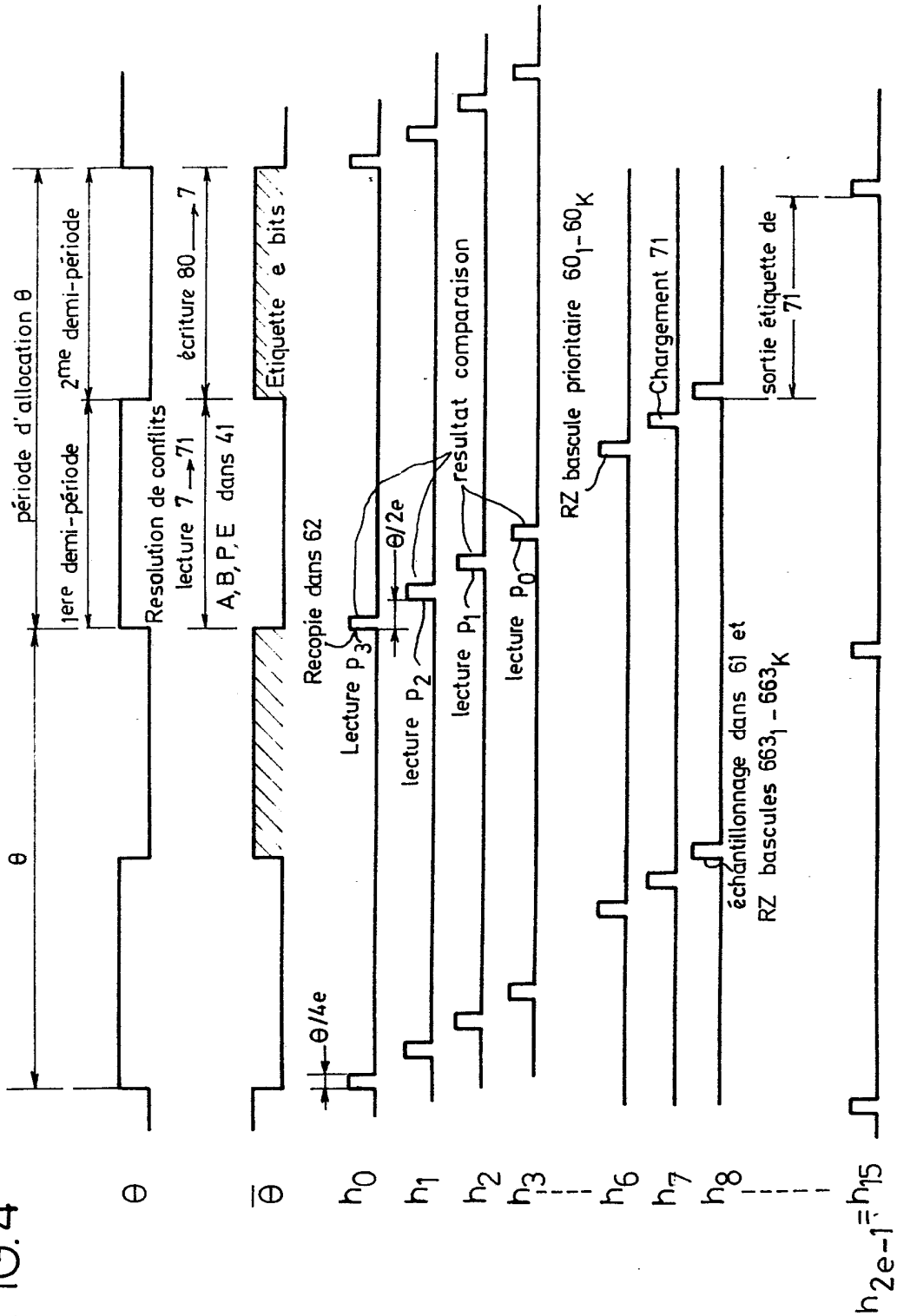

période d'allocation θ
1ère demi-période
2ème demi-période
Resolution de conflits
lecture 7 → 71
A,B,P,E dans 41
écriture 80 → 7
Etiquette e bits
θ
θ̄
θ/4e
Recopie dans 62
Lecture p3
θ/2e
lecture p2
lecture p1
resultat comparaison
lecture p0
RZ bascule prioritaire 60₁-60K
Chargement 71
échantillonnage dans 61 et
RZ bascules 663₁ - 663K
sortie étiquette de 71
h0
h1
h2
h3
h6
h7
h8
h2e-1 = h15

FIG.5

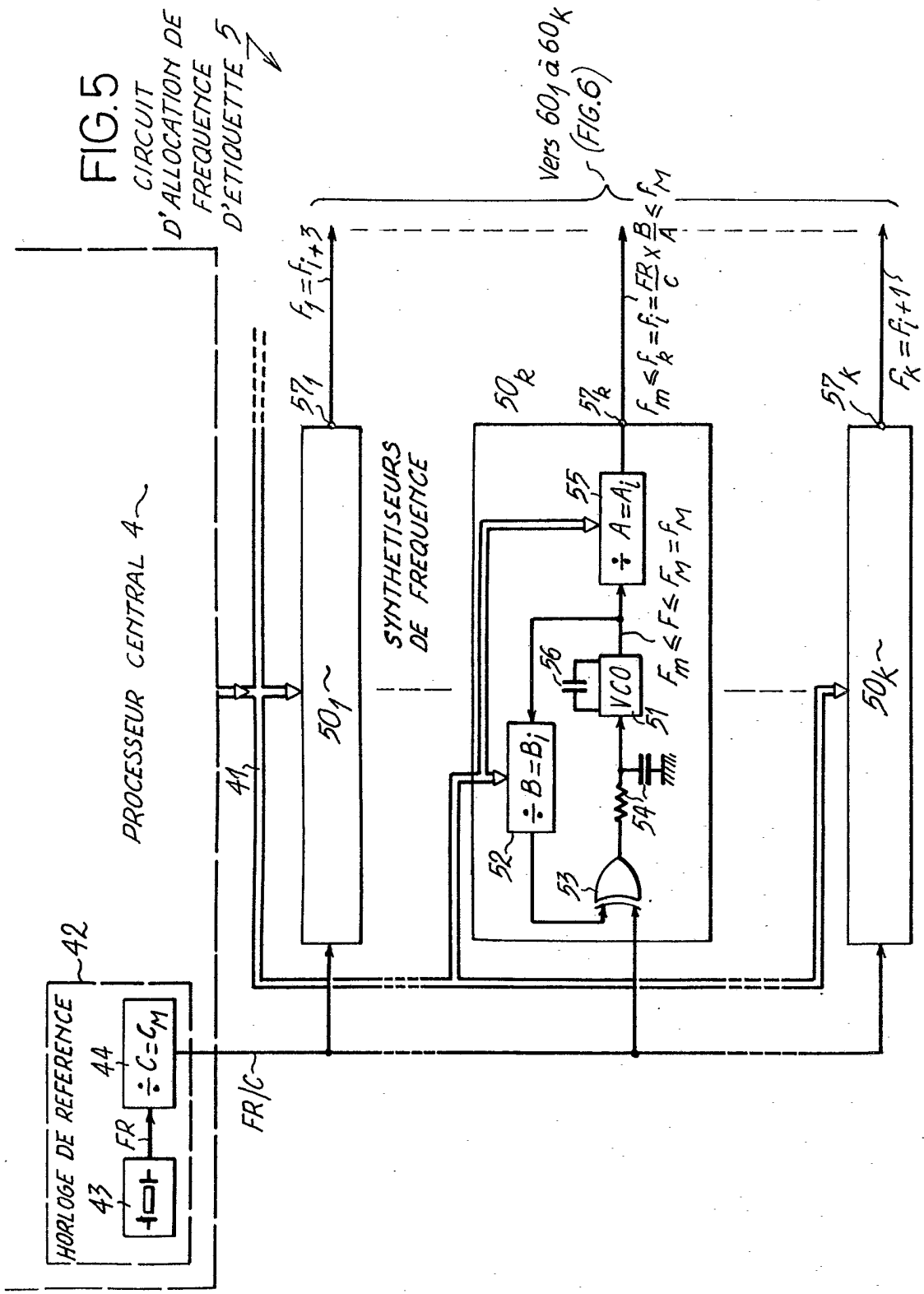
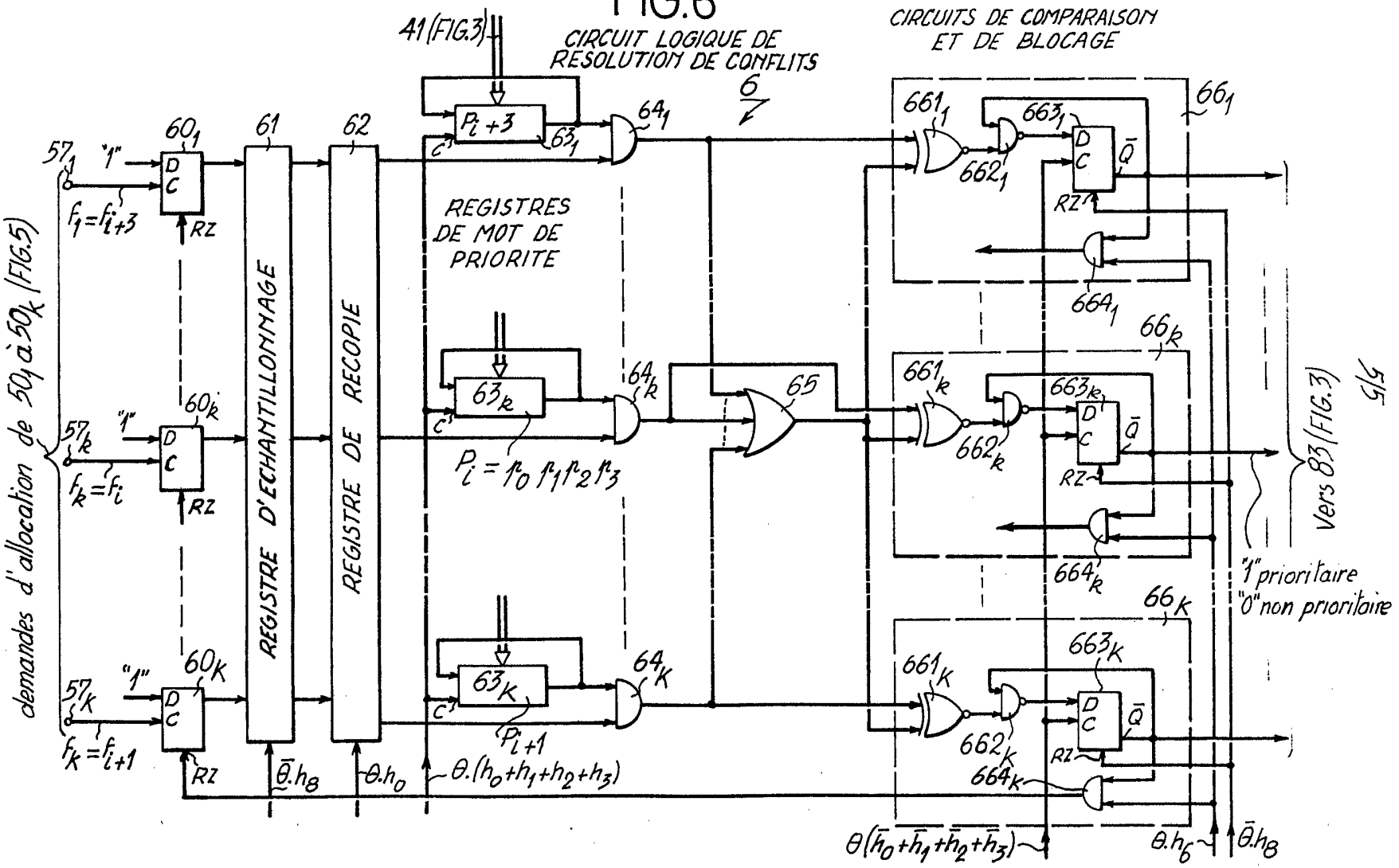

CIRCUIT D'ALLOCATION DE FREQUENCE D'ETIQUETTE 5
Vers 60₁ à 60K (FIG.6)
PROCESSEUR CENTRAL 4
HORLOGE DE REFERENCE 42
43
FR
÷ C=CM
44
FR/C
41
50₁
SYNTHETISEURS DE FREQUENCE
50K
57₁
57K
f₁=fi+3
fK=fi+1
÷ A=Ai
÷ B=Bi
VCO
51
52
53
54
55
56
fm≤fk=fi=FR/C x B/A≤fM
fm≤F≤fM=fM

FIG.6



2587861