

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 5 月 3 日 (03.05.2018)



(10) 国际公布号
WO 2018/076677 A1

(51) 国际专利分类号:
G01R 31/28 (2006.01)

(21) 国际申请号: PCT/CN2017/085666

(22) 国际申请日: 2017 年 5 月 24 日 (24.05.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610976506.5 2016 年 10 月 28 日 (28.10.2016) CN

(71) 申请人: 深圳市中兴微电子有限公司
(SANECHIPS TECHNOLOGY CO., LTD.) [CN/CN];
中国广东省深圳市南山区西丽街道留仙大道
中兴工业园, Guangdong 518055 (CN)。

(72) 发明人: 孙建伟(SUN, Jianwei); 中国广东省深圳市
南山区西丽街道留仙大道中兴工业园, Guangdong

518055 (CN)。 杨丽宁(YANG, Lining); 中国广东省
深圳市南山区西丽街道留仙大道中兴工业园,
Guangdong 518055 (CN)。 胡安稳(HU, Anwen);
中国广东省深圳市南山区西丽街道留仙大道
中兴工业园, Guangdong 518055 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司(CHINA PAT INTELLECTUAL PROPERTY
OFFICE); 中国北京市海淀区海淀南路21号中关
村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

(54) Title: METHOD AND APPARATUS FOR TESTING INTEGRATED CIRCUIT, AND STORAGE MEDIUM

(54) 发明名称: 一种集成电路测试的方法、装置及存储介质

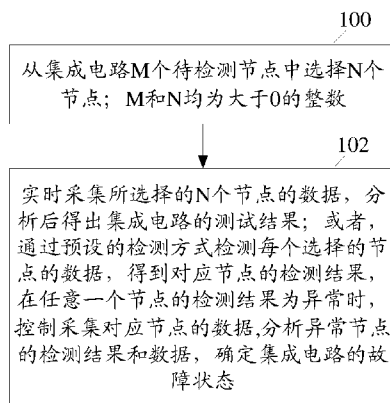


图 1

100 SELECT N NODES FROM M NODES TO BE DETECTED IN AN INTEGRATED CIRCUIT, M AND N BEING BOTH INTEGERS GREATER THAN 0
102 ACQUIRE DATA OF THE SELECTED N NODES IN REAL TIME, ANALYZE THE DATA TO OBTAIN A TEST RESULT OF THE INTEGRATED CIRCUIT; OR DETECT DATA OF EACH SELECTED NODE BY MEANS OF A PRESET DETECTION METHOD TO OBTAIN A DETECTION RESULT OF A CORRESPONDING NODE, AND WHEN THE DETECTION RESULT OF ANY ONE OF THE NODES IS ABNORMAL, CONTROL TO ACQUIRE THE DATA OF THE CORRESPONDING NODE, ANALYZE THE DETECTION RESULT AND DATA OF THE ABNORMAL NODE, AND DETERMINE A FAULT STATE OF THE INTEGRATED CIRCUIT

(57) Abstract: A method and an apparatus for testing an integrated circuit, and a storage medium. The method for testing an integrated circuit comprises: selecting N nodes from M nodes to be detected in an integrated circuit, M and N being both integers greater than 0 (100); acquiring data of the selected N nodes in real time, and analyzing the data to obtain a test result of the integrated circuit; or detecting data of each selected node by means of a preset detection method to obtain a detection result of the corresponding node, and when the detection result of any one of the nodes is abnormal, controlling to acquire the data of the corresponding node, analyzing the detection result and data of the abnormal node, and determining a fault state of the integrated circuit (102).



WO 2018/076677 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种集成电路测试的方法、装置及存储介质, 该集成电路测试的方法包括: 从集成电路M个待检测节点中选择N个节点; M和N均为大于0的整数(100); 实时采集所选择的N个节点的数据, 分析后得出集成电路的测试结果; 或者, 通过预设的检测方式检测每个选择的节点的数据, 得到对应节点的检测结果, 在任意一个节点的检测结果为异常时, 控制采集对应节点的数据, 分析异常节点的检测结果和数据, 确定所述集成电路的故障状态(102)。

一种集成电路测试的方法、装置及存储介质

相关申请的交叉引用

本申请基于申请号为 201610976506.5、申请日为 2016 年 10 月 28 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本发明涉及集成电路技术领域，尤其涉及一种集成电路测试的方法、装置及存储介质。

背景技术

目前传统的集成电路测试大多为板级测试，常用的板级测试有两种，第一种：利用现场可编程门阵列（Field Programmable Gate Array，FPGA）从集成电路管脚进行激励输入，然后采集集成电路管脚输出，并将输出结果在上位机上进行数据比对，判断是否通过用例；第二种：利用集成电路测试仪器对集成电路进行测试。

第一种传统测试方式缺点在于，集成电路管脚有限，内部可视度不高，一旦待测试的集成电路没有通过用例，就要进行用例仿真，以便确定待测试集成电路故障原因，因此故障定位周期长。

第二种传统测试方式缺点在于，在利用集成电路仪器测试时，每次测试都要搭建硬件环境，对测试的人员和设备依赖性高，人员不在工位或设备不齐全都会造成时间的浪费。

发明内容

有鉴于此，本发明实施例期望提供一种集成电路测试的方法、装置及

存储介质，可减少仿真配合和对大量测试仪器的依赖性，快速定位集成电路故障位置，从而及时解决故障，加快商用进度。

本发明实施例的技术方案是这样实现的：

本发明实施例提供了一种集成电路测试的方法，包括：

- 5 从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数；

实时采集所选择的 N 个节点的数据，通过分析所述 N 个节点的数据，得出所述集成电路的测试结果；

- 10 或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析所述异常节点的检测结果和数据，确定所述集成电路的故障状态；

- 15 或者，实时采集所选择的 N 个节点的数据，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析所述异常节点的检测结果和数据，确定所述集成电路的故障状态。

上述方案中，所述预设的检测方式包括：功率检测、时延检测、任务量检测、或流量检测。

- 20 上述方案中，在任意一个节点的检测结果为异常时，生成触发信号，包括：

通过功率检测确定任意一个节点的数据功率异常时，确定对应节点的检测结果为异常，生成功率异常指示信号；

- 25 或者，通过时延检测确定任意一个节点的数据时延异常时，确定对应节点的检测结果为异常，生成时延异常指示信号；

或者，通过任务量检测确定任意一个节点的任务量异常时，确定对应节点的检测结果为异常，生成任务量异常指示信号；

或者，通过流量检测确定任意一个节点的数据流量异常时，确定对应节点的检测结果为异常，生成流量异常指示信号；

- 5 将所述功率异常指示信号、时延异常指示信号、任务量异常指示信号、或流量异常指示信号确定为触发信号。

上述方案中，所述开始采集对应节点的数据包括：立即开始采集对应节点的数据、或经过预设的延时时间后开始采集对应节点的数据；

- 10 所述停止采集对应节点的数据包括：立即停止采集对应节点的数据、或经过预设的延时时间后停止采集对应节点的数据。

上述方案中，所述方法还包括：配置数据采集方式；

所述数据采集方式为：采集节点的有效数据，或按节点工作时钟采集节点的数据；所述节点的有效数据为：节点的数据中有效标志位为 1 的数据。

- 15 上述方案中，所述从集成电路 M 个待检测节点中选择 N 个节点，包括：通过软件配置在所述 M 个待检测节点中选择 N 个节点。

上述方案中，在通过分析所述 N 个节点的数据，得出所述集成电路的测试结果之前，所述方法还包括：将所选择的每个节点的数据保存到第一存储单元；

- 20 在触发开始采集对应节点的数据，或触发停止采集对应节点的数据之后，所述方法还包括：将所述异常节点的数据保存到第一存储单元。

上述方案中，所述方法还包括：所选择的任意一个节点的数据量大于第一存储单元存储上限值时，将对应节点的数据通过乒乓存储实时传递到第二存储单元；

- 25 或者，任意一个异常节点的数据量大于第一存储单元存储上限值时，

将对应异常节点的数据通过乒乓存储实时传递到第二存储单元；第二存储单元的存储容量大于第一存储单元的存储容量。

本发明实施例还提供的一种集成电路测试的装置，包括：选择模块、处理模块；其中，

5 所述选择模块，配置为从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数；

所述处理模块，配置为实时采集所选择的 N 个节点的数据，通过分析所述 N 个节点的数据，得出所述集成电路的测试结果；

或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点
10 的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析所述异常节点的检测结果和数据，确定所述集成电路的故障状态；

或者，实时采集所选择的 N 个节点的数据，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检
15 测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析所述异常节点的检测结果和数据，确定所述集成电路的故障状态。

上述方案中，所述预设的检测方式包括：功率检测、时延检测、任务量检测、或流量检测。

20 上述方案中，所述处理模块，还配置为在通过功率检测确定任意一个节点的数据功率异常时，确定对应节点的检测结果为异常，生成功率异常指示信号；或者，在通过时延检测确定任意一个节点的数据时延异常时，确定对应节点的检测结果为异常，生成时延异常指示信号；或者，在通过任务量检测确定任意一个节点的任务量异常时，确定对应节点的检测结果
25 为异常，生成任务量异常指示信号；或者，在通过流量检测确定任意一个

节点的数据流量异常时，确定对应节点的检测结果为异常，生成流量异常指示信号；将所述功率异常指示信号、时延异常指示信号、任务量异常指示信号、或流量异常指示信号确定为触发信号。

上述方案中，所述处理模块，还配置为立即开始采集对应节点的数据、
5 或经过预设的延时时间后开始采集对应节点的数据；

或者，还配置为立即停止采集对应节点的数据、或经过预设的延时时间后停止采集对应节点的数据。

上述方案中，所述装置还包括：第一配置模块；

所述第一配置模块，配置为配置数据采集方式；

10 所述数据采集方式为：采集节点的有效数据，或按节点工作时钟采集节点的数据；所述节点的有效数据为：节点的数据中有效标志位为 1 的数据。

上述方案中，所述装置还包括：第二配置模块；所述第二配置模块，配置为通过软件配置在所述 M 个待检测节点中选择 N 个节点。

15 上述方案中，所述装置还包括：第一存储单元；

第一存储单元，配置为在通过分析所述 N 个节点的数据，得出所述集成电路的测试结果之前，保存所选择的每个节点的数据；

第一存储单元，还配置为在触发开始采集对应节点的数据，或触发停止采集对应节点的数据之后，保存所述异常节点的数据。

20 上述方案中，所述装置还包括：第二存储单元；

第二存储单元，配置为在所选择的任意一个节点的数据量大于第一存储单元存储上限值时，将对应节点的数据通过乒乓存储实时保存；

或者，所述第二存储单元，还配置为当任意一个异常节点的数据量大于第一存储单元存储上限值时，将对应异常节点的数据通过乒乓存储实时
25 保存；所述第二存储单元的存储容量大于第一存储单元的存储容量。

本发明实施例还提供了一种计算机存储介质，所述计算机存储介质存储有计算机程序，该计算机程序用于执行本发明实施例的上述集成电路测试的方法。

5 本发明实施例还提供的一种集成电路测试的装置，包括：处理器和配置为存储能够在处理器上运行的计算机程序的存储器，

其中，所述处理器配置为运行所述计算机程序时，执行本发明实施例的上述集成电路测试的方法。

本发明实施例中，从集成电路 M 个待检测节点中选择 N 个节点； M 和 N 均为大于 0 的整数；实时采集所选择的 N 个节点的数据，通过分析 N 个
10 节点的数据，得出集成电路的测试结果；或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态；或者，实时采集所选择的 N 个节点的数据，通过预设的
15 检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态。如此，可减少仿真配合和对大量测试仪器的依赖性，快速定位集成电路故障位置。

20 附图说明

图 1 为本发明集成电路测试的方法的第一实施例的流程图；

图 2 为本发明实施例中时延检测原理图；

图 3 为本发明实施例中任务量检测原理图；

图 4 为本发明实施例中流量检测原理图；

25 图 5 为本发明集成电路测试的方法的第二实施例的流程图；

图 6 为本发明实施例集成电路测试的装置的第一组成结构示意图；

图 7 为本发明实施例集成电路测试的装置的第二组成结构示意图。

具体实施方式

下面结合附图对本发明的具体实施方式进行详细说明。应当理解的是，
5 此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制本发明。

第一实施例

图 1 为本发明集成电路测试的方法的第一实施例的流程图，如图 1 所示，该方法包括：

10 步骤 100：从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数。

在一实施例中，通过软件配置在所述 M 个待检测节点中选择 N 个节点。

这里，选择的 N 个节点可以是用户根据当前链路状态选择出需要观察的 N 个节点。当 N 取 1 时，是在 M 个节点中选择 1 个进行单点检测；当 N
15 取 2 时，可对 2 个节点的数据进行同时采集并分析，通常用于采集某个节点的输入输出数据，并与参考节点的数据进行对比，以此来判断该节点是否正常工作；当 N 取大于 2 的整数时，可对选择的 N 个节点数据同时进行采集并分析。

步骤 102：实时采集所选择的 N 个节点的数据，分析后得出集成电路
20 的测试结果；或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，控制采集对应节点的数据，分析异常节点的检测结果和数据，确定集成电路的故障状态。

本步骤中，可以包括以下三种不同的实现方式：

25 方式 1：实时采集所选择的 N 个节点的数据，通过分析 N 个节点的数

据，得出集成电路的测试结果。

方式 2: 通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态。

方式 3: 实时采集所选择的 N 个节点的数据，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态。

上述方式 1、方式 2 和方式 3 中，在采集所选择的 N 个节点的数据之前，还可以配置所选择的 N 个节点的数据的标识信息。相应地，根据配置的标识信息，对所选择的 N 个节点的数据进行实时采集。

需要说明的是，其中标识信息可以包括以下至少一种：无线帧号、帧头信号、时延。这里，无线帧号是用来确定对节点的数据在哪一个无线帧周期进行采集，例如，无线帧号为 7，无线帧周期为 10ms 时，确定对无线帧的第 7 个周期（即 60ms-70ms 时间段内）的数据进行采集，这里帧头信号用来指示所选择的 N 个节点的数据起始位置。当业务数据的无线帧号等于预先配置的无线帧号， N 个节点对应的帧头到来，且帧头到来后到达配置的延时时间时，进行 N 个节点对应的数据采集。当通过软件配置无线帧号进行数据采集时，还可以实现多台设备采集同一段数据。

在一实施例中，预设的检测方式可以包括：功率检测、时延检测、任务量检测、或流量检测。

本步骤中，在任意一个节点的检测结果为异常时，生成触发信号，包括：

通过功率检测确定任意一个节点的数据功率异常时，确定对应节点的检测结果为异常，生成功率异常指示信号。

或者，通过时延检测确定任意一个节点的数据时延异常时，确定对应节点的检测结果为异常，生成时延异常指示信号。

5 或者，通过任务量检测确定任意一个节点的任务量异常时，确定对应节点的检测结果为异常，生成任务量异常指示信号。

或者，通过流量检测确定任意一个节点的数据流量异常时，确定对应节点的检测结果为异常，生成流量异常指示信号。

10 将功率异常指示信号、时延异常指示信号、任务量异常指示信号、或流量异常指示信号确定为触发信号。

在一实施例中，功率检测的过程可以是：首先，计算节点的数据的平均功率和峰值功率；其次，如果节点的数据的平均功率大于平均功率上限值或者小于平均功率下限值，或者节点的数据的峰值功率大于峰值功率上限值或者小于峰值功率下限值时，功率异常指示信号被拉高变为高电平，
15 此时功率异常指示信号的上升沿会触发节点的数据采集，这里，功率异常指示信号变为高电平信号时即为生成触发信号。

在实际实施时，在对节点的数据进行功率检测时，需要计算固定长度的节点数据的功率，以及得到至少两组功率数据。因此，可以通过软件配置功率检测方式，包括：节点的数据的功率计算起始点、节点的数据的固定长度和节点的数据的功率组数等。
20

在一实施例中，时延检测的过程可以是：对所有节点的输入数据进行时延监控，记录各个节点任务输入时刻对应的系统时间，任意两个节点间的系统时间差就是这两个节点之间的时延；当某两个节点之间的时延大于预设的时延上限值，或小于预设的时延下限值时，则认为这两个节点之间存在时延异常，时延异常指示信号被拉高变为高电平，此时时延异常指示
25

信号的上升沿会触发节点的数据采集，这里，时延异常指示信号变为高电平信号时即为生成触发信号。

图 2 为本发明实施例中时延检测原理图，如图 2 所示，对节点 1、2 和 3 的输入数据进行时延监控，记录各个节点任务输入时刻对应的系统时间 A、B 和 C。数据流经节点的顺序为节点 1 到节点 2 到节点 3，那么节点 1 与节点 2 的时延为 $B-A$ ，如果节点 1 和 2 的时延 $B-A$ 大于预设的时延上限值，或小于预设的时延下限值时，生成时延异常指示信号，触发对节点 1 和节点 2 的数据采集并保存。

在一实施例中，任务量检测的过程可以是：给各节点设置任务统计器对每个节点完成的任务数进行统计，如果某个节点在单位时间内完成的任务数大于预设的任务数上限值，或小于预设的任务数下限值时，则认为这个节点存在任务统计，任务异常指示信号被拉高变为高电平，此时任务异常指示信号的上升沿会触发节点的数据采集，这里，任务异常指示信号变为高电平信号时即为生成触发信号。

图 3 为本发明实施例中任务量检测原理图，如图 3 所示，在确定节点 3 的任务统计异常后，需要进一步的确认是哪一条任务引发节点 3 的数据错误。由于集成电路业务处理时，一般是进行流处理，任务连续不断的下发给集成电路，如果输出结果出错时很难知道是哪个任务下发时引起的错误，问题分析起来将比较困难。而如果设置任务计数，那么在任务处理出错时可以精确知道哪个任务引发的错误，进而更准确的分析集成电路故障原因。示例性的，对每个节点插入任务统计器，当节点 3 的数据发生异常时，节点 3 的任务统计器记录的任务值为 510，那么便可以得出任务 510 在节点 3 处的数据异常，在定位具体故障位置时，可以采集节点 3 在处理任务 510 时的数据进行采集并分析，如果节点 3 没有故障，可以逆流而上分别采集节点 2 或节点 1 在处理任务 510 时的数据，任务统计器和专用集成电路

(Application Specific Integrated Circuit, ASIC) 探针结合, 方便获取 A/B 节点在任务值为 510 的内部信息, 分析故障点是否在节点 2 或节点 1 处。

在一实施例中, 流量检测的过程可以是: 对所有节点进行数据流量监控, 当某个节点单位时间完成的数据量大于预设的数据量上限值, 或小于
5 预设的数据量下限值时, 则认为这个节点存在流量异常, 流量异常指示信号被拉高变为高电平, 此时流量异常指示信号的上升沿会触发节点的数据采集, 这里, 流量异常指示信号变为高电平信号时即为生成触发信号。

图 4 为本发明实施例中流量检测原理图, 如图 4 所示, 对节点进行数据流量检测, 即检测每个节点单位时间的数据吞吐率, 在集成电路测试时
10 对每个节点加入了流量统计器。示例性的, 当节点 1 的数据吞吐率大于吞吐率上限值、或小于吞吐率下限值时, 生成流量异常指示信号, 触发对节点 1 的数据采集。

需要说明的是, 上述实施例中在对节点进行功率检测、时延检测、任务量检测、或流量检测时, 在节点正常时, 各自对应的异常指示信号为低
15 电平信号。

在实际实施时, 每个节点具体检测方式可以通过软件进行配置, 从而选择其中一种检测方式对所选择的 N 个节点进行检测。在选择每个节点的检测方式时, 可以通过观察链路特点、或根据用户需要观察的信息, 配置对应的检测方式。

20 在实际实施时, 检测方式并不局限于上述公开的 4 种, 还可以包括集成电路其他异常检测方式, 限于篇幅限制在此不做多余赘述。

上述方式 2 中开始采集对应节点的数据可以包括: 立即开始采集对应节点的数据、或经过预设的延时时间后开始采集对应节点的数据。

上述方式 3 中停止采集对应节点的数据可以包括: 立即停止采集对应
25 节点的数据、或经过预设的延时时间后停止采集对应节点的数据。

通过触发信号触发停止采集节点的数据，还可以包括：实时采集所选择的 N 个节点的数据，并对 N 个节点固定长度的数据进行保存。这里，固定长度的数据，可以是用户需要长度的数据，且对固定长度的数据进行动态的实时保存，即在保存最新采集的节点数据时，删除最旧的节点数据。

5 上述方式 2 或 3 中，当触发信号到来时，用户可以通过软件配置灵活的选择立刻开始或立刻停止采集当前异常节点的数据，或经过预设的延时时间后开始采集或停止采集，避免由于外界干扰造成节点的数据瞬时波动引起的瞬间异常现象。

本步骤中，还可以包括：配置数据采集方式。在一实施例中，通过软件配置的数据采集方式可以是：采集节点的有效数据，或按节点工作时钟采集节点的数据。这里，当前节点的数据的有效标志位为 1 时，将当前节点的数据确定为有效数据。按节点工作时钟采集节点的数据可以是：在节点工作时钟上升沿到来时采集节点数据，包括节点的有效数据和无效数据。

15 上述方式 1 中在通过分析 N 个节点的数据，得出集成电路的测试结果之前，还可以包括：将所选择的每个节点的数据保存到第一存储单元。

上述方式 2 在触发开始采集对应节点的数据之后，或方式 3 在触发停止采集对应节点的数据之后，还可以包括：将异常节点的数据保存到第一存储单元；将异常节点的检测结果保存到第二存储单元。

20 在实际实施时，所选择的任意一个节点的数据量大于第一存储单元存储上限值时，将对应节点的数据通过乒乓存储实时传递到第二存储单元；或者，任意一个异常节点的数据量大于第一存储单元存储上限值时，对对应异常节点的数据通过乒乓存储实时传递到第二存储单元；所述第二存储单元的存储容量大于第一存储单元的存储容量。

25 在一实施例中，用户读取第二存储单元中节点的数据，并通过软件对节点的数据进行分析，将分析结果通过片上系统（System on a chip, SOC）

总线上报给软件用于分析集成电路的故障状态，并作为用户选择 N 个节点的参考依据。在实际实施时，节点的数据分析可以包括以下至少一种：数据对比、频谱分析、时序检测等。

示例性的，数据对比的过程可以是：将节点的数据与预先设置的数据模型进行对比，如果节点的数据与数据模型匹配，说明集成电路中该节点之前的所有的节点均正常；如果不匹配，说明该节点或该节点之前至少一个节点出现故障。

频谱呈现的过程可以是：利用 MATLAB 工具将节点的数据进行快速傅里叶变换（Fast Fourier Transformation, FFT）得到节点数据的频谱图，通过观察节点数据的频谱特性分析节点故障状态。

时序检测的过程可以是：在对某个节点的数据进行时序检测时，可以检测该节点的输入数据，即通过检测该节点的上一个节点的数据的时序是否正确，通过该方法可以首先该节点的输入数据是否正确。

在实际实施时，时序的检测可以包括：时序关系检测和帧格式检测。

示例性的，对节点 2 的时序关系检测时，当节点 2 的上一个节点即节点 1 的数据的时序关系与预先设置的时序关系不符时，产生相应的告警信息，并通过 SOC 总线上报用于确定集成电路的故障状态。对节点 2 的帧格式检测时，节点 1 的数据的帧格式与预先设置的帧格式不符时，产生相应的告警信息，并通过 SOC 总线上报，以便于确定集成电路的故障状态。

通过以上对节点的数据分析，结合节点的检测结果，可以用于确定集成电路故障状态，或者作为下一次集成电路检测时选择 N 个节点的依据。

本发明实施例中，从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数；实时采集所选择的 N 个节点的数据，通过分析 N 个节点的数据，得出集成电路的测试结果；或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检

测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态；或者，实时采集所选择的 N 个节点的数据，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态。如此，可减少仿真配合和对大量测试仪器的依赖性，快速定位集成电路故障位置。

与现有技术相比，本发明实施例提供的一种集成电路测试的方法，具有以下优点：第一、通用性强，可用于所有的 ASIC 的测试中不局限于芯片的规模、业务功能等，第二、灵活性强，可进行不同检测方式、不同数据采集方式的灵活配置；第三、操作简单，只需进行简单的软件配置便可实现不同的检测工作，不需要搭建集成电路外部测试硬件平台，节省每次测试的环境搭建工作时间；第四、支持在线测试，即可以在集成电路正常工作的情况下测试，不需要将集成电路切换到测试模式；第五、提高了集成电路内部的可视度，减少了测试过程中对外部昂贵测试仪器的依赖性。

第二实施例

为了能更加体现本发明的目的，在本发明第一实施例的基础上，从 M 个待检测节点中选择 1 个节点为例进行进一步的举例说明。

图 5 为本发明集成电路测试的方法的第二实施例的流程图，该方法包括：

步骤 500：暂停第一存储单元并记录当前第一存储单元的工作状态。

在实际实施时，需要系统配置第一存储单元集成电路测试。由于第一存储单元在被占用前可能会执行其他业务操作，因此，在使用第一存储单元前需要记录第一存储单元被占用前业务数据节点和工作时钟，以便在集

成电路测试完成后恢复该第一存储单元的工作状态。

需要说明的是，如果集成电路测试时分配有专门用于集成电路检测的存储单元，则可以省略此步骤，直接执行步骤 501。

步骤 501：配置第一存储单元为集成电路测试模式。

- 5 在实际实施时，可以是对第一存储单元的采数逻辑进行复位，使第一存储单元工作时钟频率切换到集成电路的工作时钟频率下，配置完成后，释放采数逻辑复位信号。

步骤 502：从集成电路 M 个待检测节点中选择 1 个节点。

- 10 在一实施例中，从集成电路 M 个待检测节点中选择 1 个节点的方法是：利用软件配置所选择的 1 个节点。用户可以根据当前链路状态、告警信息等信息，选择关心的节点进行检测。

步骤 503：对选择的 1 个节点配置对应的检测方式。

本步骤中，节点的检测方式可以配置为：功率检测、时延检测、任务量检测或流量检测等。

- 15 在一实施例中，每个节点的检测方式可以通过软件进行配置，从而选择其中一种检测方式对所选择的 N 个节点进行检测。选择每个节点的检测方式，可以通过观察链路特点、或根据用户需要观察的信息，配置对应的检测方式。

步骤 504：通过配置的检测方式检测节点的数据。

- 20 本步骤中，根据配置的检测方式启动该节点的检测，并将检测结果通过 SOC 总线保存到第二存储单元中，用于分析集成电路状态。第二存储单元可以是用户为集成电路测试专门申请的一块存储区域，配置为当采集的节点数据量较大时，存储节点的数据及检测结果。

- 25 示例性的，节点 1 的检测方式配置为功率检测，对节点 1 的数据进行功率计算，功率计算可以包括平均功率计算和峰值功率检测。

步骤 505: 判断检测结果是否异常, 如果是, 生成触发信号并执行步骤 506; 如果否, 返回步骤 504。

示例性的, 节点 1 正常工作时, 功率异常指示信号为低电平, 异常时, 信号被拉高。判断节点 1 的平均功率是否大于平均功率上限值或者小于平均功率下限值, 或者节点 1 的峰值功率是否大于峰值功率上限值或者小于峰值功率下限值, 如果是, 确定节点 1 的检测结果为异常, 节点 1 的功率异常指示信号被拉高变为高电平, 生成功率异常指示信号, 此时功率异常指示信号的上升沿会触发采集节点 1 的数据; 如果否, 功率异常指示信号为低电平, 即无触发信号生成。

步骤 506: 触发采集节点的数据。

在实际实施时, 对异常节点的数据进行采集时, 首先将采集到的节点数据保存到系统配置的第一存储单元中。当系统配置的第一存储单元容量无法满足节点数据的存储时, 可以将存储空间内的数据通过 SOC 总线保存到第二存储单元中, 用于分析集成电路故障状态。。

需要说明的是, 在对单个节点的数据采集时, 如果待采集节点的数据量大于第一存储单元存储上限值时, 系统可以利用预先设置的两个存储子单元对所采集的节点数据进行乒乓存储, 并通过 SOC 总线实时的传递到第二存储单元中。

在另一种实施方式中, 也可以通过软件配置进行数据采集, 即跳过步骤 503 到步骤 505, 直接对选择的 1 个节点的数据进行实时采集并保存, 通过分析节点的数据, 得出集成电路的测试结果。可实现对任一个节点的数据采集。

在另一种实施方式中, 实时采集所选择的 1 个节点的数据, 通过触发信号触发停止采集对应节点的数据。可实现采集节点发生异常前的数据。

步骤 507: 用户读取存储单元中的节点数据进行数据分析。

本步骤中，用户可以从第一存储单元或第二存储单元读取节点数据，再将节点数据进行数据对比、频谱呈现、时序检测等分析，分析结果用于确定集成电路故障状态，或者作为下一次集成电路检测时选择 N 个节点的依据。

5 步骤 508：恢复占用的第一存储单元的工作状态。

在实际实施时，在完成对集成电路测试后，需要对系统配置的第一存储单元进行采数逻辑复位，使第一存储单元状态恢复到被占用前业务数据节点和工作时钟。恢复完成后，释放采数逻辑复位信号。

需要说明的是，如果集成电路测试时有专门用于集成电路检测的存储
10 单元，省略此步骤。

第三实施例

图 6 为本发明实施例集成电路测试的装置的第一组成结构示意图，装置包括：选择模块 600、处理模块 601；其中

选择模块 600，配置为从集成电路 M 个待检测节点中选择 N 个节点；
15 M 和 N 均为大于 0 的整数。

处理模块 601，配置为实时采集所选择的 N 个节点的数据，通过分析 N 个节点的数据，得出集成电路的测试结果。

或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析异常
20 节点的检测结果和数据，确定集成电路的故障状态；

或者，实时采集所选择的 N 个节点的数据，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停
25 止采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成

电路的故障状态。

在一实施例中，预设的检测方式包括：功率检测、时延检测、任务量检测、或流量检测。

处理模块 601，还配置为在通过功率检测确定任意一个节点的数据功率
5 异常时，确定对应节点的检测结果为异常，生成功率异常指示信号；或者，
在通过时延检测确定任意一个节点的数据时延异常时，确定对应节点的检
测结果为异常，生成时延异常指示信号；或者，在通过任务量检测确定任
意一个节点的任务量异常时，确定对应节点的检测结果为异常，生成任务
量异常指示信号；或者，在通过流量检测确定任意一个节点的数据流量异
10 常时，确定对应节点的检测结果为异常，生成流量异常指示信号；将功率
异常指示信号、时延异常指示信号、任务量异常指示信号、或流量异常指
示信号确定为触发信号。

处理模块 601：还配置为立即开始采集对应节点的数据、或经过预设的
延时时间后开始采集对应节点的数据；或者，还配置为立即停止采集对应
15 节点的数据、或经过预设的延时时间后停止采集对应节点的数据。

在一实施例中，本发明实施例装置还可以包括：第一配置模块，配置
为配置数据采集方式。

数据采集方式为：采集节点的有效数据，或按节点工作时钟采集节点
的数据；节点的有效数据为：节点的数据中有效标志位为 1 的数据。

20 在一实施例中，本发明实施例装置还可以包括：第二配置模块，配置
为通过软件配置在 M 个待检测节点中选择 N 个节点。

在一实施例中，本发明实施例装置还可以包括：第一存储单元；

第一存储单元，配置为在通过分析所述 N 个节点的数据，得出所述集
成电路的测试结果之前，保存所选择的每个节点的数据；

25 第一存储单元，还配置为在触发开始采集对应节点的数据，或触发停

止采集对应节点的数据之后，保存所述异常节点的数据。

所述装置还包括：第二存储单元；

第二存储单元，配置为在所选择的任意一个节点的数据量大于第一存储单元存储上限值时，将对应节点的数据通过乒乓存储实时保存；

5 或者，所述第二存储单元，还配置为当任意一个异常节点的数据量大于第一存储单元存储上限值时，将对应异常节点的数据通过乒乓存储实时保存；所述第二存储单元的存储容量大于第一存储单元的存储容量。

在实际应用中，选择模块 600、处理模块 601、第一配置模块、第二配置模块、第一存储单元和第二存储单元均可由位于终端设备中的中央处理
10 器 (Central Processing Unit, CPU)、微处理器 (Micro Processor Unit, MPU)、数字信号处理器 (Digital Signal Processor, DSP)、或现场可编程门阵列等实现。

第四实施例

图 7 为本发明实施例集成电路测试的装置的第二组成结构示意图，该
15 装置可以包括：节点选择模块、功率检测模块、检测模块、采集模块；采集模块还包括：写入单元和存储单元。

节点选择模块，配置为从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数。

图 7 中，每个节点传递到节点选择模块的信息可以是：节点本身的数据信号，以及标志信号，标志信号用于标志节点的有效数据。
20

功率检测模块，可以配置为对所选择的 N 个节点进行功率检测，当功率检测结果异常时，生成触发信号控制采集模块的写入单元，采集异常节点的数据。并将检测结果通过 SOC 总线保存到外部存储单元，并上报用于集成电路故障状态的分析。

25 在实际实施时，在对节点的数据进行功率检测时，需要计算固定长度

的节点数据的功率，以及得到至少两组功率数据。因此，可以通过软件配置功率检测方式，包括：节点的数据的功率计算起始点、节点的数据的固定长度和节点的数据的功率组数等。

检测模块，配置为对所选择的 N 个节点进行时延检测、任务量检测、
5 流量检测、或其他检测。当检测结果异常时，生成触发信号控制采集模块采集异常节点的数据；并将检测结果通过 SOC 总线保存到外部存储单元，并上传到软件用于集成电路故障状态的分析。

在一实施例中，检测模块的具体检测方式可以通过软件进行配置，从而选择其中一种检测方式对所选择的 N 个节点进行检测。

10 采集模块可以包括：写入单元和存储单元，其中，
写入单元，配置为采集节点的数据。

在实际实施时，可通过触发信号来控制开始采集节点的数据，或者停止采集节点的数据。

存储单元，配置为对采集的节点的数据进行保存。

15 在实际实施时，对异常节点的数据进行采集时，首先将采集到的节点数据保存到装置内部的存储单元中，如果待采集节点的数据量大于装置内部的存储单元存储上限值时，可以利用装置内部预先设置的两个存储子单元对所采集的节点数据进行乒乓存储，并通过 SOC 总线实时的传递到外部的存储单元中。

20 本发明实施例还提供了一种集成电路测试的装置，包括：处理器和用于存储能够在处理器上运行的计算机程序的存储器；其中，

所述处理器用于运行所述计算机程序时，执行本发明实施例上述集成电路测试的方法。

本发明实施例中，如果以软件功能模块的形式实现上述集成电路测试
25 的方法，并作为独立的产品销售或使用，也可以存储在一个计算机可读

取存储介质中。基于这样的理解，本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机、服务器、或者网络设备等）执行本发明各个实施例所述方法的5 全部或部分。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（Read Only Memory, ROM）、磁碟或者光盘等各种可以存储程序代码的介质。这样，本发明实施例不限制于任何特定的硬件和软件结合。

相应地，本发明实施例还提供一种计算机存储介质，该计算机存储介质中存储有计算机程序，该计算机程序用于执行本发明实施例的上述集成电路测试的方法。10

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘15 存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、20 嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存25

存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

以上，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围。

10 工业实用性

本发明实施例从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数；实时采集所选择的 N 个节点的数据，通过分析 N 个节点的数据，得出集成电路的测试结果；或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态；或者，实时采集所选择的 N 个节点的数据，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析异常节点的检测结果和数据，确定集成电路的故障状态。如此，可减少仿真配合和对大量测试仪器的依赖性，快速定位集成电路故障位置。

权利要求书

1、一种集成电路测试的方法，所述方法包括：

从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数；

5 实时采集所选择的 N 个节点的数据，通过分析所述 N 个节点的数据，得出所述集成电路的测试结果；

或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析所
10 述异常节点的检测结果和数据，确定所述集成电路的故障状态；

或者，实时采集所选择的 N 个节点的数据，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析所述异常节点的检测结果和数据，确定
15 所述集成电路的故障状态。

2、根据权利要求 1 所述的方法，其中，所述预设的检测方式包括：功率检测、时延检测、任务量检测、或流量检测。

3、根据权利要求 2 所述的方法，其中，在任意一个节点的检测结果为异常时，生成触发信号，包括：

20 通过功率检测确定任意一个节点的数据功率异常时，确定对应节点的检测结果为异常，生成功率异常指示信号；

或者，通过时延检测确定任意一个节点的数据时延异常时，确定对应节点的检测结果为异常，生成时延异常指示信号；

或者，通过任务量检测确定任意一个节点的任务量异常时，确定对应
25 节点的检测结果为异常，生成任务量异常指示信号；

或者，通过流量检测确定任意一个节点的数据流量异常时，确定对应节点的检测结果为异常，生成流量异常指示信号；

将所述功率异常指示信号、时延异常指示信号、任务量异常指示信号、或流量异常指示信号确定为触发信号。

- 5 4、根据权利要求1所述的方法，其中，所述开始采集对应节点的数据包括：立即开始采集对应节点的数据、或经过预设的延时时间后开始采集对应节点的数据；

所述停止采集对应节点的数据包括：立即停止采集对应节点的数据、或经过预设的延时时间后停止采集对应节点的数据。

- 10 5、根据权利要求1所述的方法，其中，所述方法还包括：配置数据采集方式；

所述数据采集方式为：采集节点的有效数据，或按节点工作时钟采集节点的数据；所述节点的有效数据为：节点的数据中有效标志位为1的数据。

- 15 6、根据权利要求1所述的方法，其中，所述从集成电路M个待检测节点中选择N个节点，包括：通过软件配置在所述M个待检测节点中选择N个节点。

- 20 7、根据权利要求1所述的方法，其中，在通过分析所述N个节点的数据，得出所述集成电路的测试结果之前，所述方法还包括：将所选择的每个节点的数据保存到第一存储单元；

在触发开始采集对应节点的数据，或触发停止采集对应节点的数据之后，所述方法还包括：将所述异常节点的数据保存到第一存储单元。

- 25 8、根据权利要求7所述的方法，其中，所述方法还包括：所选择的任意一个节点的数据量大于所述第一存储单元存储上限值时，将对应节点的数据通过乒乓存储实时传递到第二存储单元；

或者，任意一个异常节点的数据量大于所述第一存储单元存储上限值时，将对应异常节点的数据通过乒乓存储实时传递到所述第二存储单元；所述第二存储单元的存储容量大于所述第一存储单元的存储容量。

9、一种集成电路测试的装置，所述装置包括：选择模块、处理模块；

5 其中，

选择模块，配置为从集成电路 M 个待检测节点中选择 N 个节点；M 和 N 均为大于 0 的整数；

处理模块，配置为实时采集所选择的 N 个节点的数据，通过分析所述 N 个节点的数据，得出所述集成电路的测试结果；

10 或者，通过预设的检测方式检测每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发开始采集对应节点的数据；通过分析所述异常节点的检测结果和数据，确定所述集成电路的故障状态；

或者，实时采集所选择的 N 个节点的数据，通过预设的检测方式检测
15 每个选择的节点的数据，得到对应节点的检测结果，在任意一个节点的检测结果为异常时，确定对应节点为异常节点，并生成触发信号，以触发停止采集对应节点的数据；通过分析所述异常节点的检测结果和数据，确定所述集成电路的故障状态。

10、根据权利要求 9 所述的装置，其中，所述预设的检测方式包括：

20 功率检测、时延检测、任务量检测、或流量检测。

11、根据权利要求 10 所述的装置，其中，所述处理模块，还配置为在通过功率检测确定任意一个节点的数据功率异常时，确定对应节点的检测结果为异常，生成功率异常指示信号；或者，在通过时延检测确定任意一个节点的数据时延异常时，确定对应节点的检测结果为异常，生成时延异常指示信号；或者，在通过任务量检测确定任意一个节点的任务量异常时，
25

确定对应节点的检测结果为异常，生成任务量异常指示信号；或者，在通过流量检测确定任意一个节点的数据流量异常时，确定对应节点的检测结果为异常，生成流量异常指示信号；将所述功率异常指示信号、时延异常指示信号、任务量异常指示信号、或流量异常指示信号确定为触发信号。

- 5 12、根据权利要求 9 所述的装置，其中，所述处理模块，还配置为立即开始采集对应节点的数据、或经过预设的延时时间后开始采集对应节点的数据；

或者，还配置为立即停止采集对应节点的数据、或经过预设的延时时间后停止采集对应节点的数据。

- 10 13、根据权利要求 9 所述的装置，其中，所述装置还包括：第一配置模块；

所述第一配置模块，配置为配置数据采集方式；

- 15 所述数据采集方式为：采集节点的有效数据，或按节点工作时钟采集节点的数据；所述节点的有效数据为：节点的数据中有效标志位为 1 的数据。

14、根据权利要求 9 所述的装置，其中，所述装置还包括：第二配置模块；所述第二配置模块，配置为通过软件配置在所述 M 个待检测节点中选择 N 个节点。

- 20 15、根据权利要求 9 所述的装置，其中，所述装置还包括：第一存储单元；

第一存储单元，配置为在通过分析所述 N 个节点的数据，得出所述集成电路的测试结果之前，保存所选择的每个节点的数据；

第一存储单元，还配置为在触发开始采集对应节点的数据，或触发停止采集对应节点的数据之后，保存所述异常节点的数据。

- 25 16、根据权利要求 15 所述的装置，其中，所述装置还包括：第二存储

单元；

第二存储单元，配置为在所选择的任意一个节点的数据量大于第一存储单元存储上限值时，将对应节点的数据通过乒乓存储实时保存；

或者，所述第二存储单元，还配置为当任意一个异常节点的数据量大
5 于第一存储单元存储上限值时，将对应异常节点的数据通过乒乓存储实时保存；所述第二存储单元的存储容量大于所述第一存储单元的存储容量。

17、一种计算机存储介质，所述计算机存储介质中存储有计算机可执行指令，该计算机可执行指令用于执行权利要求 1 至 8 任一项所述的集成电路测试的方法。

10 18、一种集成电路测试的装置，包括：处理器和用于存储能够在处理器上运行的计算机程序的存储器；其中，所述处理器用于运行所述计算机程序时，执行权利要求 1 至 8 任一项所述的集成电路测试的方法。

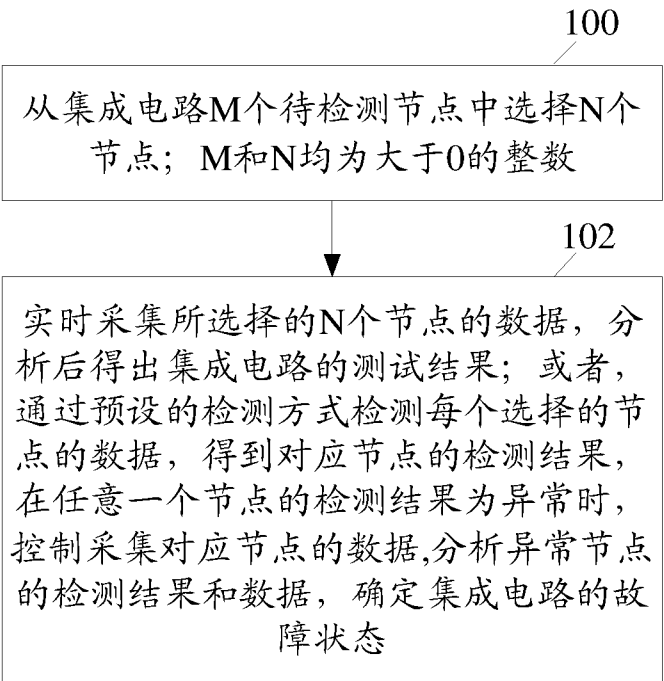


图 1

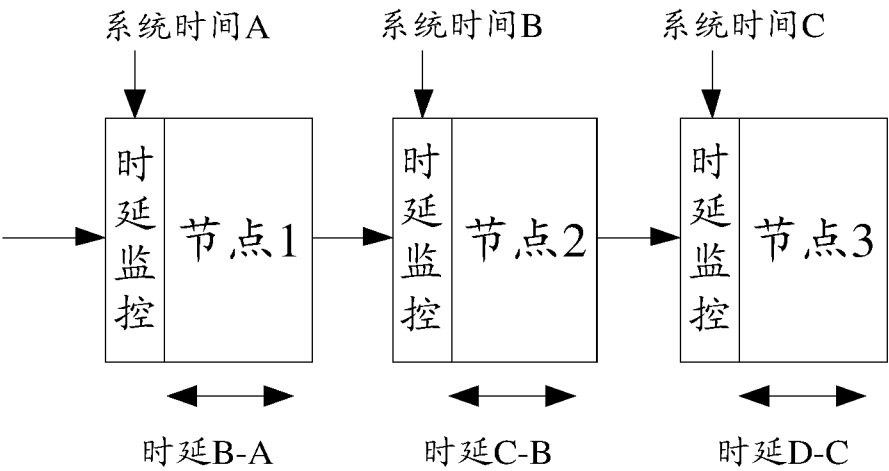


图 2

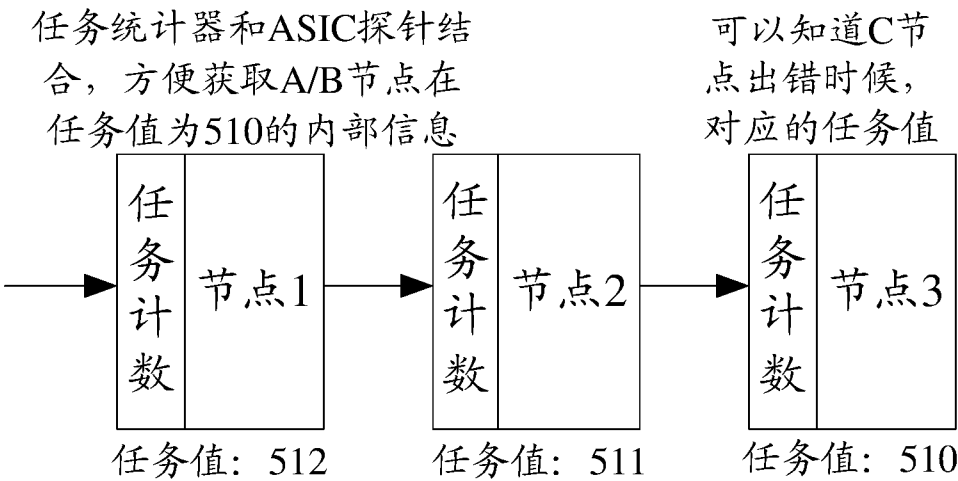


图 3

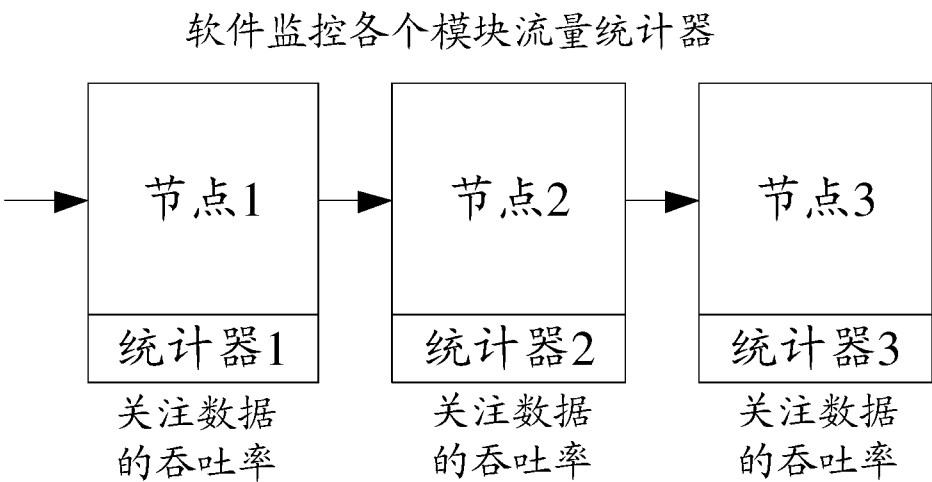


图 4

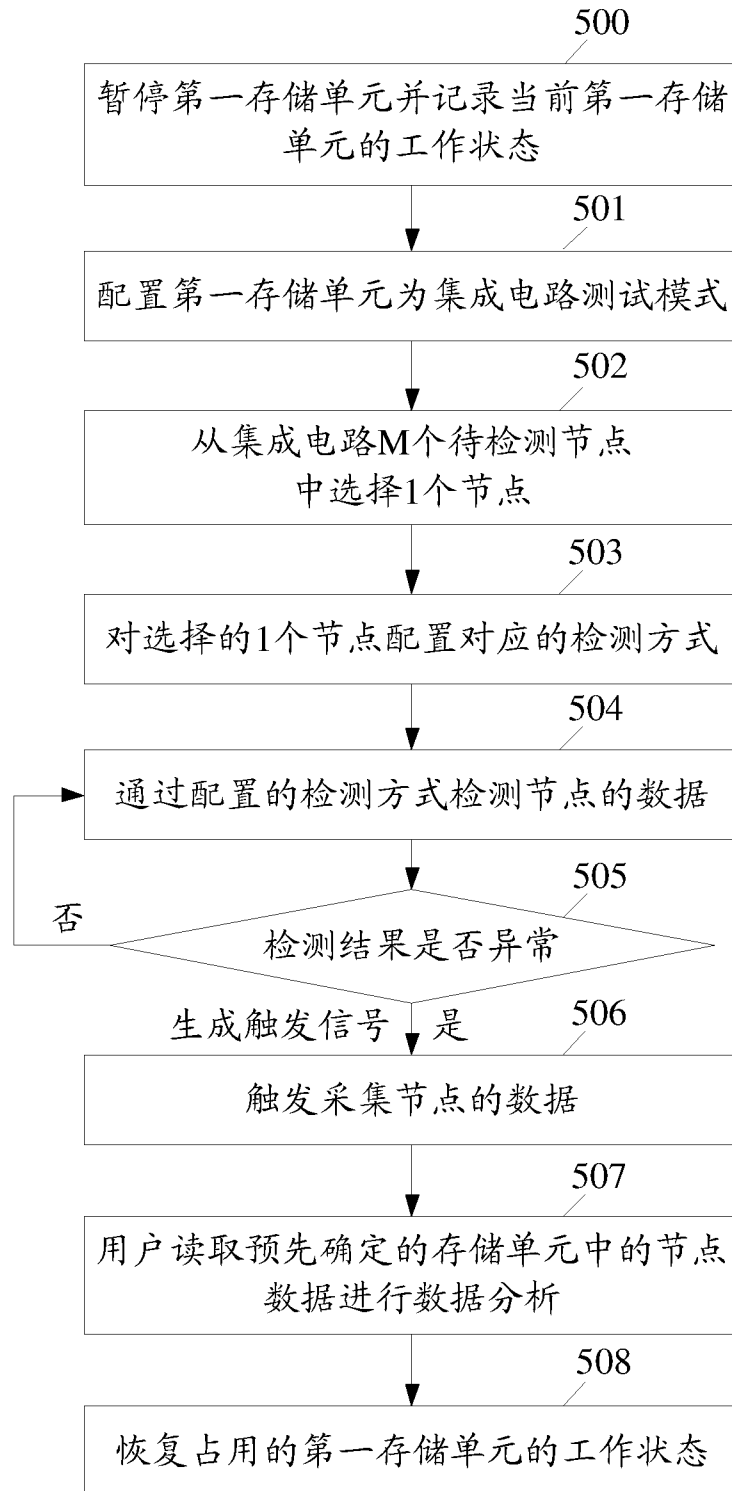


图 5

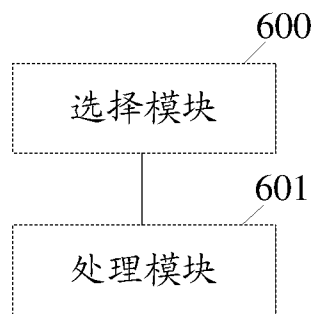


图 6

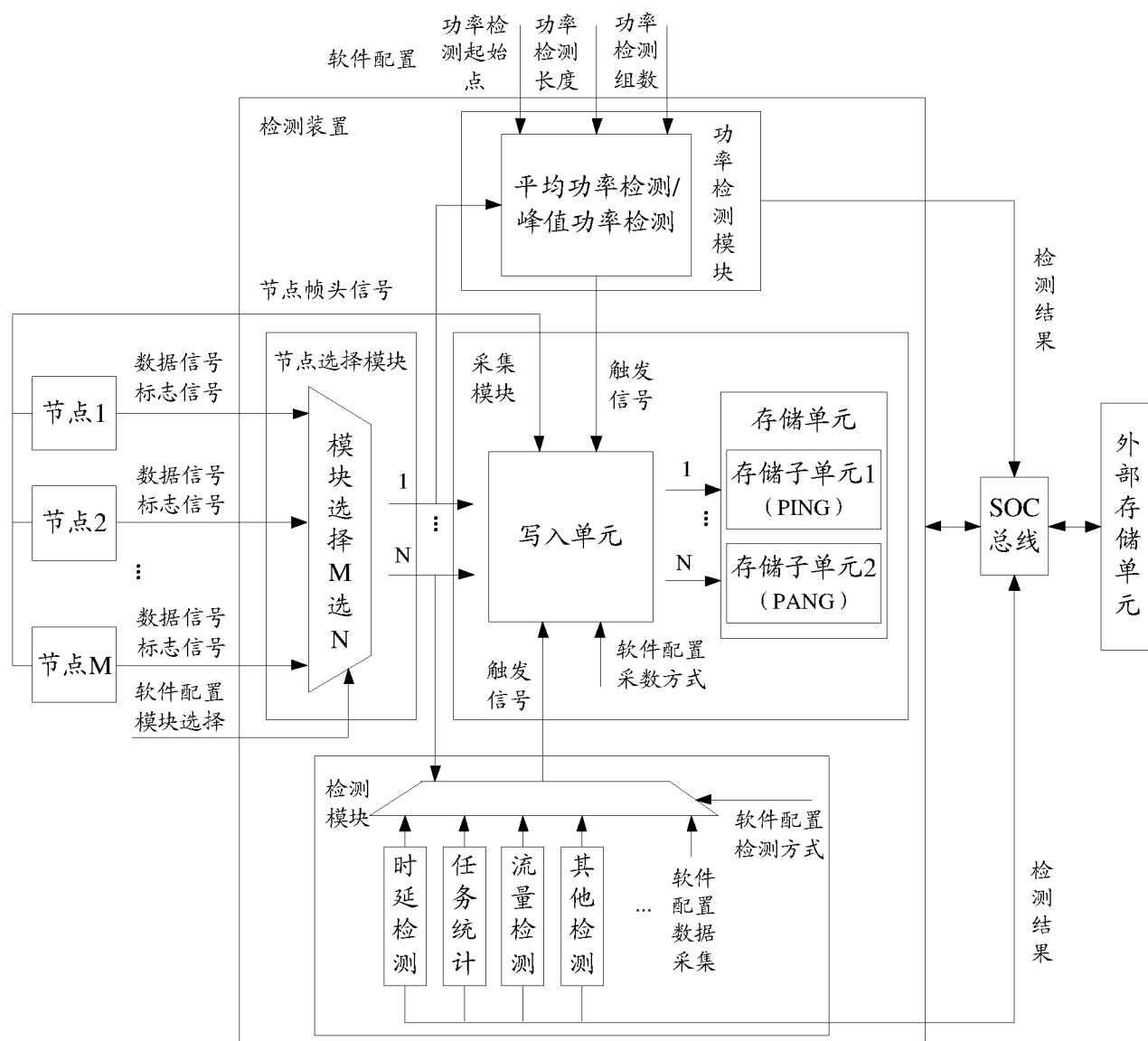


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/085666

A. CLASSIFICATION OF SUBJECT MATTER

G01R 31/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; CNPAT; IEEE: 集成电路, 电子电路, 逻辑, 数字, 测试, 检测, 节点, 结点, 检测点, 测试点, 异常, 错误, 故障, 触发, 采集, 收集, integrat+, electric+, analog, digital, circuit, IC, test+, measur+, detect+, node?, nodal, point?, error?, fault+, abnormal, trigger+, collect+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	牛恩涛. 模拟集成电路的测试技术研究. 中国优秀硕士学位论文全文数据库信息科技辑. 15 February 2016 (15.02.2016), 2016, no. 2, page 5, paragraph 1, page 6, paragraph 4 to page 7, paragraph 1. (NIU, Entao. Research on Testing Technologies of Analog Integrated Circuits. Chinese Master's Theses Full-text Database, Information Science and Technology.)	1, 5, 6, 9, 13, 14, 17, 18
A	CN 102323535 A (HUNAN NORMAL UNIVERSITY) 18 January 2012 (18.01.2012), entire document	1-18
A	US 2010244918 A1 (FREESCALE SEMICONDUCTOR, INC.) 30 September 2010 (30.09.2010), entire document	1-18
A	CN 104090227 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 08 October 2014 (08.10.2014), entire document	1-18

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 August 2017	Date of mailing of the international search report 23 August 2017
---	--

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimengqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LAI, Fengping Telephone No. (86-10) 62414054
--	---

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/085666

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101614786 A (NANJING UNIVERSITY OF AERONAUTICS AND ASTRONAUTICS) 30 December 2009 (30.12.2009), entire document	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/085666

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102323535 A	18 January 2012	CN 102323535 B	18 January 2014
US 2010244918 A1	30 September 2010	US 8255748 B2	28 August 2012
CN 104090227 A	08 October 2014	CN 104090227 B	26 October 2016
CN 101614786 A	30 December 2009	CN 101614786 B	30 November 2011

国际检索报告

国际申请号

PCT/CN2017/085666

A. 主题的分类

G01R 31/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G01R

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI;EPODOC;CNKI;CNPAT;IEEE: 集成电路, 电子电路, 逻辑, 数字, 测试, 检测, 节点, 结点, 检测点, 测试点, 异常, 错误, 故障, 触发, 采集, 收集, integrat+, electric+, analog, digital, circuit, IC, test+, measur+, detect+, node?, nodal, point?, error?, fault+, abnormal, trigger+, collect+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	牛恩涛. “模拟集成电路的测试技术研究” 中国优秀硕士学位论文全文数据库 信息科技辑, 2016年 2月 15日 (2016 - 02 - 15), 2016年第02期, 第5页第1段, 第6页第4段-第7页第1段	1, 5, 6, 9, 13, 14, 17, 18
A	CN 102323535 A (湖南师范大学) 2012年 1月 18日 (2012 - 01 - 18) 全文	1-18
A	US 2010244918 A1 (FREESCALE SEMICONDUCTOR, INC.) 2010年 9月 30日 (2010 - 09 - 30) 全文	1-18
A	CN 104090227 A (电子科技大学) 2014年 10月 8日 (2014 - 10 - 08) 全文	1-18
A	CN 101614786 A (南京航空航天大学) 2009年 12月 30日 (2009 - 12 - 30) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 8月 4日

国际检索报告邮寄日期

2017年 8月 23日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

赖风平

电话号码 (86-10)62414054

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/085666

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102323535	A	2012年 1月 18日	CN	102323535	B	2014年 1月 8日
US	2010244918	A1	2010年 9月 30日	US	8255748	B2	2012年 8月 28日
CN	104090227	A	2014年 10月 8日	CN	104090227	B	2016年 10月 26日
CN	101614786	A	2009年 12月 30日	CN	101614786	B	2011年 11月 30日

表 PCT/ISA/210 (同族专利附件) (2009年7月)