(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0053618
(43) 공개일자 2018년05월23일

(51) 국제특허분류(Int. Cl.)
C01B 32/182 (2017.01) *C01B 32/188* (2017.01)
H01L 29/10 (2006.01) *H01L 29/16* (2006.01)
(52) CPC특허분류
C01B 32/182 (2017.08)
C01B 32/188 (2017.08)
(21) 출원번호 10-2018-0053772(분할)
(22) 출원일자 2018년05월10일
심사청구일자 2018년05월10일
(62) 원출원 특허 10-2016-0028956
원출원일자 2016년03월10일
심사청구일자 2016년03월10일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
박기복
울산광역시 울주군 언양읍 유니스트길 50
진한별
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
유미특허법인

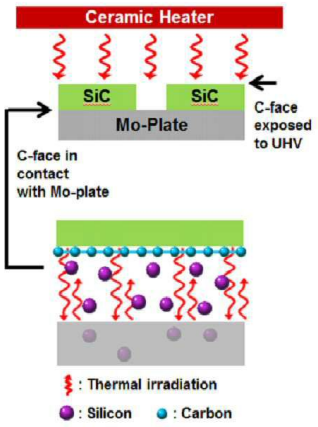
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **그래핀 시트, 이의 제조 방법, 및 이를 포함하는 전자 소자**

(57) 요 약

그래핀 시트, 이의 제조 방법, 및 이를 포함하는 전자 소자에 관한 것으로, 본 발명의 구현예들에서는 결함이 적고 대입경인 그래핀 시트를 제공하며, 이를 저온 열처리에 의해 제조하는 방법과, 이를 포함하는 전자 소자를 제공한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/1025 (2013.01)
H01L 29/1606 (2013.01)
C01B 2204/04 (2013.01)
C01P 2002/82 (2013.01)
(72) 발명자
정성철
울산광역시 울주군 언양읍 유니스트길 50
권순용
울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업
과제고유번호 1345237633
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 이공학개인기초연구지원
연구과제명 탄동 전자/정공 방출을 이용한 그래핀/(반도체, 절연체) 접합면의 전하수송에 대한 그래핀 내 전자-정공 웅덩이의 영향에 관한 연구
기 여 율 1/5
주관기관 울산과학기술대학교
연구기간 2015.06.01 ~ 2016.05.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1345224814
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 일반연구자지원
연구과제명 탄동 전자/정공 방출을 이용한 그래핀/(반도체, 절연체) 접합면의 전하수송에 대한 그래핀 내 전자-정공 웅덩이의 영향에 관한 연구
기 여 율 1/5
주관기관 울산과학기술대학교
연구기간 2014.06.01 ~ 2015.05.31
이 발명을 지원한 국가연구개발사업
과제고유번호 9991002705
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 일반연구자지원(교육부)
연구과제명 탄동 전자/정공 방출을 이용한 그래핀/(반도체, 절연체) 접합면의 전하수송에 대한 그래핀 내 전자-정공 웅덩이의 영향에 관한 연구
기 여 율 1/5
주관기관 울산과학기술대학교
연구기간 2013.06.01 ~ 2014.05.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711025873
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 원자력연구기반확충사업
연구과제명 전자빔 조사를 통한 SiC 표면에서의 그래핀/나노와이어 하이브리드 박막 및 SiC 내 스핀 보유 결함 형성 기술 개발
기 여 율 1/5
주관기관 울산과학기술대학교
연구기간 2015.06.01 ~ 2016.05.31
이 발명을 지원한 국가연구개발사업
과제고유번호 1711018514
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 원자력연구기반확충사업
연구과제명 전자빔 조사를 통한 SiC 표면에서의 그래핀/나노와이어 하이브리드 박막 형성 기술 개발
기 여 율 1/5
주관기관 울산과학기술대학교
연구기간 2014.06.01 ~ 2015.05.31

명 세 서

청구범위

청구항 1

1 내지 20층의 그래핀(graphene)을 포함하며,

라만 스펙트럼 측정 시, 2680 cm^{-1}를 초과하는 위치에 2D 밴드의 피크가 나타나고, 1596 cm^{-1} 미만의 위치에 G 밴드의 피크가 나타나며, 2D 밴드/G 밴드의 강도 비율이 0.4 초과이고,

상기 G 밴드의 피크는,

1580 cm^{-1} 초과 1596 cm^{-1} 미만의 위치에 나타나는 것인,

그래핀 시트.

청구항 2

제1항에 있어서,

상기 2D 밴드의 피크는,

반치폭(FWHM, Full Width at Half Maximum)이 30 내지 50 cm^{-1}인 것인,

그래핀 시트.

청구항 3

제1항에 있어서,

상기 2D 밴드의 피크는,

2680 cm^{-1} 초과 2720 cm^{-1} 미만의 위치에 나타나는 것인,

그래핀 시트.

청구항 4

제1항에 있어서,

2D밴드/G밴드의 강도 비율이 1.25 이상인 것인,

그래핀 시트.

청구항 5

제1항에 있어서,

2D밴드/G밴드의 강도 비율이 4.0 이상인 것인,

그래핀 시트.

청구항 6

제1항에 있어서,

1335 cm^{-1} 초과 1365 cm^{-1} 미만의 위치에 D 밴드가 나타나며,

D밴드/G밴드의 강도 비율이 1.9 미만인 것인,

그래핀 시트.

청구항 7

제1항에 있어서,

1335 cm^{-1} 초과 1365 cm^{-1} 미만의 위치에 D 밴드가 나타나며,

D밴드/G밴드의 강도 비율이 0.1 이하인 것인,

그래핀 시트.

청구항 8

제1항에 있어서,

상기 그래핀 시트는,

실리콘 카바이드 기판 및 금속판 사이에서, 에피택셜(epitaxial) 성장된 것인,

그래핀 시트.

청구항 9

제8항에 있어서,

상기 그래핀 시트는,

상기 실리콘 카바이드 기판의 실리콘 면(0001)과 같은 방향 및 유사 결정 격자를 가지는 것인,

그래핀 시트.

청구항 10

제8항에 있어서,

상기 그래핀 시트는,

상기 실리콘 카바이드 기판의 탄소 면(000-1)과 같은 방향 및 유사 결정 격자를 가지는 것인,

그래핀 시트.

청구항 11

그래핀 시트를 포함하는 채널층;

상기 채널층 양단에 각각 접촉된 소스 전극 및 드레인 전극;

상기 채널층 상에 위치하는 게이트 절연층; 및

상기 게이트 절연층 상에 위치하는 게이트 전극;을 포함하고,

상기 채널층에 포함된 그래핀 시트는, 1 내지 20층의 그래핀(graphene)을 포함하며, 라만 스펙트럼 측정 시, 2680 cm^{-1}를 초과하는 위치에 2D 밴드의 피크가 나타나고, 1596 cm^{-1} 미만의 위치에 G 밴드의 피크가 나타나며, 2D 밴드/G 밴드의 강도 비율이 0.4 초과이고,

상기 G 밴드의 피크는,

1580 cm^{-1} 초과 1596 cm^{-1} 미만의 위치에 나타나는 것인,

전자 소자.

발명의 설명

기 술 분 야

[0001] 그래핀 시트, 이의 제조 방법, 및 이를 포함하는 전자 소자에 관한 것이다.

배 경 기 술

[0003] 그래핀은, 탄소 원자들이 허니콤(honeycomb) 격자 구조로 배열된 하나의 층(monolayer)으로 이루어진, 2 차원 구조를 가지는 물질이며, 전자와 홀(hole) 이동성이 뛰어난 특성을 가지고 있어, 테라헤르츠(THz) 급의 주파수로 구동되는 매우 빠른 전자 기기에 적용되기에 적합한 물질로 주목 받고 있다.

[0004] 이러한 그래핀의 제조는, 잘 정렬된 흑연(highly oriented pyrolytic graphite, HOPG)을 기계적으로 박리함으로써 최초로 성공한 것으로 알려져 있다. 다만, 기계적으로 박리된 그래핀 단결정 조각들은, 그 우수한 품질에도 불구하고, 실제로 적용되기에는 크기가 지나치게 작은(<100 ㎛) 것이었다.

[0005] 이와 관련하여, 대면적(large-scale) 그래핀의 합성을 위해, 화학적 기상 증착법(chemical vapor deposition, CVD), 고체 원료 증착법(solid source deposition), 실리콘 카바이드(SiC)의 열처리 등의 대체법들이 제시되었다.

[0006] 그 중에서도 실리콘 카바이드(SiC)의 열처리의 경우, 초고진공(ultrahigh vacuum, UHV) 조건에서 1300 ℃ 이상으로 단결정 실리콘 카바이드 기판을 열처리함으로써, 그 표면에 그래핀을 애피텍셜(epitaxial) 성장시킬 수 있는 방법으로 알려져 있다.

[0007] 그러나, 이 방법에 의할 때, 고품질의 그래핀 시트를 수득하기 위한 온도는 1500 내지 1600 ℃이다. 즉, 1300 ℃ 미만의 저온 열처리에 의해서는, 결함이 적고 대입경인 그래핀을 애피텍셜(epitaxial) 성장시키기 어려운 문제가 있다.

발명의 내용

해결하려는 과제

[0009] 이에, 본 발명의 구현예들에는, 결함이 적고 대입경인 그래핀 시트를 제공하며, 이를 저온 열처리에 의해 제조하는 방법과, 이를 포함하는 전자 소자를 제공한다.

과제의 해결 수단

[0011] 본 발명의 일 구현예에서는, 1 내지 20층의 그래핀(graphene)을 포함하며, 라만 스펙트럼 측정 시, 2680 cm^{-1}를 초과하는 위치에 2D 밴드의 피크가 나타나고, 1596 cm^{-1} 미만의 위치에 G 밴드의 피크가 나타나며, 2D 밴드/G 밴

드의 강도 비율이 0.4 초과인 것인, 그래핀 시트를 제공한다.

[0012] 또한 상기 2D 밴드의 피크는, 반치폭(FWHM, Full Width at Half Maximum)이 30 내지 50 cm^{-1} 일 수 있다.

[0013] 구체적으로, 상기 2D 밴드의 피크는 2680 cm^{-1} 초과 2720 cm^{-1} 미만의 위치에 나타나며, 상기 G 밴드의 피크는 1580 cm^{-1} 초과 1596 cm^{-1} 미만의 위치에 나타나는 것일 수 있다.

[0014] 상기 2D밴드/G밴드의 강도 비율은 0.4 초과, 구체적으로 1.25 이상, 보다 구체적으로 4.0 이상일 수 있다.

[0015] 한편, 1335 cm^{-1} 초과 1365 cm^{-1} 미만의 위치에 D 밴드가 나타나며, D밴드/G밴드의 강도 비율은 1.9 미만, 보다 구체적으로 0.1 이하일 수 있다.

[0016] 상기 그래핀 시트는, 실리콘 카바이드 기판 및 금속판 사이에서, 에피택셜(epitaxial) 성장된 것일 수 있다.

[0017] 이에 따라 상기 그래핀 시트는, 상기 실리콘 카바이드 기판의 실리콘 면(0001)과 같은 방향 및 유사 결정 격자를 가지는 것일 수 있다.

[0018] 이와 달리, 상기 그래핀 시트는, 상기 실리콘 카바이드 기판의 탄소 면(000-1)과 같은 방향 및 유사 결정 격자를 가지는 것일 수도 있다.

[0020] 본 발명의 다른 일 구현예에서는, 실리콘 카바이드(SiC) 기판의 일면을 금속판으로 덮어(capping), 적층체를 형성하는 단계; 및 상기 적층체를 열처리하는 단계;를 포함하며, 상기 적층체를 열처리하는 단계;에서, 상기 적층체 내 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면 상에, 그래핀이 에피택셜(epitaxial) 성장되는 것인, 그래핀 시트의 제조 방법을 제공한다.

[0021] 상기 적층체를 일괄하여 열처리하는 단계; 는, 초고진공(Ultra High Vacuum, UHV) 조건에서 수행될 수 있다.

[0022] 구체적으로, 상기 적층체를 일괄하여 열처리하는 단계;는, (a) 상기 적층체 내 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면에서 열 분해(thermal decomposition) 반응이 일어나는 단계; (b) 상기 열 분해 반응에 의해 실리콘 및 탄소가 생성되는 단계; 및 (c) 상기 실리콘이 승화하고, 상기 탄소가 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면 상에 재배열되어, 상기 그래핀으로 에피택셜(epitaxial) 성장하는 단계;를 포함하며, 상기 (a), (b), 및 (c) 단계는 동시에 일어나는 것일 수 있다.

[0023] 상기 적층체를 일괄하여 열처리하는 단계; 에서, 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면에서 열이 방사(thermal radiation)되고, 상기 실리콘 카바이드 기판을 덮은 상기 금속판 일면에서 상기 방사된 열이 반사되어(Mirroring), 상기 적층체의 외부 온도보다 상기 적층체 내 실리콘 카바이드 기판 및 금속판 사이의 온도가 증가할 수 있다.

[0024] 이와 관련하여, 상기 적층체의 외부 온도를 800 ℃ 이상 950 ℃ 이하의 범위로 제어한 상태에서 상기 적층체를 열처리할 수 있다.

[0025] 상기 적층체를 일괄하여 열처리하는 단계; 에서, 상기 적층체 내 실리콘 카바이드 기판 및 금속판 사이에, 상기 승화된 실리콘이 밀폐(confinement)되고, 상기 밀폐된 실리콘 중 일부가 상기 적층체 내 상기 금속판으로 흡수(absorb)될 수 있다.

[0026] 이에 따라 상기 실리콘의 승화 속도가 제어되어, 1 내지 60 분 동안 상기 적층체를 열처리할 수 있다.

[0027] 한편, 상기 적층체를 열처리하는 단계;에서, 상기 실리콘 카바이드 기판의 실리콘 면(0001)과 같은 방향 및 유사 결정 격자로 상기 그래핀이 에피택셜(epitaxial) 성장될 수 있다. 이와 달리, 상기 실리콘 카바이드 기판의 탄소 면(000-1)과 같은 방향 및 유사 결정 격자로 상기 그래핀이 에피택셜(epitaxial) 성장될 수도 있다.

[0028] 상기 금속판은, Mo, W, Pt, Ni, 및 Cu 중에서 선택되는 1종의 금속, 또는 이들 중 2종 이상의 금속 합금으로 이루어진 것일 수 있다.

[0030] 본 발명의 또 다른 일 구현예에서는, 그래핀 시트를 포함하는 채널층; 상기 채널층 양단에 각각 접촉된 소스 전극 및 드레인 전극; 상기 채널층 상에 위치하는 게이트 절연층; 및 상기 게이트 절연층 상에 위치하는 게이트

전극;을 포함하고, 상기 채널층에 포함된 그래핀 시트는, 1 내지 20층의 그래핀(graphene)을 포함하며, 라만 스펙트럼 측정 시, 2680 cm^{-1}를 초과하는 위치에 2D 밴드의 피크가 나타나고, 1596 cm^{-1} 미만의 위치에 G 밴드의 피크가 나타나며, 2D 밴드/G 밴드의 강도 비율이 0.4 초과인 것인, 전자 소자를 제공한다.

발명의 효과

[0032] 본 발명의 구현 예들에 따르면, 실리콘 카바이드(SiC)의 일면을 금속판(metal plate)으로 덮은(capping) 상태에서 열처리함으로써, 1300 ℃ 미만의 저온에서도 결함이 적고 대입경을 가져 고품질인 그래핀 시트를 제공할 수 있고, 이를 적용한 전자 소자의 성능이 우수하다.

도면의 간단한 설명

[0034] 도 1은, 본 발명의 실시예들 및 비교예들에 따른 각 그래핀 시트를 제조하는 공정을 개략적으로 나타낸 도면이다.

도 2는, 본 발명의 실시예 1 및 비교예 1에 따른 각 그래핀 시트에 대해, 라만 스펙트럼을 측정하여 그 결과를 나타낸 것이다.

도 3은, 본 발명의 실시예 1 및 비교예 1에 따른 각 그래핀 시트에 대해, SEM 사진을 촬영하여 그 결과를 나타낸 것이다.

도 4는, 몰리브덴판(Mo-plate) 그 자체와, 본 발명의 실시예 1에 사용된 몰리브덴판(Mo-plate)에 대한 각 XPS 스펙트라를 나타낸 것이다.

도 5는, 본 발명의 실시예 2 및 비교예 2에 따른 각 그래핀 시트에 대해, 라만 스펙트럼을 측정하여 그 결과를 나타낸 것이다.

도 6은, 본 발명의 실시예 2 에 따른 그래핀 시트를 채널층에 적용한 전계 효과 트랜지스터(Field Effect Transistor, FET)의 성능을 평가하여 그 결과를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0035] 이하, 본 발명의 구현예를 상세히 설명하기로 한다. 다만, 이는 예시로서 제시되는 것으로, 이에 의해 본 발명이 제한되지는 않으며 본 발명은 후술할 청구범위의 범주에 의해 정의될 뿐이다.

[0037] 앞서 설명한 바와 같이, 초고진공(ultrahigh vacuum, UHV) 조건에서 1300 ℃ 이상으로 단결정 실리콘 카바이드(SiC) 기판을 열처리함으로써, 그 표면에 그래핀을 애피텍셜(epitaxial) 성장시킬 수 있는 방법으로 알려져 있다.

[0038] 이는, 실리콘 카바이드 기판을 열처리할 때, 그 표면에서 열 분해(thermal decomposition) 반응이 일어나, 실리콘이 승화됨과 동시에, 잔존하는 탄소가 기판의 일면 상에 재배열되어, 상기 그래핀으로 에피택셜(epitaxial) 성장하는 원리를 이용한 것이다.

[0039] 다만, 이 방법에 의할 때, 고품질의 그래핀 시트를 수득하기 위한 온도는 1500 내지 1600 ℃이다. 즉, 1300 ℃ 미만의 저온 열처리에 의해서는, 결함이 적고 대입경인 그래핀을 애피텍셜(epitaxial) 성장시키기 어려운 문제가 있음은 앞서 지적한 바와 같다.

[0040] 이러한 문제를 해소하기 위해, 실리콘 카바이드 기판을 열처리할 때, 아르곤(Ar) 기체를 공급하여 압력을 높임으로써 실리콘의 승화 속도를 낮추어 애피텍셜(epitaxial) 그래핀의 품질을 높이고자 하는 제안이 있었다.

[0041] 하지만, 이 경우 1650 ℃이상의 높은 온도를 필요로 하며, 여전히 1300 ℃ 미만의 저온 열처리에 의해서는 고품질의 애피텍셜(epitaxial) 그래핀을 수득하지 못하는 한계가 있다고 알려져 있다.

[0043] 이하의 본 발명의 구현예들에서는, 라만 스펙트럼 측정에 의하여 그 품질의 우수성이 뒷받침되는 그래핀 시트를 제공하며, 이를 저온 열처리에 의해 제조하는 방법을 제공하고, 또한 이러한 그래핀 시트를 포함하는 전자 소자를 제공한다.

[0045] **그래핀 시트**

[0046] 우선, 본 발명의 일 구현예에서는, 1 내지 20층의 그래핀(graphene)을 포함하며, 라만 스펙트럼 측정 시, 2680 cm^{-1}를 초과하는 위치에 2D 밴드의 피크가 나타나고, 1596 cm^{-1} 미만의 위치에 G 밴드의 피크가 나타나며, 2D 밴드/G 밴드의 강도 비율이 0.4 초과인 것인, 그래핀 시트를 제공한다.

[0047] 구체적으로, 상기 그래핀 시트는, 실리콘 카바이드 기판을 금속판으로 덮은(capping) 상태에서 열처리함으로써, 상기 실리콘 카바이드 기판 및 상기 금속판 사이에서 에피택셜(epitaxial) 성장된 것일 수 있다.

[0048] 그 제조 방법에 대한 상세한 설명은 후술하겠지만, 실리콘 카바이드 기판를 금속판으로 덮은(capping) 상태에서 열처리함으로써 최종 수득된 그래핀 시트는, 실리콘 카바이드 기판를 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우에 대비하여, 열처리 온도가 동일할 때(특히 1300 ℃ 미만의 저온)일 때, 결함이 적고 대입경인 그래핀을 포함할 수 있다.

[0049] 보다 구체적으로, 본 발명의 일 구현예에 따른 그래핀 시트는, 1 내지 20층의 그래핀(graphene)을 포함하되, 앞서 설명한 바와 같이, 라만 스펙트럼 측정에 의하여 그 품질의 우수성이 뒷받침되는 것이다.

[0050] 이하, 본 발명의 일 구현예에 따른 그래핀 시트를 상세히 설명한다.

[0052] 일반적으로, 실리콘 카바이드 기판 상에 성장된 그래핀 시트의 라만 스펙트럼 측정 시, 2D 밴드의 피크 위치는 그래핀 시트의 두께에 관한 정보를 제공한다.

[0053] 이와 관련하여 후술하겠지만, 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우, 라만 스펙트럼 측정 시, 2680 cm^{-1} 이하의 위치에 2D 밴드의 피크가 나타나며, 이로부터 성장된 그래핀 시트의 얇은 두께를 파악할 알 수 있다.

[0054] 그에 반면, 본 발명의 일 구현예에 따른 그래핀 시트는 2680 cm^{-1}를 초과하는 위치, 구체적으로 2680 cm^{-1} 초과 2720 cm^{-1} 미만의 위치에 2D 밴드의 피크가 나타나며, 이는 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우에 비해, 성장된 그래핀 시트가 상대적으로 두꺼움을 의미한다.

[0055] 또한 일반적으로, 실리콘 카바이드 기판 상에 성장된 그래핀 시트의 라만 스펙트럼 측정 시, G 밴드의 피크 위치는 실리콘 카바이드 기판의 영향으로 인한 성장된 그래핀 시트의 압축 변형(compressive strain) 정도에 관한 정보를 제공한다.

[0056] 이와 관련하여 후술하겠지만, 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우, 라만 스펙트럼 측정 시, 1596 cm^{-1} 이상에서 G 밴드의 피크가 나타나며, 이는 성장된 그래핀 시트가 얇아서 실리콘 카바이드 기판의 영향에 의한 압축 변형이 큼을 알 수 있다.

[0057] 그에 반면, 본 발명의 일 구현예에 따른 그래핀 시트는, 1596 cm^{-1} 미만, 구체적으로 1580 cm^{-1} 초과 1596 cm^{-1} 미만의 위치에 G 밴드의 피크가 나타나며, 이는 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우에 비해, 성장된 그래핀 시트가 두꺼워서 실리콘 카바이드 기판의 영향에 의한 압축 변형이 상대적으로 적음을 의미한다.

[0058] 아울러 일반적으로, 그래핀 시트의 라만 스펙트럼 측정 시, 2D 밴드/G 밴드의 강도 비율은 그래핀 시트의 결함 정도와 입경 크기에 관한 정보를 제공한다. 이와 관련하여 후술하겠지만, 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우, 라만 스펙트럼 측정 시 2D 밴드/G 밴드의 강도 비율이 0.4 이하로 측정되며, 이는 성장된 그래핀 시트의 결함이 많고 입경 크기가 작음을 알 수 있다.

[0059] 그에 반면, 본 발명의 일 구현예에 따른 그래핀 시트는, 2D 밴드/G 밴드의 강도 비율이 0.4 초과, 구체적으로 1.25 이상, 보다 구체적으로 4.0 이상으로 측정되며, 이는 실리콘 카바이드 기판를 금속판으로 덮지(capping)

않은 상태에서 열처리한 경우에 비해, 성장된 그래핀 시트의 결함이 적고 입경 크기가 큼을 의미한다.

[0060] 아울러, 일반적으로 그래핀 시트의 라만 스펙트럼 측정 시, 2D 밴드의 피크 반치폭(FWHM, Full Width at Half Maximum)은 그래핀 시트의 두께에 관한 정보를 제공한다. 이와 관련하여 후술하겠지만, 실리콘 카바이드 기판를 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우, 라만 스펙트럼 측정 시, 2D 밴드의 피크 반치폭이 50 cm^{-1} 초과로 나타나며, 이는 성장된 그래핀 시트가 두껍다는 것을 의미한다.

[0061] 그에 반면, 본 발명의 일 구현예에 따른 그래핀 시트는, 2D 밴드의 피크 반치폭이 30 내지 50 cm^{-1} 일 수 있고, 이는 실리콘 카바이드 기판를 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우에 비해, 성장된 그래핀 시트가 얇다는 것을 의미한다.

[0062] 한편, 이와 관련하여 후술하겠지만, 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우, 라만 스펙트럼 측정 시, D밴드/G밴드의 강도 비율이 1.9 이상인 것으로 측정된다.

[0063] 그에 반면, 본 발명의 일 구현예에 따른 그래핀 시트는, 1335 cm^{-1} 초과 1365 cm^{-1} 미만의 위치에 D 밴드가 나타나며, D밴드/G밴드의 강도 비율이 1.9 미만, 구체적으로 0.1 이하일 수 있는 바, 실리콘 카바이드 기판를 금속판으로 덮지(capping) 않은 상태에서 열처리한 경우에 비해, 그래핀 시트의 결함 정도가 현저히 낮음을 알 수 있다.

[0064] 한편, 상기 그래핀 시트는, 실리콘 카바이드 기판 상에 성장된 것으로, 상기 실리콘 카바이드 기판의 실리콘 면(0001)과 같은 방향 및 유사 결정 격자를 가지는 것이거나, 상기 실리콘 카바이드 기판의 탄소 면(000-1)과 같은 방향 및 유사 결정 격자를 가지는 것일 수 있다.

[0066] **그래핀 시트의 제조 방법**

[0067] 본 발명의 다른 일 구현예에서는, 실리콘 카바이드(SiC) 기판의 일면을 금속판으로 덮어(capping), 적층체를 형성하는 단계; 및 상기 적층체를 열처리하는 단계;를 포함하며, 상기 적층체를 열처리하는 단계;에서, 상기 적층체 내 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면 상에, 그래핀이 에피택셜(epitaxial) 성장되는 것인, 그래핀 시트의 제조 방법을 제공한다.

[0068] 이에 따라, 전술한 그래핀 시트가 최종적으로 수득될 수 있다.

[0069] 보다 구체적으로, 상기 적층체를 일괄하여 열처리하는 단계; 는, 초고진공(Ultra High Vacuum, UHV) 조건에서 수행될 수 있다.

[0070] 이때, (a) 상기 적층체 내 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면에서 열 분해(thermal decomposition) 반응이 일어나는 단계; (b) 상기 열 분해 반응에 의해 실리콘 및 탄소가 생성되는 단계; 및 (c) 상기 실리콘이 승화하고, 상기 탄소가 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면 상에 재배열되어, 상기 그래핀으로 에피택셜(epitaxial) 성장하는 단계;를 포함하며, 상기 (a), (b), 및 (c) 단계는 동시에 일어나는 것일 수 있다.

[0071] 이에 따라, 상기 실리콘 카바이드 기판의 실리콘 면(0001)과 같은 방향 및 유사 결정 격자로 상기 그래핀이 에피택셜(epitaxial) 성장될 수 있다. 이와 달리, 상기 실리콘 카바이드 기판의 탄소 면(000-1)과 같은 방향 및 유사 결정 격자로 상기 그래핀이 에피택셜(epitaxial) 성장될 수도 있다.

[0072] 다만, 앞서 지적한 바와 같이, 초고진공(Ultra High Vacuum, UHV) 조건에서, 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리하면, 1300 ℃ 이상의 온도에서 비로소 그래핀이 에피택셜(epitaxial) 성장될 수 있고, 특히 고품질의 그래핀 시트를 수득하기 위해서는 보다 고온(1500 내지 1600 ℃)으로 열처리할 필요가 있다.

[0073] 그에 반면, 본 발명의 일 구현예에 따른 제조 방법은, 실리콘 카바이드 기판을 금속판으로 덮은(capping) 상태에서 열처리함으로써, 1) 저온 열처리에 의한 공정 상 이점과, 2) 최종 수득되는 그래핀 품질의 우수성을 보장할 수 있다. 1) 구체적으로, 상기 적층체를 일괄하여 열처리하는 단계; 에서, 상기 금속판으로 덮인 상기 실리콘 카바이드 기판의 일면에서 열이 방사(thermal radiation)되고, 상기 실리콘 카바이드 기판을 덮은 상기 금속판 일면에서 상기 방사된 열이 반사되어(mirroring), 상기 적층체의 외부 온도보다 상기 적층체 내 실리콘 카바이드 기판 및 금속판 사이의 온도가 증가할 수 있다.

[0074] 이와 관련하여, 상기 적층체의 외부 온도를 800 ℃ 이상 950 ℃ 이하의 범위로 제어한 상태에서 상기 적층체를 열처리할 수 있다. 즉, 이처럼 저온 열처리하여도, 전술한 고품질의 그래핀 시트를 수득할 수 있는 것이다.

[0075] 2) 또한, 상기 적층체를 일괄하여 열처리하는 단계; 에서, 상기 적층체 내 실리콘 카바이드 기판 및 금속판 사이에, 상기 승화된 실리콘이 밀폐(confinement)되고, 상기 밀폐된 실리콘 중 일부가 상기 적층체 내 상기 금속판으로 흡수(absorb)될 수 있다.

[0076] 이에 따라, 실리콘 카바이드 기판을 금속판으로 덮지(capping) 않은 상태에서 열처리하는 경우에 비하여, 실리콘 카바이드 표면 근처에서의 실리콘 원자의 부분압이 높아져, 실질적인 실리콘의 승화 속도가 느려지며, 탄소가 재배열되는 시간이 길어져, 1 내지 60 분 동안 상기 적층체를 열처리할 수 있고, 결함이 적고 고품질인 그래핀으로 에피택셜(epitaxial) 성장할 수 있는 것이다.

[0077] 이를 위해, 상기 금속판으로는, 후술되는 실시예에서는 몰리브덴판(Mo-plate)을 사용하여, 그 효과를 입증하였다. 다만, 몰리브덴(Mo) 뿐만 아니라, W, Pt, Ni, 및 Cu 중에서 선택되는 1종의 금속, 또는 이들 중 2종 이상의 금속 합금으로 이루어진 금속판 또한, 몰리브덴판(Mo-plate)과 동일한 효과를 발현할 수 있다.

[0079] **전자 소자**

[0080] 본 발명의 또 다른 일 구현예에서는, 그래핀 시트를 포함하는 채널층; 상기 채널층 양단에 각각 접촉된 소스 전극 및 드레인 전극; 상기 채널층 상에 위치라는 게이트 절연층; 및 상기 게이트 절연층 상에 위치하는 게이트 전극;을 포함하고, 상기 채널층에 포함된 그래핀 시트는, 1 내지 20층의 그래핀(graphene)을 포함하며, 라만 스펙트럼 측정 시, 2680 cm^{-1}를 초과하는 위치에 2D 밴드의 피크가 나타나고, 1596 cm^{-1} 미만의 위치에 G 밴드의 피크가 나타나며, 2D 밴드/G 밴드의 강도 비율이 0.4 초과인 것인, 전자 소자를 제공한다.

[0081] 본 발명의 일 구현예에 따른 전자 소자는, 전술한 제조 방법에 의해 최종 수득된 그래핀 시트를 적용함으로써, 우수한 성능을 발현할 수 있다.

[0082] 상기 그래핀 시트와 그 제조 방법은 전술한 바와 같고, 그 외 상기 전자 소자의 구성 요소는 일반적으로 알려진 것과 같아, 그 상세한 설명을 생략한다.

[0084] 이하, 본 발명의 바람직한 실시예 및 그에 따른 평가예를 기재한다. 그러나 하기 실시예는 본 발명의 바람직한 일 실시예일뿐 본 발명이 하기 실시예에 한정되는 것은 아니다.

[0086] **실시예 1 및 비교예 1**

[0087] 우선, 4H-SiC 기판과 몰리브덴판(Mo-plate)을 이용하여 그래핀 시트를 제조하고, 그 구조적 특성을 분석하기로 하였다.

[0088] 전처리로써, 4H-SiC 기판은, 그 자연 산화물을 제거하기 위해, HF (49%)를 사용하여 1분 동안 화학적으로 수세한 뒤 메탄올로 씻어내었다. 몰리브덴판(Mo-plate) 또한 기계 가공에 의한 잔여물을 제거하기 위해, HCl:H_2O (2:1)의 혼합 용액을 사용하여 10 분동안 수세한 뒤 증류수를 이용하여 씻어낸 뒤, 초고진공(UHV) 조건에서 500 ℃ 에서 열처리(어닐링)하였다.

[0089] 이후, 도 1에 나타난 바와 같이, 몰리브덴판(Mo-plate) 상에 4H-SiC 기판의 n-타입 C 면을 위치시켜, 4H-SiC 기판의 n-타입 C 면을 몰리브덴판(Mo-plate)으로 덮은(capping) 상태가 되도록 하였다.

[0090] 이러한 적층체에 대해, 초고진공(UHV) 조건에서, 850 내지 950 ℃ 범위 내에서, 10 내지 60 분 동안 열처리하였다. 이는 일반적인 진공 열처리 공정 보다 낮은 온도 조건이며, 열처리 시 온도는 적외선 고온계(IR pyrometer) 및 열전대(thermocouple)를 이용하여 교차 점검되었다. 이때, 열처리 온도를 다양하게 조절하여, 각 경우에 대한 결과를 얻었다.

[0091] 또한 챔버 내 기본 압력은 $6.0*10^{-9}$ Torr 였고, 900 ℃에서 60 분 열처리 시 작동 압력이 ~$4.6*10^{-6}$ Torr에 도달하였다.

[0092] 열처리 후, 4H-SiC 기판의 양면에서 그래핀 시트를 수득할 수 있었는데, 몰리브덴판(Mo-plate)으로 덮인(capping) n-타입 C 면에서 수득된 그래핀 시트는 실시예 1이라하고, 몰리브덴판(Mo-plate)으로 덮이지(capping) 않고 초고진공(UHV) 조건에 직접 노출된 n-타입 C 면에서 수득된 그래핀 시트는 비교예 1이라 한다.

[0094] **평가예 1**

[0095] **(1) 실시예 1 및 비교예 1의 라만 스펙트럼 평가**

[0096] 실시예 1 및 비교예 1에서 각각 수득된 그래핀 시트에 대해, 에피택셜 그래핀(EG)으로 형성 여부 및 각 구조적 품질을 평가하기 위하여, 라만 현미경(Alpha 300R, WITec)을 이용하여 라만 스펙트럼을 측정하였다.

[0097] 측정 시, 레이저 들뜸 에너지(excitation energy)는 ~2.33 eV (532 nm), 레이저 출력은 3 mW이고, 레이저 스팟 크기는 ~ 1.2 ㎛로 하였다.

[0098] 도 2는, 실시예 1 및 비교예 1에서 열처리 조건이 900 ℃인 경우에 관한 것으로, Spectrum A 로 표시된 것은 실시예 1에 따른 결과이고, Spectrum B로 표시된 것은 비교예 1에 따른 결과이다.

[0099] 실시예 1 및 비교예 1모두, 에피택셜 그래핀(EG)의 특징적인 라만 피크들(D, G, 2D)이 나타나며, 이를 통해 에피택셜 그래핀(EG)이 성장된 것을 확인할 수 있다.

[0100] 1) 다만 두 경우에서 눈에 띄게 다른 점은, G 피크에 대한 D 피크와 2D 피크의 상대적 강도가 매우 다르다는 점이다.

[0101] 구체적으로, 비교예 1의 경우, D 피크의 강도가 G 피크 대비 ~1.9 배 강하며, 2D 피크의 강도가 G 피크 대비 ~0.4배에 불과하다. 또한 D 피크와 관련된 D+G 피크 또한 확인 가능한 크기로 관찰되었다.

[0102] 이러한 결과들은, 에피택셜 그래핀(EG) 내 결함이 있고, 그 입자 크기가 매우 작게(대략적으로 nm 단위) 형성된 것을 의미하는 바, 초고진공 조건에서 상대적으로 낮은 온도에서 에피택셜 그래핀(EG)을 성장시킨 데 따른 문제로 추론할 수 있다.

[0103] 그에 반면, 실시예 1의 경우, D 피크의 강도가 G 피크 대비 ~0.1 배로 약하며, 2D 피크의 강도가 G 피크 대비 ~1.25 배로 확인된다. 또한 D+G 피크는 무시 가능한 정도로 매우 작다.

[0104] 비교예 1로부터 실시예 1로의 라만 스펙트라의 변화는, 몰리브덴판(Mo-plate)으로 덮은(capping) 상태에서 열처리한 경우의 에피택셜 그래핀(EG) 내 결함이 적어지고, 그 입경이 커진 것을 의미한다.

[0105] 이로써, 몰리브덴판(Mo-plate)의 캡핑(capping)은, 초고진공 조건에서 1300 ℃ 미만, 구체적으로 900 ℃이하의 온도에서도 에피택셜 그래핀(EG)의 성장을 가능하게끔 하며, 그 우수한 품질 또한 보장한다는 점을 알 수 있다.

[0106] 2) 아울러, 라만 스펙트라에서 다른 주목할 만한 부분은, G 피크와 2D 피크의 각 위치와 모양에 관한 것이다.

[0107] 에피택셜 성장된 그래핀(EG) 은 그 G 피크가 청색 이동되는(blue-shifted) 것으로 알려져 있고, 이는 기판과 에피택셜 그래핀(EG) 필름 사이의 상호작용에 의해 발생한 잔여 압축 변형(residual compressive strain)에 기인한 것이다.

[0108] 측정된 라만 스펙트라에서, 실시예 1 및 비교예 1는 각각, ~1588 cm^{-1} 및 ~1596 cm^{-1} 에 G 피크가 위치하고, 이들은 기계적 박리에 의한 단일층 그래핀의 G 피크(~1580 cm^{-1})에 대비하여 청색 이동된(blue-shifted) 것이다.

[0109] 그러나, 에피택셜 그래핀(EG)의 두께가 두꺼워질수록, 압축 변형(compressive strain)이 완화되며, 이와 관련하여 G 피크의 청색이동의 폭이 감소하는 경향이 있다. 이와 관련하여, 실시예 1의 경우 감소된 청색 이동을 보이는 바, 비교예 1에 비하여 더 두꺼운 시트가 형성된 것을 의미한다.

[0110] 이는, 2D 피크의 위치로부터 또한 뒷받침된다. 구체적으로, 비교예 1은 2D 피크가 ~2680 cm^{-1} 부근에서 나타나며, 이는 육방정계인 실리콘 카바이드(Hexagonal-SiC) 기판의 C 면에서 성장된 에피택셜 그래핀(EG)의 전형을 나타낸다.

[0111] 그에 반면, 실시예 1은 2D 피크가 ~2711 cm^{-1} 부근에서 나타나며, 벌크 흑연의 ~2725 cm^{-1} 쪽으로 더 이동한 것을 알 수 있고, 이는 곧 두께가 더 두꺼워진 것을 의미한다.

[0112] 3) 아울러, 2D 피크의 모양은, 그래핀 층의 적층에 따른 회전 배치(rotational ordering)에 관한 정보를 제공한다.

[0113] 도 2에 도시된 바와 같이, 실시예 1은, 벌크 흑연과 달리, 2D 피크의 모양이 대칭적이며, 반치폭(FWHM, Full Width at Half Maximum)이 단일층 그래핀의 전형적인 값(~24 cm^{-1}) 보다 크고, 47 cm^{-1}값에 부합하는 것을 알 수 있다.

[0114] 이는 그래핀 층의 적층 형태가, 소위 터보스트래틱(turbostratic) 형태로, 서로에 대해 무질서하게 회전된 형태에 가깝다는 것을 의미한다. 이처럼 무질서한 회전은 C 면 상에 성장된 에피택셜 그래핀(EG)에서 빈번하게 나타난다.

[0115] 나아가, 실시예 1의 반치폭으로부터, 대입경이며, 그 입경 분포가 균일하게 성장된 에피택셜 그래핀(EG)을 확인할 수 있다.

[0116] **(2) 실시예 1 및 2의 SEM 사진 평가**

[0117] 실시예 1 및 비교예 1에 대해, 에피택셜 그래핀(EG)의 표면 모폴러지(morphology)를 관찰하기 위해, Hitach Cold FE-SEM를 사용하여 주사전자 현미경(Scanning electron microscope, SEM) 사진을 촬영하였다.

[0118] 구체적으로, 도 3(a)는, 비교예 1에서 열처리 조건이 900 ℃인 경우 4H-SiC 기판 표면을 나타낸 것이며, 이는 열처리 전 4H-SiC 기판과 거의 다를 바가 없다.

[0119] 이와 관련하여, 4H-SiC 기판에서, 표면에 근접한 원자층들의 일부에서만 흑연화가 이루어지며, 대면적의 표면 모폴러지에서 주목할 만한 변화를 유도하지 못할 정도로 일부 구역에 국한된다는 것을 알 수 있다.

[0120] 그에 반면, 도 3(b)는, 실시예 1에서 열처리 조건이 850 ℃인 경우 4H-SiC 기판 표면을 나타낸 것이다. 도 3(b)를 참고하면, 4H-SiC 기판을 몰리브덴판(Mo-plate)으로 덮은(capping) 상태에서 열처리 한 경우, 상대적으로 저온에서 열처리 되어도 보다 거친 표면을 나타냄을 알 수 있다.

[0121] 이러한 표면 거칠기는, 에피택셜 그래핀(EG)이 형성될 때 잔존하는 탄소 원자들이 표면에서 이동함에 따른 것이고, 이는 실리콘 원자 승화에 의해 유도된 step bunching에 기인한다.

[0122] 도 3(c)는, 실시예 1에서 열처리 조건이 900 ℃인 경우 4H-SiC 기판 표면을 나타낸 것이다. 도 3(c)를 참고하면, 표면에서의 step bunching이 더 높은 온도(900 ℃)에서 더욱 증대되며, 경계가 형성된 구역이 더욱 확장되게끔 함을 알 수 있다.

[0123] 이처럼 높은 온도에서 step bunching이 증대되는 것은 곧 실리콘(Si) 원자들의 승화가 일어난 것을 의미하는 바, 온도가 높아질수록 표면에서의 탄소(C) 원자들의 이동이 증가함을 알 수 있다.

[0124] **(3) 비교예 1 대비 실시예 1의 품질 향상의 매커니즘 분석**

[0125] 앞서 살펴본 라만 스펙스럼(도 1) 평가 결과 및 SEM 사진(도 2) 평가 결과를 종합적으로 고려하면, 몰리브덴판(Mo-plate)을 비롯한 금속판으로 실리콘 카바이드 기판의 일면을 덮음으로써, 그 사이에서 성장되는 에피택셜 그래핀(EG)은, 상당히 낮은 온도에서도 결정화도(crystallinity)가 높아짐을 알 수 있다. 이로써, 금속판 캡핑(capping)이 독특한 운동역학적(kinetic) 환경을 제공함을 알 수 있다.

[0126] 1) 우선, 4H-SiC 기판과 몰리브덴판(Mo-plate)이 물리적으로 서로 접하는 상태이지만, 이들 사이에는 극미하게 좁은 간극(gap)이 필연적으로 존재할 것이다.

[0127] 4H-SiC 기판이 열처리되면, 기판으로부터 모든 방향으로 열 방사가 시작될 것이며, 이때 방사된 열은 몰리브덴판(Mo-plate)의 표면으로부터 강하게 반사될 수 있고, 이는 도 1의 확대도에 예시된 바와 같이, 몰리브덴(Mo)의 금속성(metallicity)에 기인한 것이다.

[0128] 이처럼 몰리브덴판(Mo-plate)으로부터의 열 방사의 반사는, 열 손실을 방지하며, 4H-SiC 기판의 표면에의 열 축적을 유도할 수 있다. 결과적으로, 몰리브덴판(Mo-plate)과 접촉된 4H-SiC 기판의 표면 온도는, 초고진공 환경에 노출되어 열 방사에 의해 열 손실이 발생하는 타면에 비하여, 높을 수 있다.

[0129] 따라서, 4H-SiC 기판의 몰리브덴판(Mo-plate)과 접하는 면은, 초고진공 하에서 에피택셜 그래핀(EG)이 성장하기에 부족한 온도 조건에서도, 실리콘(Si)의 승화가 활성화되기에 충분한 온도에 도달할 수 있고, 기판 표면에서 탄소(C) 원자가 이동하여 에피택셜 그래핀(EG)이 충분히 성장하게끔 하는 것으로 평가된다.

[0130] 다시 말해, 초고진공 환경에 노출된 4H-SiC 기판의 표면은 단지 850 내지 950 ℃의 온도 범위에 머물 뿐이지만(즉, 비교예 1의 경우), 4H-SiC 기판의 몰리브덴판(Mo-plate)과 접하는 면은 더욱 고온이 될 수 있다(즉, 실시예 1의 경우).

[0131] 2) 또한, 4H-SiC 기판 표면에서의 실리콘(Si) 승화가 진행됨에 따라, 4H-SiC 기판 표면 부근에서 실리콘(Si) 증기의 밀도가 증가하게 되며, 이에 따라 Si 원자들의 실질적인 승화 속도가 낮아지며, 고품질의 에피택셜 그래핀(EG) 필름이 성장되기에 적합한 환경이 조성될 수 있다.

[0132] 그러나, 비교예 1처럼 4H-SiC의 표면이 단순히 초고진공 조건에 노출되면, 승화된 Si 원자들은 아무런 제약없이 초고진공 환경으로 배출되어 Si 원자들의 승화 속도를 낮출 수 없게 된다. 이에 따라 에피택셜 그래핀(EG)의 성장 속도가 빠르게 되며 이는 성장된 에피택셜 그래핀(EG)의 결정성을 떨어뜨리는 주 요인이다.

[0133] 그러나, 실시예 1에서는 몰리브덴판(Mo-plate)으로 4H-SiC의 전면을 덮음으로써, 승화된 Si 원자들이 간극 외부의 초고진공 환경으로 빠져나갈 공간을 제공하지 않는다. 이에 따라 상기 기술한 대로 4H-SiC 기판 표면에서의 Si 원자들의 승화가 진행됨에 따라, 4H-SiC 기판 표면 부근에서 Si 증기의 밀도가 증가하고, 더불어 4H-SiC 기판 표면에 재응축되는 Si 원자들도 증가하여 결국 실리콘(Si) 원자들의 실질적인 승화 속도가 낮아지게 된다.

[0134] 단, 실시예 1의 실험 조건에서 한가지 고려되어야 할 사항은, 승화된 Si 원자들이 전혀 제거되지 않고 간극 내에 계속 남아 있게 될 경우, 일정 시간 이후에는 Si 원자들의 승화 속도와 4H-SiC 기판으로의 재응축 속도가 일치하게 되고, 이로 인해 Si 원자들의 실질적인 승화 속도가 0이 되는 상황이 발생하게 된다는 점이다.

[0135] 이 경우, 4H-SiC 표면에서 Si 원자들이 전혀 제거되지 않게 되어 에피택셜 그래핀(EG)이 성장할 수 없게 된다. 따라서, Si 원자들의 실질적인 승화 속도를 낮추더라도 0이 되지 않도록 해야 하는데, 실시예 1의 4H-SiC 기판 표면을 덮고 있는 몰리브덴판(Mo-plate)이 상기의 요구 조건을 충족할 수 있게 한다.

[0136] 즉, 도 1의 확대도에 나타낸 바와 같이, 몰리브덴판(Mo-plate)은 승화된 Si 원자들 중 일부를 흡수(absorb)하여, 몰리브덴판(Mo-plate) 내부로 확산되게끔 할 수 있고, 다시 말해, 몰리브덴판(Mo-plate)은 4H-SiC 기판의 표면에서 승화된 Si 원자들을 흡수하여, 실질적인 승화 속도가 0이 되지 않도록 하는 것이다.

[0137] 이는, 몰리브덴판(Mo-plate)의 표면으로부터 내부에 이르는 Si 2p 피크의 강도를 측정한 XPS를 통해 확인 가능하다(도 4). 구체적으로, 도 4(a)는, 몰리브덴판(Mo-plate) 그 자체와, 실시예 1에 사용된 몰리브덴판(Mo-plate)에 대한 각 XPS 스펙트라를 나타낸 것이다.

[0138] 도 4(a) 에 나타난 바와 같이, Si 2p 신호들은 오직 실시예 1에 사용된 몰리브덴판(Mo-plate)에만 나타나며, 구체적으로 Si와 실리케이트(Silicate)에 의한 신호이다. 여기서 실리케이트에 의한 신호는, 몰리브덴판(Mo-plate)이 측정 전 공기에 노출되어, 일부 Si 원자들이 산화된 것에 기인한다.

[0139] 한편, 실시예 1에 사용된 몰리브덴판(Mo-plate)의 표면을 아르곤 이온으로 식각하여, 그 XPS 스펙트라를 도 4(b)로 얻었다. 도 4(b)에 나타난 바와 같이, Si 원자들은 벌크로 갈수록 농도가 감소하여, 몰리브덴판(Mo-plate) 내부에도 존재함을 알 수 있다.

[0140] Si 2p 신호는 몰리브덴판(Mo-plate) 그 자체에서는 관찰되지 않기 때문에, 캡핑(capping)에 사용된 몰리브덴판(Mo-plate)에서 나타나는 Si 2p 신호는 4H-SiC 기판의 표면에서 승화된 Si 원자들에 의한 것임을 알 수 있다.

[0141] 다시 말해, 몰리브덴판(Mo-plate)으로 4H-SiC 기판의 일면을 전면적으로 덮음으로써, 4H-SiC 기판의 표면 부근에서 승화된 Si 원자들의 부분압을 증가시키면서도, 그 중 일부를 흡수하여 실질적인 승화 속도가 0이 되지 않도록 함으로써, Si 원자들의 승화가 느린 속도로 지속적으로 일어날 수 있게 하는 것이다.

[0142] 이와 관련하여, 실시예 1에서는 몰리브덴판(Mo-plate)을 사용하였으나, Mo를 비롯한 W, Pt, Ni, 및 Cu 중에서 선택되는 1종의 금속, 또는 이들 중 2종 이상의 금속 합금으로 이루어진 금속판을 사용하여도 실시예 1과 동일한 효과를 볼 수 있다.

[0144] **실시예 2 및 비교예 2**

[0145] 4H-SiC 기판의 n-타입 C 면에서 성장된 에피택셜 그래핀(EG)은, 도핑된 기판으로 누설 전류(leakage current)가 발생하고, 표면 연마에 의해 형성된 스크래치가 상당하여, 그 전기적 특성을 객관적으로 평가하기 어렵다(도 3).

[0146] 이에, 6H-SiC를 사용하여, 실시예 1 및 비교예 1과 동일한 공정에 의하여 반절연(semi-insulating) Si면에서 에피택셜 그래핀(EG)을 성장시켜, 두 개의 6H-SiC 기판 표면에서 그래핀 시트를 수득할 수 있었다.

[0147] 여기서, 몰리브덴판(Mo-plate)으로 덮인(capping) 반절연 Si면에서 수득된 그래핀 시트는 실시예 2라하고, 몰리브덴판(Mo-plate)으로 덮이지(capping) 않고 초고진공(UHV) 조건에 직접 노출된 반절연 Si면에서 수득된 그래핀 시트는 비교예 2이라 한다.

[0149] **평가예 2**

[0150] 950 ℃에서 열처리하여, 6H-SiC의 Si면에서 성장된 에피택셜 그래핀(EG)은, 4H-SiC의 C면에서 성장된 경우(도 1)와 정확히 동일한 양상을 나타낸다.

[0151] **(1) 실시예 2 및 비교예 2의 라만 스펙트럼 평가**

[0152] 실시예 2 및 비교예 2에서 각각 수득된 그래핀 시트에 대해, 에피택셜 그래핀(EG)의 형성 여부 및 각 구조적 품질을 평가하기 위하여, 평가예 1과 동일한 조건에서 라만 스펙트럼을 측정하여 그 결과를 도 4에 나타내었다.

[0153] 도 5의 라만 스펙트라에 의하면, 실시예 2의 경우, 평가예 1과 동일한 맥락에서 비교예 2보다 더욱 우수한 구조적 품질을 가지는 것을 알 수 있다.

[0154] 구체적으로, 실시예 2의 G 피크 대비 2D 피크의 비는, ~5:1이며, 2D 피크의 반치폭(FWHM)은 ~34 cm^{-1}으로 나타난 것으로 보아, 몰리브덴판(Mo-plate)으로 캡핑(capping)된 경우의 에피택셜 그래핀(EG)은 단일층에 가까운 것을 알 수 있다.

[0155] **(2) 실시예 2 의 전기적 특성 평가**

[0156] 실시예 2의 전기적 특성은, 이를 전계 효과 트랜지스터(Field Effect Transistor, FET)의 채널층에 적용하고, 상기 채널층 양단에 각각 접촉된 소스 전극 및 드레인 전극, 상기 채널층 상에 위치하는 게이트 절연층, 및 상기 게이트 절연층 상에 위치하는 게이트 전극을 형성하여, 전계 효과 트랜지스터로써 측정하였다.

[0157] 도 6은, 제작된 전계 효과 트랜지스터에 대해, 서로 다른 몇몇 드레인 전압에서의 게이트 전압에 따른 채널 전류를 보여준다.

[0158] 도 6에 따르면, 음의 지점에서 전하적 중성을 이루며, 실시예 2의 캐리어 형태가 n-타입임을 알 수 있다. 또한 전압-전류 특성의 측정값으로부터, 0.1V의 드레인 전압에서의 전계 효과적 이동도(field-effect mobility)는 ~1800 cm^2/Vs로 추정된다.

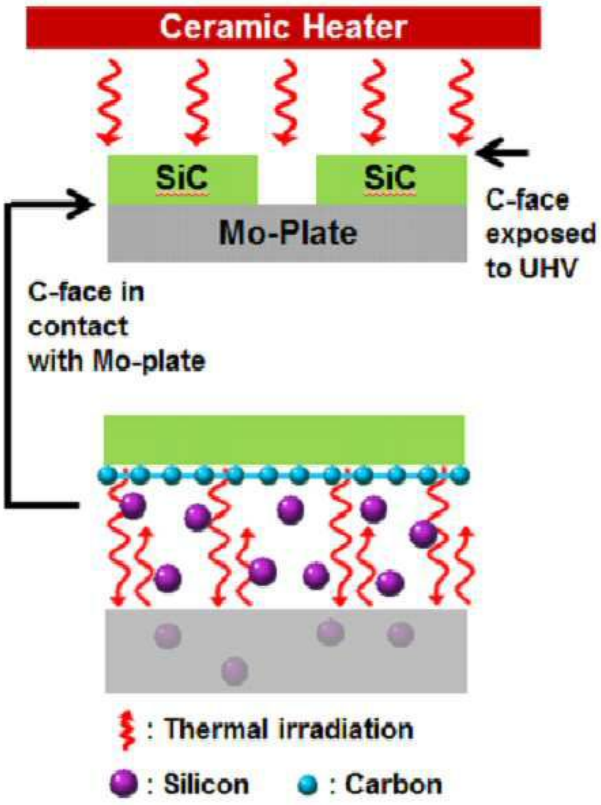
[0159] 이처럼 추정된 전계 효과적 이동도는, 이전의 다른 연구들에서 상대적으로 높은 진공 열처리 조건에서 Si면 상에 성장된 에피택셜 그래핀(EG)의 200 내지 1200 cm^2/Vs보다 높은 것이다.

[0160] 이에 따라, 몰리브덴판(Mo-plate)으로 덮은(capping) 상태에서 열처라 하여 성장된 에피택셜 그래핀(EG)은, 구조적 품질이 우수하여 전계 효과 트랜지스터에 채널층으로의 적용 시, 전기적 특성을 향상시킬 수 있음을 알 수 있다.

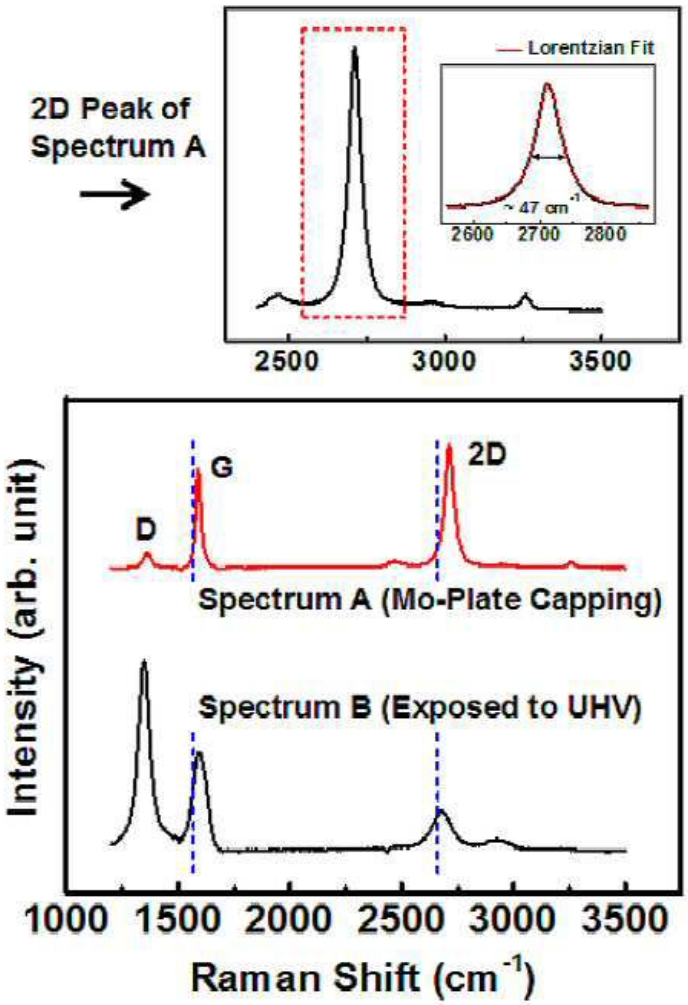
[0162] 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

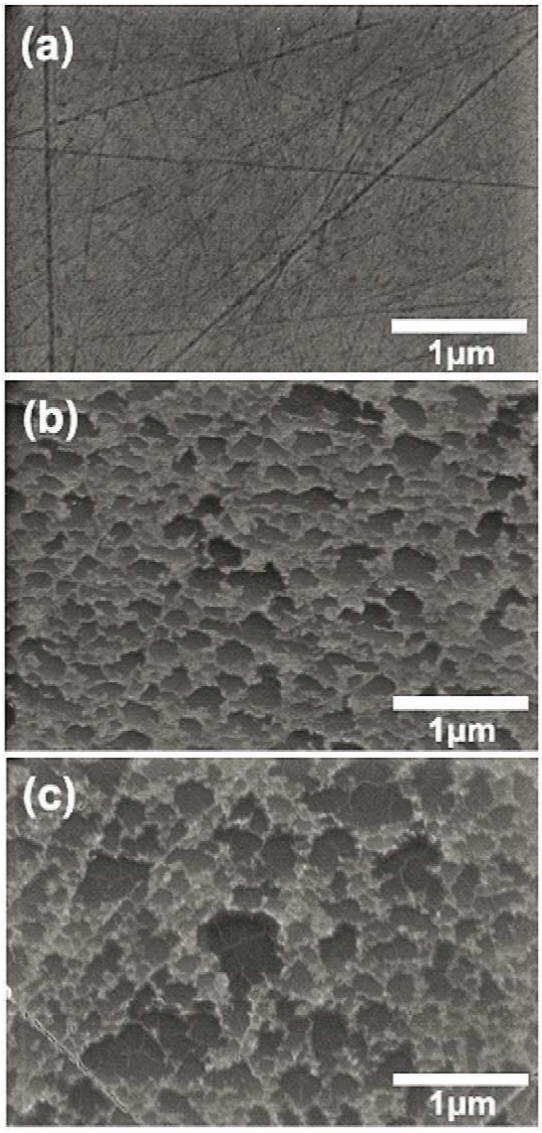
도면1


Ceramic Heater
SiC
SiC
Mo-Plate
C-face
exposed
to UHV
C-face in
contact
with Mo-plate
: Thermal irradiation
: Silicon
: Carbon

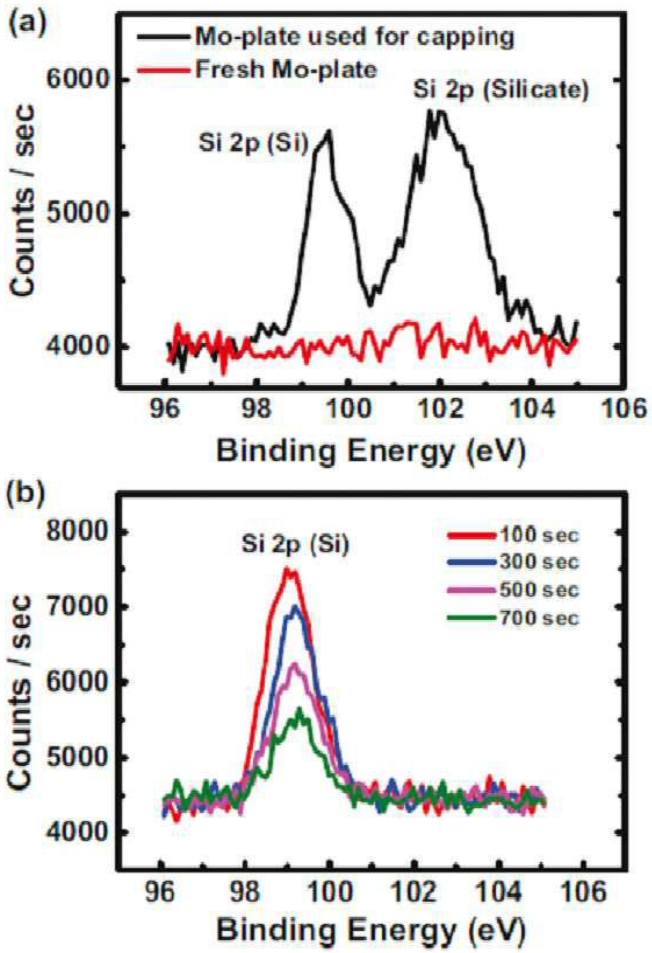
도면2


2D Peak of
Spectrum A
Lorentzian Fit
~ 47 cm-1
2600
2700
2800
2500
3000
3500
Intensity (arb. unit)
D
G
2D
Spectrum A (Mo-Plate Capping)
Spectrum B (Exposed to UHV)
1000
1500
2000
2500
3000
3500
Raman Shift (cm-1)

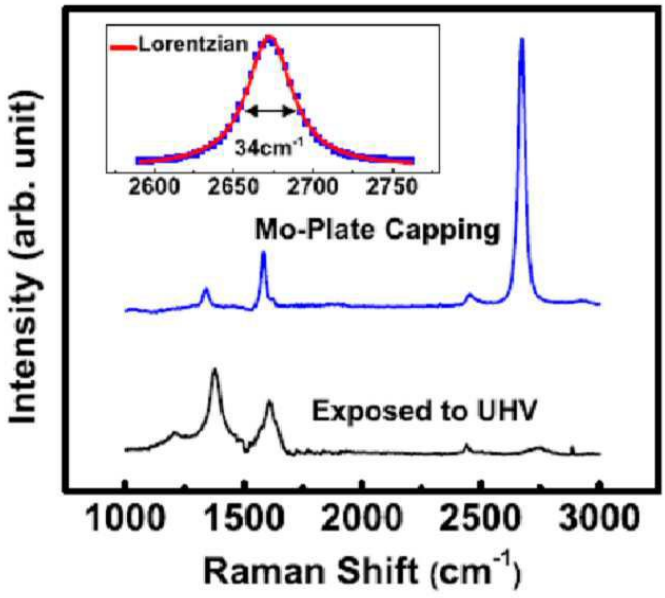
도면3



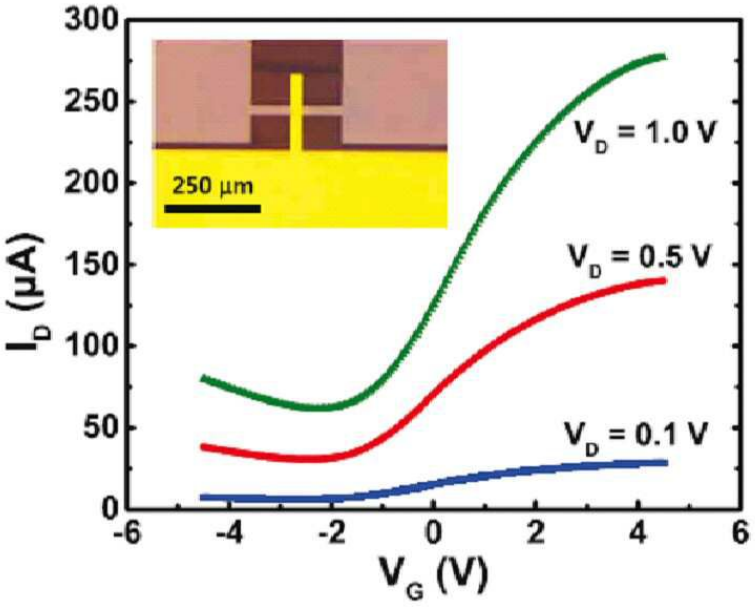
도면4


(a)
Mo-plate used for capping
Fresh Mo-plate
Si 2p (Silicate)
Si 2p (Si)
Counts / sec
6000
5000
4000
96
98
100
102
104
106
Binding Energy (eV)
(b)
Si 2p (Si)
100 sec
300 sec
500 sec
700 sec
Counts / sec
8000
7000
6000
5000
4000
96
98
100
102
104
106
Binding Energy (eV)

도면5


Lorentzian
34cm-1
2600
2650
2700
2750
Mo-Plate Capping
Exposed to UHV
Intensity (arb. unit)
1000
1500
2000
2500
3000
Raman Shift (cm-1)

도면6


300
250
200
150
100
50
0
-6
-4
-2
0
2
4
6
I_D (μA)
V_G (V)
250 μm
V_D = 1.0 V
V_D = 0.5 V
V_D = 0.1 V