

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月18日(18.07.2024)



(10) 国際公開番号

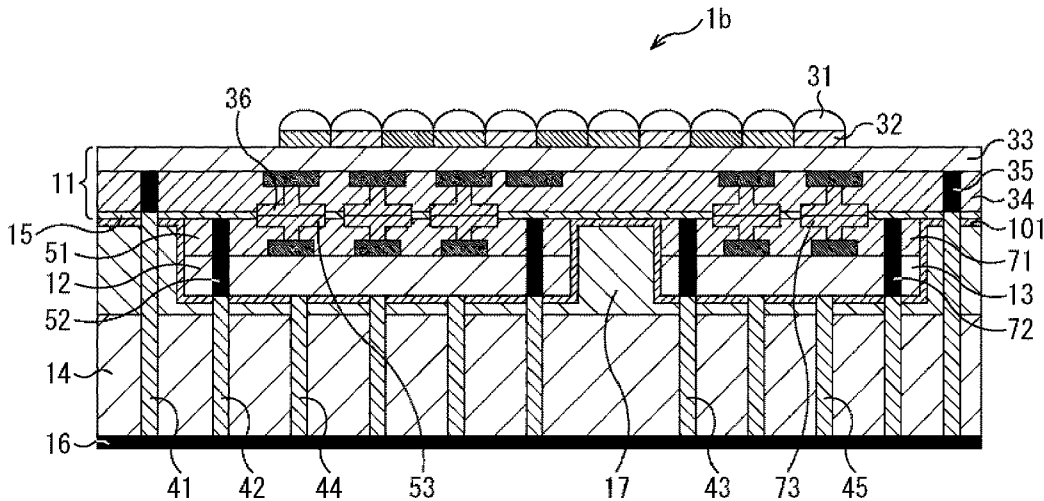
WO 2024/150679 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2023/046883
- (22) 国際出願日: 2023年12月27日(27.12.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-002086 2023年1月11日(11.01.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 山田 太一(YAMADA Taichi); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 撮像装置、電子機器

FIG. 3



(57) Abstract: The present technology relates to an imaging device and an electronic apparatus that make it possible to efficiently dissipate heat from a stacked semiconductor substrate. The present technology comprises: a first semiconductor substrate including an imaging element; a second semiconductor substrate stacked on the first semiconductor substrate; a first guard ring included in the first semiconductor substrate; a second guard ring included in the second semiconductor substrate; a support substrate stacked on the second semiconductor substrate; a heat dissipation film that is stacked on the

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

support substrate and is formed using a material having high heat dissipation properties; a first through-hole of which one end is connected to the first guard ring and the other end is connected to the heat dissipation film, the first through-hole penetrating the support substrate; and a second through-hole of which one end is connected to the second guard ring and the other end is connected to the heat dissipation film, the second through-hole penetrating the support substrate. The present technology is applicable to, e.g., an imaging device in which an imaging element and a logic circuit are stacked.

(57) 要約: 本技術は積層された半導体基板の熱を効率よく放熱することができるようにする撮像装置、電子機器に関する。撮像素子を含む第1の半導体基板と、第1の半導体基板に積層されている第2の半導体基板と、第1の半導体基板に含まれる第1のガードリングと、第2の半導体基板に含まれる第2のガードリングと、第2の半導体基板に積層された支持基板と、支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、一方が第1のガードリングに接続され、他方が放熱膜に接続され、支持基板を貫通している第1の貫通孔と、一方が第2のガードリングに接続され、他方が放熱膜に接続され、支持基板を貫通している第2の貫通孔とを備える。本技術は、例えば、撮像素子とロジック回路が積層された撮像装置に適用できる。

明 細 書

発明の名称：撮像装置、電子機器

技術分野

[0001] 本技術は撮像装置、電子機器に関し、例えば、放熱性能が高い撮像装置、電子機器に関する。

背景技術

[0002] CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの撮像素子を、積層構造にする技術がある（特許文献1参照）。チップを積層していくと、各チップから熱が発生し、電気特性の劣化、画質の劣化が起こることがあり、放熱性の高い撮像装置が求められている。

[0003] 放熱対策として、チップを積層せず平置きにする方法（例えば、特許文献2参照）、インターポーザの外周にGNDシールドを這わせる方法（例えば、特許文献3参照）、チップの外周に金属板を設けて放熱を促す構造（例えば、特許文献4参照）が提案されている。

[0004] また、熱むらなどを均一化するため、ガードリングを介してチップ同士を電氣的に接続することで、均一化を図る方法（例えば、特許文献5参照）や、このガードリングをプロセス安定化のためにチップ内でGNDに接続する方法（例えば、特許文献6参照）も提案されている。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第2019/087764号

特許文献2：特開2018-116972号公報

特許文献3：特開2017-228581号公報

特許文献4：特開2017-152743号公報

特許文献5：特開2020-191339号公報

特許文献6：特開2015-76502号公報

発明の概要

発明が解決しようとする課題

- [0006] 撮像素子を含むチップが積層構造とされた場合、撮像素子の光入射面側から放熱させる構造とするのは難しいため、光入射面に対向する面側から放熱する構造とされる。しかしながら、光入射面に対向する面に他のチップが積層された構成の場合、その面から放熱させる構造とするのが難しく、また積層されているチップ自体からも発熱があるため、積層構造の撮像装置においては、効率よく放熱させる構造とするのが難しかった。
- [0007] チップが積層された構造であっても、効率よく放熱できる構造が所望されていた。
- [0008] 本技術は、このような状況に鑑みてなされたものであり、チップが積層された構成であっても効率よく放熱できるようにするものである。

課題を解決するための手段

- [0009] 本技術の一側面の撮像装置は、撮像素子を含む第1の半導体基板と、前記第1の半導体基板に積層されている第2の半導体基板と、前記第1の半導体基板に含まれる第1のガードリングと、前記第2の半導体基板に含まれる第2のガードリングと、前記第2の半導体基板に積層された支持基板と、前記支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、一方が前記第1のガードリングに接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第1の貫通孔と、一方が前記第2のガードリングに接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第2の貫通孔とを備える撮像装置である。
- [0010] 本技術の一側面の電子機器は、撮像素子を含む第1の半導体基板と、前記第1の半導体基板に積層されている第2の半導体基板と、前記第1の半導体基板に含まれる第1のガードリングと、前記第2の半導体基板に含まれる第2のガードリングと、前記第2の半導体基板に積層された支持基板と、前記支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、一方が前記第1のガードリングに接続され、他方が前記放熱膜に接続され、前記支

持基板を貫通している第１の貫通孔と、一方が前記第２のガードリングに接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第２の貫通孔とを備える撮像装置と、前記撮像装置からの信号を処理する処理部とを備える電子機器である。

[0011] 本技術の一側面の撮像装置においては、撮像素子を含む第１の半導体基板と、第１の半導体基板に積層されている第２の半導体基板と、第１の半導体基板に含まれる第１のガードリングと、第２の半導体基板に含まれる第２のガードリングと、第２の半導体基板に積層された支持基板と、支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、一方が第１のガードリングに接続され、他方が放熱膜に接続され、支持基板を貫通している第１の貫通孔と、一方が第２のガードリングに接続され、他方が放熱膜に接続され、支持基板を貫通している第２の貫通孔とが備えられる。

[0012] 本技術の一側面の電子機器においては、前記撮像装置を含む構成とされている。

[0013] なお、撮像装置、電子機器は、独立した装置であっても良いし、１つの装置を構成している内部ブロックであっても良い。

図面の簡単な説明

[0014] [図１]本技術を適用した撮像装置の第１の実施の形態における構成例示す図である。

[図２]撮像装置の平面構成例を示す図である。

[図３]本技術を適用した撮像装置の第２の実施の形態における構成例示す図である。

[図４]撮像装置の平面構成例を示す図である。

[図５]撮像装置の製造工程について説明するための図である。

[図６]撮像装置の製造工程について説明するための図である。

[図７]撮像装置の製造工程について説明するための図である。

[図８]撮像装置の製造工程について説明するための図である。

[図９]撮像装置の製造工程について説明するための図である。

[図10]撮像装置の製造工程について説明するための図である。

[図11]電子機器の構成例を示す図である。

発明を実施するための形態

[0015] 以下に、本技術を実施するための形態（以下、実施の形態という）について説明する。

[0016] <第1の実施の形態>

図1は、第1の実施の形態における撮像装置1aの断面構成例を示す図である。撮像装置1aは、第1の半導体基板11の同一平面上に、第2の半導体基板12と第3の半導体基板13が積層されている。第2の半導体基板12と第3の半導体基板13の第1の半導体基板が積層されている面とは逆側の面には、支持基板14が積層されている。

[0017] 第1の半導体基板11は、オンチップレンズ31、カラーフィルタ32、撮像素子33が、この順で積層され、撮像素子33の下層には配線層34が積層された構成とされている。配線層34には、第2の半導体基板12と第3の半導体基板13にそれぞれ接続するための接続端子36が形成されている。

[0018] 第2の半導体基板12は、第1の半導体基板11に積層されたチップであり、例えば、メモリやロジック回路などである。第2の半導体基板12は、接続端子53を含む配線層51を含む構成とされている。第1の半導体基板11の接続端子36と第2の半導体基板12の接続端子53は、積層される前のチップの状態のときは露出された状態で形成され、直接的に接続される構成とされている。

[0019] 第1の半導体基板11の接続端子36と第2の半導体基板12の接続端子53が接続されることにより、第1の半導体基板11と第2の半導体基板12は、電氣的に接続される。

[0020] 第3の半導体基板13は、第1の半導体基板11に積層されたチップであり、例えば、メモリやロジック回路などである。第3の半導体基板13は、接続端子73を含む配線層51を含む構成とされている。第1の半導体基板

1 1 の接続端子 3 6 と第 3 の半導体基板 1 3 の接続端子 7 3 は、積層される間のチップの状態のときは露出された状態で形成され、直接的に接続される構成とされている。

[0021] 第 1 の半導体基板 1 1 の接続端子 3 6 と第 3 の半導体基板 1 3 の接続端子 7 3 が接続されることにより、第 1 の半導体基板 1 1 と第 3 の半導体基板 1 3 は、電氣的に接続される。

[0022] 第 1 の半導体基板 1 1 と第 2 の半導体基板 1 2、および第 1 の半導体基板 1 1 と第 3 の半導体基板 1 3 は、接合膜 1 5 により接合されている。第 2 の半導体基板 1 2、第 3 の半導体基板 1 3、支持基板 1 4 は、絶縁膜 1 7 により接合されている。第 2 の半導体基板 1 2 と第 3 の半導体基板 1 3 は、絶縁膜 1 7 に内包された状態で構成されている。接合膜 1 5、絶縁膜 1 7 は、酸化膜とすることができる。

[0023] 第 1 の半導体基板 1 1 には、ガードリング 3 5 が形成され、第 2 の半導体基板 1 2 には、ガードリング 5 2 が形成され、第 3 の半導体基板 1 3 には、ガードリング 7 2 が形成されている。

[0024] ガードリング 3 5 は、第 1 の半導体基板 1 1 がウェハから個片化されるときに、第 1 の半導体基板 1 1 内の素子を保護するために設けられている。ガードリング 5 2 は、第 2 の半導体基板 1 2 がウェハから個片化されるときに、第 2 の半導体基板 1 2 内の素子を保護するために設けられている。ガードリング 7 2 は、第 3 の半導体基板 1 3 がウェハから個片化されるときに、第 3 の半導体基板 1 3 内の素子を保護するために設けられている。ガードリングは、半導体基板（チップ）内に設けられ、チップ内で電氣的に GND（接地）へ接続されている。

[0025] 第 1 の半導体基板 1 1 のガードリング 3 5 には、貫通孔 4 1 が接続されている。第 2 の半導体基板 1 2 のガードリング 5 2 には、貫通孔 4 2 が接続されている。第 3 の半導体基板 1 3 のガードリング 5 2 には、貫通孔 4 3 が接続されている。

[0026] 図 2 は、撮像装置 1 a の平面構成例を示すであり、ガードリング 3 5、ガ

ードリング５２、ガードリング７２、貫通孔４１、貫通孔４２、貫通孔４３を図示している。ガードリング３５は、第１の半導体基板１１に設けられている素子、例えば撮像素子３３を囲む外周部に設けられている。ガードリング３５には、貫通孔４１が複数接続されている。

[0027] ガードリング５２は、第２の半導体基板１２に設けられている素子を囲む外周部に設けられている。ガードリング５２には、貫通孔４２が複数接続されている。ガードリング７２は、第３の半導体基板１３に設けられている素子を囲む外周部に設けられている。ガードリング７２には、貫通孔４３が複数接続されている。

[0028] 貫通孔４１乃至４３はそれぞれ、等間隔で配置されている。なお、貫通孔４１乃至４３はそれぞれ等間隔に配置されている例を示したが、等間隔ではない配置であっても良い。貫通孔４１乃至４３はそれぞれ円形状で示しているが、円形状以外の形状、例えば長方形などであっても良い。また、ガードリングと同じ大きさ、位置、形状で設けられている、換言すれば、平面視において、ガードリングと貫通孔が重畳している状態で設けられていても良い。

[0029] 貫通孔４１乃至４３は、放熱機能を有している。半導体基板（チップ）内にガードリングが存在しているが、これはチップ内で電氣的にGNDへ接続されている。そのため半導体基板で発生した熱のガードリングへの伝達は、効率よく行われる。そのようなガードリングに、貫通孔は接続されている。

[0030] 図１に示した撮像装置１ａの断面構成例を参照するに、第１の半導体基板１１で発生した熱は、ガードリング３５を介して貫通孔４１に伝わる。貫通孔４１は、支持基板１４の底面に形成されている放熱膜１６と接続されており、貫通孔４１に伝わった熱は、放熱膜１６に伝わり、外部に放熱される。

[0031] 第２の半導体基板１２で発生した熱は、ガードリング５２を介して貫通孔４２に伝わる。貫通孔４２に伝わった熱は、放熱膜１６に伝わり、外部に放熱される。第３の半導体基板１３で発生した熱は、ガードリング７２を介して貫通孔４３に伝わる。貫通孔４３に伝わった熱は、放熱膜１６に伝わり、

外部に放熱される。

[0032] 放熱膜 1 6 は、支持基板 1 4 にベタ膜で形成され、面積ができるだけ大きくなるような構成とされている。放熱膜 1 6 は、放熱性の高い材料、例えば金属が用いられて形成される。放熱膜 1 6 を、実装基板の GND として用い、実装基板と電氣的に接続される構成としても良い。

[0033] 貫通孔 4 2 は、放熱性能を向上させるために、熱伝導率が高い材料が充填される構造とすることができる。

[0034] 第 1 の半導体基板 1 1 と第 2 の半導体基板 1 2 を接合する接合膜 1 5 は、放熱性の良い材料を用いた絶縁膜とすることができる。例えば、接合膜 1 5 の材料として Al_2O_3 を用いることができる。

[0035] 図 1, 2 を参照して説明した撮像装置 1 a によれば、ガードリング 3 5, 5 2, 7 2 に接続された貫通孔 4 1, 4 2, 4 3 を設けることで、第 1 の半導体基板 1 1、第 2 の半導体基板 1 2、第 3 の半導体基板 1 3 のそれぞれで発生した熱を効率よく放熱することができる。

[0036] <第 2 の実施の形態>

図 3 は、第 2 の実施の形態における撮像装置 1 b の断面構成例を示す図であり、図 4 は、平面構成例を示す図である。図 3, 4 に示した第 2 の実施の形態における撮像装置 1 b において、図 1, 2 に示した第 1 の実施の形態における撮像装置 1 a と同一の部分には同一の符号を付し、その説明は適宜省略する。

[0037] 図 3 に示した撮像装置 1 b には、保護膜 1 0 1 が設けられた構成とされ、その保護膜 1 0 1 に接続する貫通孔 4 4 と貫通孔 4 5 が追加されている点が、図 1 に示した撮像装置 1 a と異なり、他の点は同様である。

[0038] 保護膜 1 0 1 は、放熱性のある材料、例えば金属で形成される。保護膜 1 0 1 は、第 1 の半導体基板 1 1 と第 2 の半導体基板 1 2 が接していない領域、第 1 の半導体基板 1 1 と第 3 の半導体基板 1 3 が接していない領域に形成されている。また保護膜 1 0 1 は、第 2 の半導体基板 1 2 の側面と第 1 の半導体基板 1 1 と接している面の逆側の面（裏面とする）にも形成されている。

。また保護膜 101 は、第 3 の半導体基板 13 の側面と第 1 の半導体基板 11 と接している面の逆側の面（裏面とする）にも形成されている。

[0039] 図 4 に示した平面構成例を参照するに、保護膜 101 は、平面視において、撮像装置 1 の全面に形成されている。貫通孔 44 は、第 2 の半導体基板 12 がある領域内に、等間隔で配置されている。貫通孔 45 は、第 3 の半導体基板 13 がある領域内に、等間隔で配置されている。第 1 の半導体基板 11 のガードリング 35 と第 2 の半導体基板 12 との間、第 2 の半導体基板 12 と第 3 の半導体基板 13 との間、第 1 の半導体基板 11 のガードリング 35 と第 3 の半導体基板 13 との間にも、貫通孔が配置できる領域がある場合、配置されるようにしても良い。

[0040] 図 3 に示すように、貫通孔 44 の一方は、第 2 の半導体基板 12 に表面に形成されている保護膜 101 と接続され、他方は、放熱膜 16 に接続されている。第 2 の半導体基板 12 で発生した熱は、保護膜 101 から貫通孔 44 へと伝わり、貫通孔 44 から放熱膜 16 に伝わり外部に放熱される。

[0041] 第 1 の実施の形態の撮像装置 1a（図 1）と同じく、第 2 の半導体基板 12 のガードリング 52 には、貫通孔 42 が接続されているため、このガードリング 52 から貫通孔 42、貫通孔 42 から放熱膜 16 への熱の流れもあり、第 2 の半導体基板 12 で発生した熱を放熱することができる。

[0042] 図 3 では、ガードリング 52 と貫通孔 42 が直接接続されている構造を例に挙げて説明したが、ガードリング 52 と貫通孔 42 との間に、保護膜 101 がある状態で接続されている構成としても良い。

[0043] 貫通孔 45 の一方は、第 3 の半導体基板 13 に表面に形成されている保護膜 101 と接続され、他方は、放熱膜 16 に接続されている。第 3 の半導体基板 13 で発生した熱は、保護膜 101 から貫通孔 45 へと伝わり、貫通孔 45 から放熱膜 16 に伝わり外部に放熱される。

[0044] 第 1 の実施の形態の撮像装置 1a（図 1）と同じく、第 3 の半導体基板 13 のガードリング 72 には、貫通孔 43 が接続されているため、このガードリング 72 から貫通孔 43、貫通孔 43 から放熱膜 16 への熱の流れもあり、

第3の半導体基板13で発生した熱を放熱することができる。図3では、ガードリング72と貫通孔43が直接接続されている構造を例に挙げて説明したが、ガードリング72と貫通孔43との間に、保護膜101がある状態で接続されている構成としても良い。

[0045] 第1の半導体基板11で発生した熱は、接合膜15を介して、接合膜15に積層されている保護膜101に伝わる。保護膜101には、貫通孔41乃至45が接続されているため、保護膜101に伝わった熱は、貫通孔41乃至45に伝わり、貫通孔41乃至45から放熱膜16にさらに伝わり、外部に放熱される。

[0046] 第1の半導体基板11においても、第1の実施の形態の撮像装置1a(図1)と同じく、第1の半導体基板11のガードリング35には、貫通孔41が接続されているため、このガードリング35から貫通孔41、貫通孔41から放熱膜16への熱の流れもあり、第1の半導体基板11で発生した熱を放熱することができる。

[0047] 図3では、ガードリング35と貫通孔41が直接接続されている構造を例に挙げて説明したが、ガードリング35と貫通孔41との間に、保護膜101がある状態で接続されている構成としても良い。

[0048] 図3では、貫通孔44や貫通孔45は、保護膜101を貫通し、第2の半導体基板12または第3の半導体基板13に接するように設けられている場合を図示したが、保護膜101を貫通せずに、保護膜101に接するように構成されていても良い。

[0049] このように、第2の実施の形態における撮像装置1bにおいても、第1の実施の形態における撮像装置1aと同じく、第1の半導体基板11、第2の半導体基板12、第3の半導体基板13のそれぞれで発生した熱を効率よく放熱することができる。

[0050] <撮像素子の製造について>

図5は、撮像装置1を製造する際に適用されるCoW(Chip on Wafer)技術について説明するための図である。

- [0051] 複数の撮像素子（CMOS（Complementary Metal Oxide Semiconductor）イメージセンサやCCD（Charge Coupled Device））が形成された第1の半導体基板11に該当するウェハ201に、個片化され、良品チップであることが確認されたメモリ回路やロジック回路に該当する第2の半導体基板12と第3の半導体基板13が積層される。
- [0052] ウェハ201は、半導体プロセスにより撮像素子33が形成された複数の第1の半導体基板11である。ウェハ201に形成された第1の半導体基板11上には、半導体プロセスによりウェハ203上に形成され、個片化された後、それぞれ電氣的な検査がなされ、良品チップであることが確認された複数の第2の半導体基板12と、半導体プロセスによりウェハ204上に形成され、個片化された後、それぞれ電氣的な検査がなされ、良品チップであることが確認された複数の第3の半導体基板13とが選択されて再配置されている。
- [0053] 図6乃至図8を参照し、図5のようにウェハ201、ウェハ203、ウェハ204がそれぞれ製造され、個片化された第2の半導体基板12と第3の半導体基板13が、第1の半導体基板11に積層され、撮像装置1bが製造されるまでの製造工程について説明する。
- [0054] 工程S11（図6）において、ウェハ201の第1の半導体基板11の接続端子36と、ウェハ203から個片化され、良品チップであることが確認された第2の半導体基板12の接続端子53とが適切に対向する位置となるように位置合わせがなされる。またウェハ201の第1の半導体基板11の接続端子36と、ウェハ204から個片化され、良品チップであることが確認された第3の半導体基板13の接続端子73とが適切に対向する位置となるように位置合わせがなされる。
- [0055] 接続端子36と接続端子53、接続端子36と接続端子73は、例えばCuCu接合により接続される。この処理により、第1の半導体基板11と第2の半導体基板12、および第3の半導体基板13が電氣的に接続された状態となる。

- [0056] なお、この配置（貼り合わせ）が行われるとき、第１の半導体基板１１に、放熱性のある材料の接合膜１５が成膜され、第２の半導体基板１２、第３の半導体基板１３との貼り合わせが行われる。
- [0057] 工程Ｓ１２において、第２の半導体基板１２と第３の半導体基板１３がそれぞれ、例えば、エッチングされることにより薄肉化される。
- [0058] 工程Ｓ１３において、ガードリングへの彫り込みが行われる。第２の半導体基板１２のガードリング５２に対してはビア３０１が形成される。第３の半導体基板１３のガードリング７２に対してはビア３０２が形成される。
- [0059] 工程Ｓ１４において、保護膜１０１が形成される。保護膜１０１の材料として、導電性があり、熱伝導率が高いような材料が用いられる場合、保護膜１０１が形成されるときにビア３０１とビア３０２にも充填され、貫通孔４２、４３の一部が形成されるようにしても良い。このように保護膜１０１と同じ材料がビア３０１、３０２内にも充填された場合、後段の処理で、貫通孔４２や貫通孔４３は、保護膜１０１は貫通せずに、保護膜１０１に接するような位置に形成される。
- [0060] 保護膜１０１の材料として、導電性は低い、熱伝導率が高いような材料が用いられる場合、ビア３０１とビア３０２には、導電性の高い材料が充填され、その充填が終了後、保護膜１０１が形成される、この場合、保護膜１０１の材料と、ビア３０１、３０２内の材料は、異なる材料となる。このように保護膜１０１と異なる材料がビア３０１、３０２内に充填された場合、後段の処理で、貫通孔４２や貫通孔４３は、保護膜１０１を貫通し、ビア３０１、３０２を介して、ガードリング５２、７２と接するような位置に形成される。
- [0061] 工程Ｓ１５（図７）において、埋め込みが行われる。工程Ｓ１５のところに示したように、絶縁膜１７が成膜されることで、絶縁膜１７内に第２の半導体基板１２と第３の半導体基板１３が内包される。
- [0062] 工程Ｓ１６において、支持基板１４が、成膜された絶縁膜１７上に添付される。工程Ｓ１７において、貫通孔４１乃至４５となるビア３１１乃至３１

5が形成される。

[0063] 工程S18(図8)において、ビア311乃至315内に、放熱性の高い材料が充填されることで貫通孔41乃至S45が形成される。

[0064] なお、ガードリングに接続される貫通孔41乃至43と、ガードリングではなく保護膜101に接続される貫通孔44, 45は、異なる材料が充填されるようにしても良い。ガードリングに接続される貫通孔41乃至43には、放熱性と導電性を備える材料が充填され、保護膜101に接続される貫通孔44, 45には、放熱性が高い材料が充填されるようにしても良い。

[0065] 工程S18においては、貫通孔41乃至S45が形成された後、支持基板14に放熱膜16も成膜される。

[0066] 工程S18において、ウェハ201が剥離される。工程S19において、オンチップレンズ31とカラーフィルタ32が撮像素子33上に設けられて、個片化されることにより撮像装置1が完成する。

[0067] このように、保護膜101や貫通孔41乃至45が形成され、放熱性が向上した撮像装置1が製造される。

[0068] <第2の製造工程>

図9, 10を参照し、図5のようにウェハ201(第1の半導体基板11)上に、個片化された第2の半導体基板12と第3の半導体基板13がそれぞれ配置されることで、図3に示した撮像装置1bが製造されるまでの他の製造工程(第2の製造工程とする)について説明する。

[0069] 工程S51において、ウェハ201上に、第2の半導体基板12と第3の半導体基板13がそれぞれ配置され、工程S52において、第2の半導体基板12と第3の半導体基板13のそれぞれが薄肉化される。工程S51と工程S52は、図6の工程S11と工程S12と同一の工程である。

[0070] 工程S53において、保護膜101が形成される。工程S53は、工程S14(図6)と基本的に同様な工程であるが、ビア301, 302が形成されていないため、ビア301, 302に材料が充填されるという工程は省略された工程とされている点異なる。

[0071] 工程S54（図10）において、埋め込みが行われる。工程S55において、支持基板14が、成膜された絶縁膜17上に添付される。工程S54と工程S55は、工程S15と工程S16（図7）と同様の工程である。

[0072] 工程S56において、貫通孔41乃至45となるビア331乃至335が形成される。工程S56は、工程S17（図7）において、ビア311乃至315が形成される工程と基本的に同様の工程であるが、掘り込まれる位置が異なる。ビア301、302に該当するビアが形成されていないため、工程S56において、ビア301、302に該当する位置まで掘り込みが行われる。すなわち、ビア332はガードリング52に接する位置まで一気に掘り込まれ、ビア334はガードリング72に接する位置まで一気に掘り込まれる。

[0073] 工程S56において、ビア331乃至335が形成された後、工程S18乃至S20（図8）が実行されることで、撮像装置1が製造される。

[0074] このように、保護膜101や貫通孔41乃至45が形成され、放熱性が向上した撮像装置1が製造される。

[0075] <電子機器への適用例>

本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に撮像素子を用いる複写機など、画像取込部（光電変換部）に撮像素子を用いる電子機器全般に対して適用可能である。撮像素子は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0076] 図11は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0077] 図11の撮像素子1000は、レンズ群などからなる光学部1001、撮像素子（撮像デバイス）1002、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路1003を備える。また、撮像素子1000は、フレームメモリ1004、表示部1005、記録部1006、操作部10

０７、および電源部１００８も備える。DSP回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６、操作部１００７および電源部１００８は、バスライン１００９を介して相互に接続されている。

[0078] 光学部１００１は、被写体からの入射光（像光）を取り込んで撮像素子１００２の撮像面上に結像する。撮像素子１００２は、光学部１００１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

[0079] 表示部１００５は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、撮像素子１００２で撮像された動画または静止画を表示する。記録部１００６は、撮像素子１００２で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0080] 操作部１００７は、ユーザによる操作の下に、撮像素子１０００が持つ様々な機能について操作指令を発する。電源部１００８は、DSP回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６および操作部１００７の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0081] 図１１に示した撮像装置の一部に、第１，２の実施の形態における撮像装置１を適用することができる。

[0082] 本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0083] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0084] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0085] なお、本技術は以下のような構成も取ることができる。

(１)

撮像素子を含む第１の半導体基板と、

前記第 1 の半導体基板に積層されている第 2 の半導体基板と、
前記第 1 の半導体基板に含まれる第 1 のガードリングと、
前記第 2 の半導体基板に含まれる第 2 のガードリングと、
前記第 2 の半導体基板に積層された支持基板と、
前記支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、
一方が前記第 1 のガードリングに接続され、他方が前記放熱膜に接続され、
前記支持基板を貫通している第 1 の貫通孔と、
一方が前記第 2 のガードリングに接続され、他方が前記放熱膜に接続され、
前記支持基板を貫通している第 2 の貫通孔と
を備える撮像装置。

(2)

前記第 1 の貫通孔と前記第 2 の貫通孔は、熱伝導率が高い材料が充填されている

前記 (1) に記載の撮像装置。

(3)

前記第 1 の半導体基板と前記支持基板の間と、前記第 2 の半導体基板と前記支持基板との間に成膜された保護膜と、

一方が前記保護膜に接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第 3 の貫通孔と

をさらに備える

前記 (1) または (2) に記載の撮像装置。

(4)

前記第 1 のガードリングと前記第 1 の貫通孔は、前記保護膜を介して接続され、

前記第 2 のガードリングと前記第 2 の貫通孔は、前記保護膜を介して接続されている

前記 (3) に記載の撮像装置。

(5)

前記放熱膜は、接地されている

前記（１）乃至（４）のいずれかに記載の撮像装置。

（６）

撮像素子を含む第１の半導体基板と、

前記第１の半導体基板に積層されている第２の半導体基板と、

前記第１の半導体基板に含まれる第１のガードリングと、

前記第２の半導体基板に含まれる第２のガードリングと、

前記第２の半導体基板に積層された支持基板と、

前記支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、

一方が前記第１のガードリングに接続され、他方が前記放熱膜に接続され

、前記支持基板を貫通している第１の貫通孔と、

一方が前記第２のガードリングに接続され、他方が前記放熱膜に接続され

、前記支持基板を貫通している第２の貫通孔と

を備える撮像装置と、

前記撮像装置からの信号を処理する処理部と

を備える電子機器。

符号の説明

[0086] １ 撮像装置, １１ 第１の半導体基板, １２ 第２の半導体基板,
１３ 第３の半導体基板, １４ 支持基板, １５ 接合膜, １６
放熱膜, １７ 絶縁膜, ３１ オンチップレンズ, ３２ カラーフィ
ルタ, ３３ 撮像素子, ３４ 配線層, ３５ ガードリング, ３６
接続端子, ４１, ４２, ４３, ４４, ４５ 貫通孔, ５１ 配線層,
５２ ガードリング, ５３ 接続端子, ７２ ガードリング, ７３
接続端子, １０１ 保護膜, ２０１, ２０３, ２０４ ウェハ, ３
０１, ３０２, ３１１乃至３１５, ３３１乃至３３５ ピア

請求の範囲

- [請求項1] 撮像素子を含む第1の半導体基板と、
前記第1の半導体基板に積層されている第2の半導体基板と、
前記第1の半導体基板に含まれる第1のガードリングと、
前記第2の半導体基板に含まれる第2のガードリングと、
前記第2の半導体基板に積層された支持基板と、
前記支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、
一方が前記第1のガードリングに接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第1の貫通孔と、
一方が前記第2のガードリングに接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第2の貫通孔と
を備える撮像装置。
- [請求項2] 前記第1の貫通孔と前記第2の貫通孔は、熱伝導率が高い材料が充填されている
請求項1に記載の撮像装置。
- [請求項3] 前記第1の半導体基板と前記支持基板の間と、前記第2の半導体基板と前記支持基板との間に成膜された保護膜と、
一方が前記保護膜に接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第3の貫通孔と
をさらに備える
請求項1に記載の撮像装置。
- [請求項4] 前記第1のガードリングと前記第1の貫通孔は、前記保護膜を介して接続され、
前記第2のガードリングと前記第2の貫通孔は、前記保護膜を介して接続されている
請求項3に記載の撮像装置。
- [請求項5] 前記放熱膜は、接地されている

請求項 1 に記載の撮像装置。

[請求項6]

撮像素子を含む第 1 の半導体基板と、

前記第 1 の半導体基板に積層されている第 2 の半導体基板と、

前記第 1 の半導体基板に含まれる第 1 のガードリングと、

前記第 2 の半導体基板に含まれる第 2 のガードリングと、

前記第 2 の半導体基板に積層された支持基板と、

前記支持基板に積層され、放熱性の高い材料で形成されている放熱膜と、

一方が前記第 1 のガードリングに接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第 1 の貫通孔と、

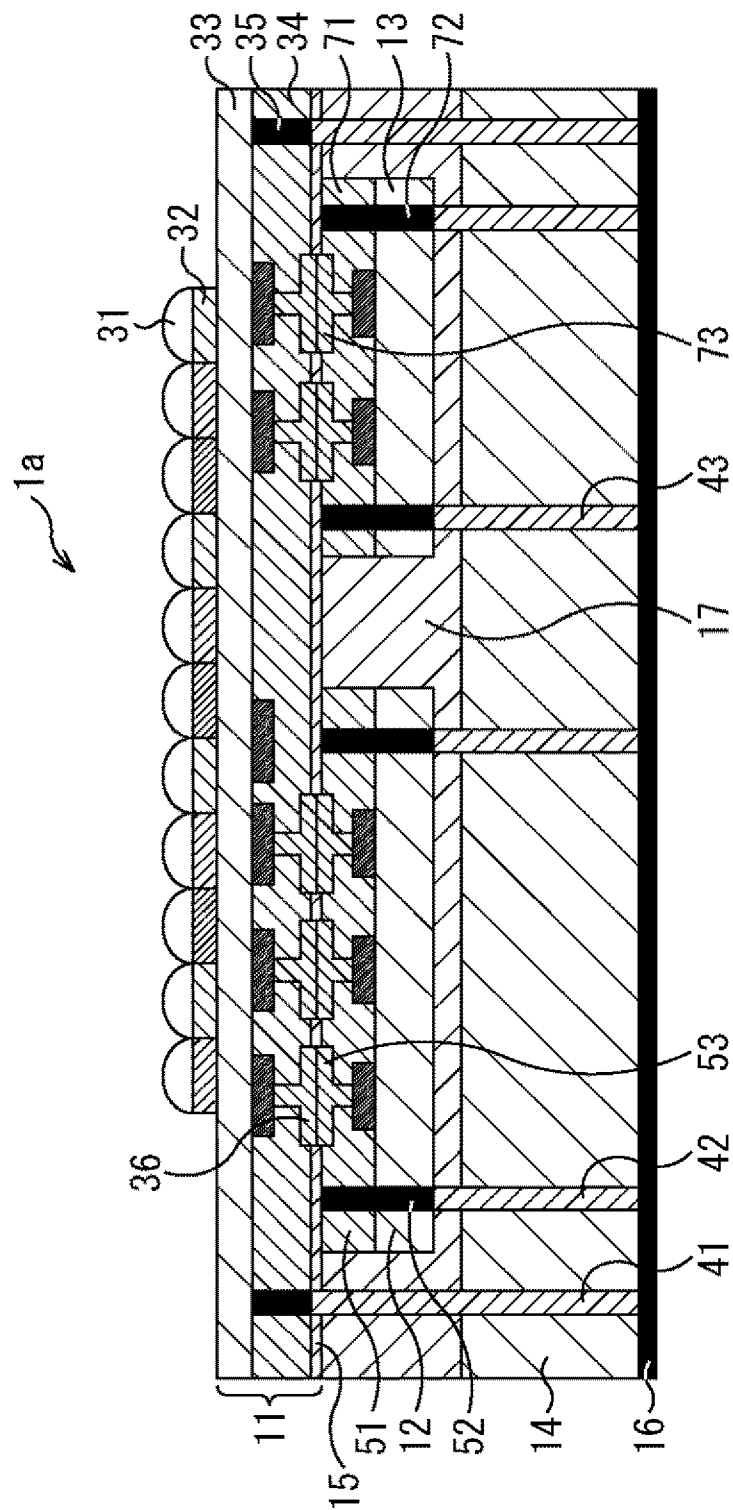
一方が前記第 2 のガードリングに接続され、他方が前記放熱膜に接続され、前記支持基板を貫通している第 2 の貫通孔と

を備える撮像装置と、

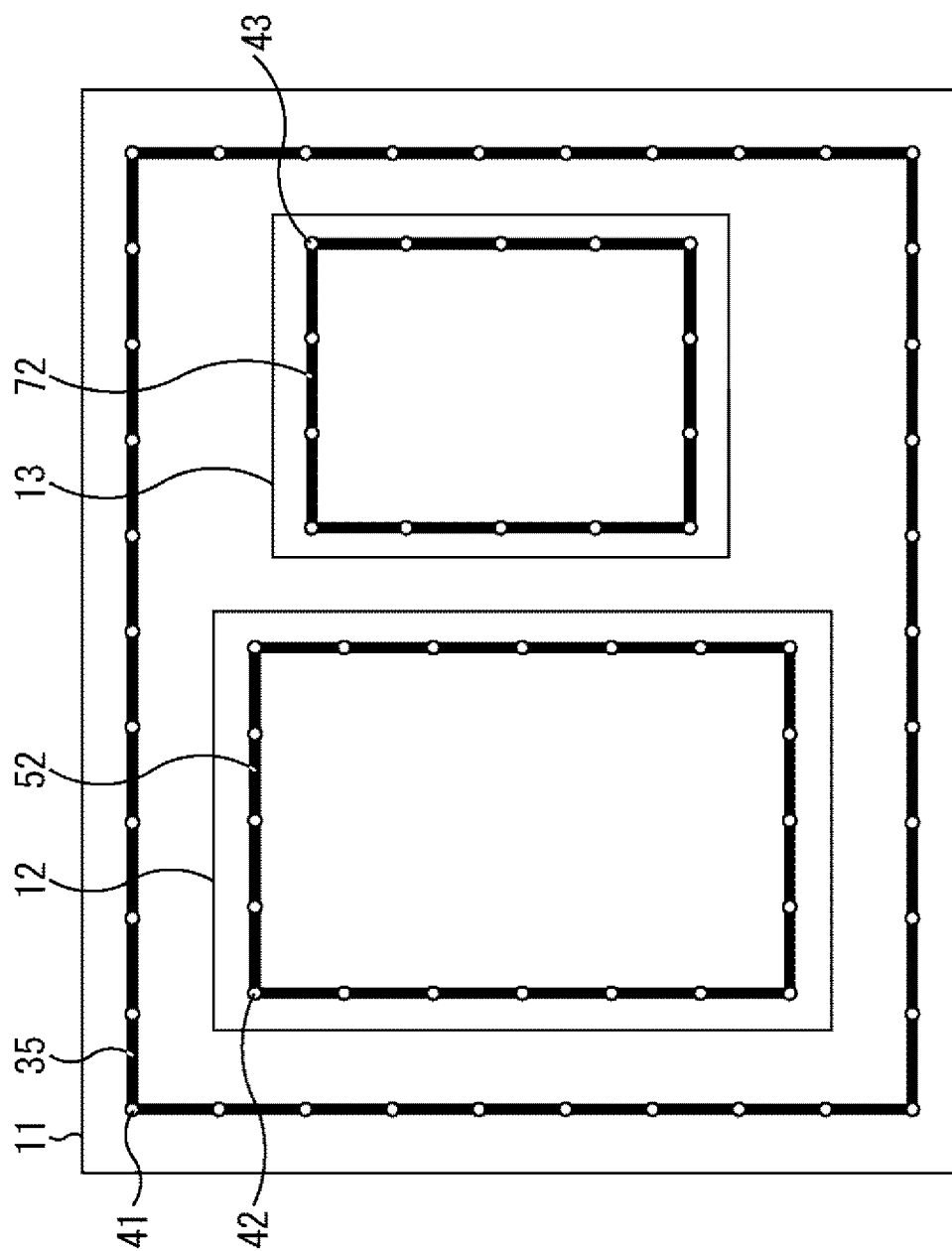
前記撮像装置からの信号を処理する処理部と

を備える電子機器。

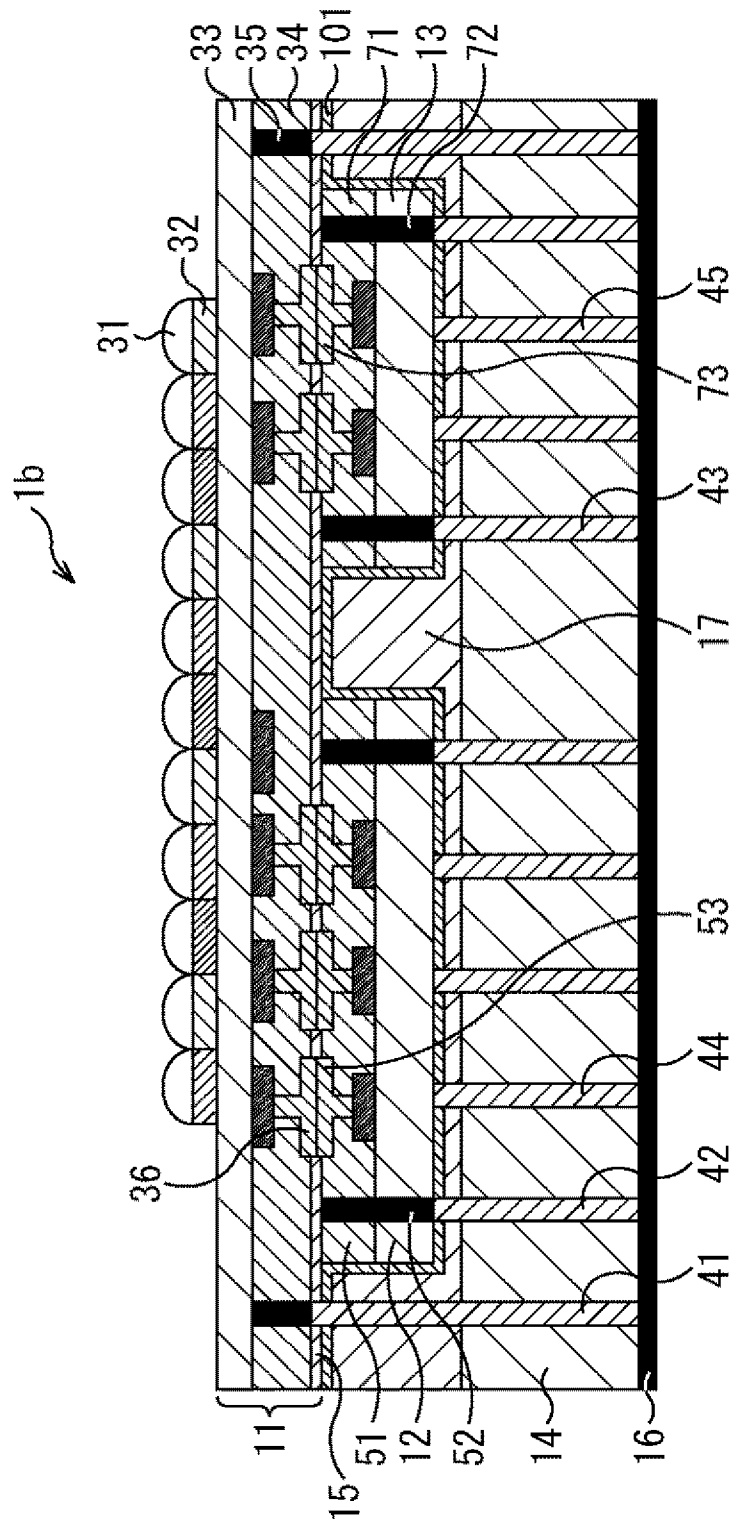
[図1]
FIG. 1



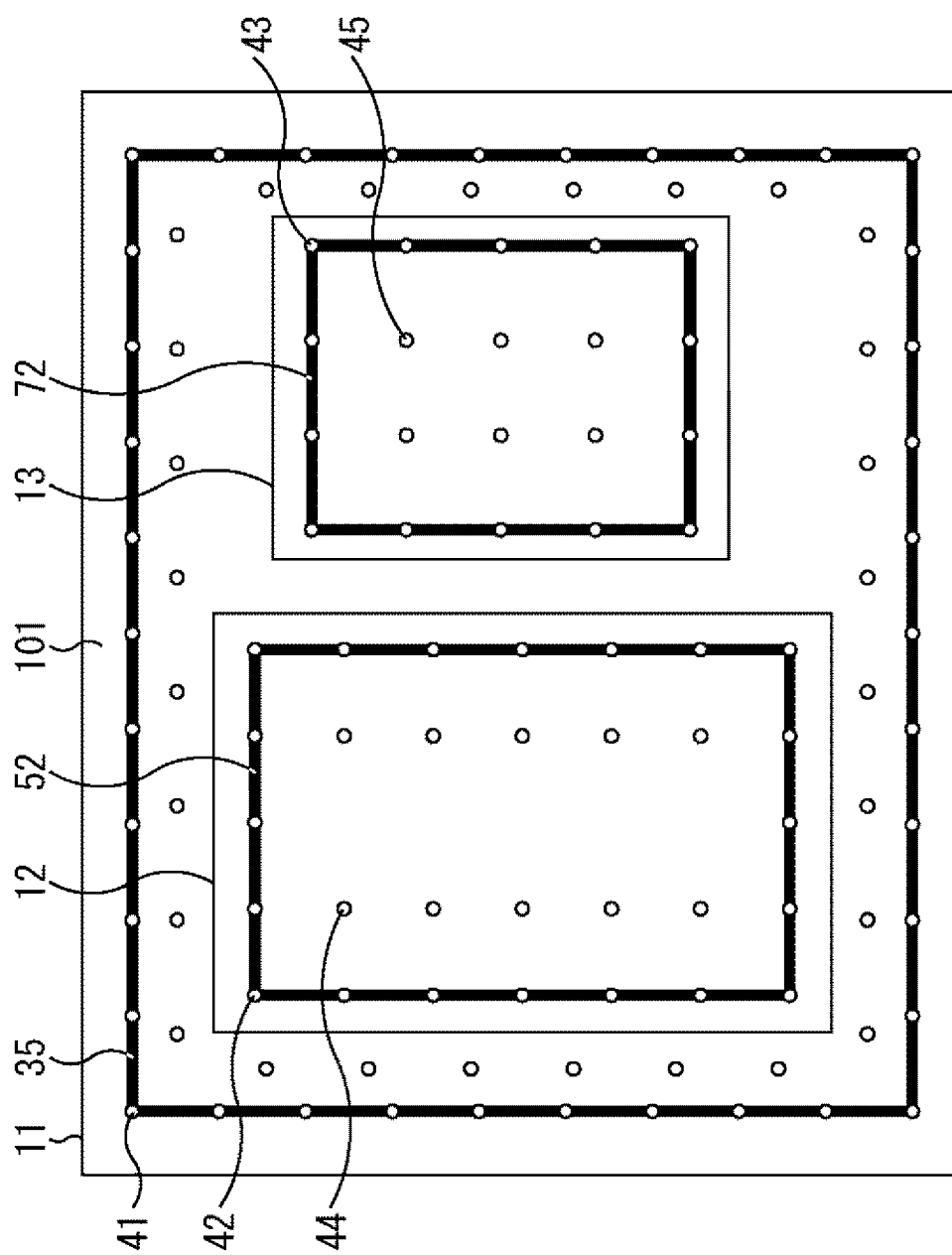
[図2]
FIG. 2



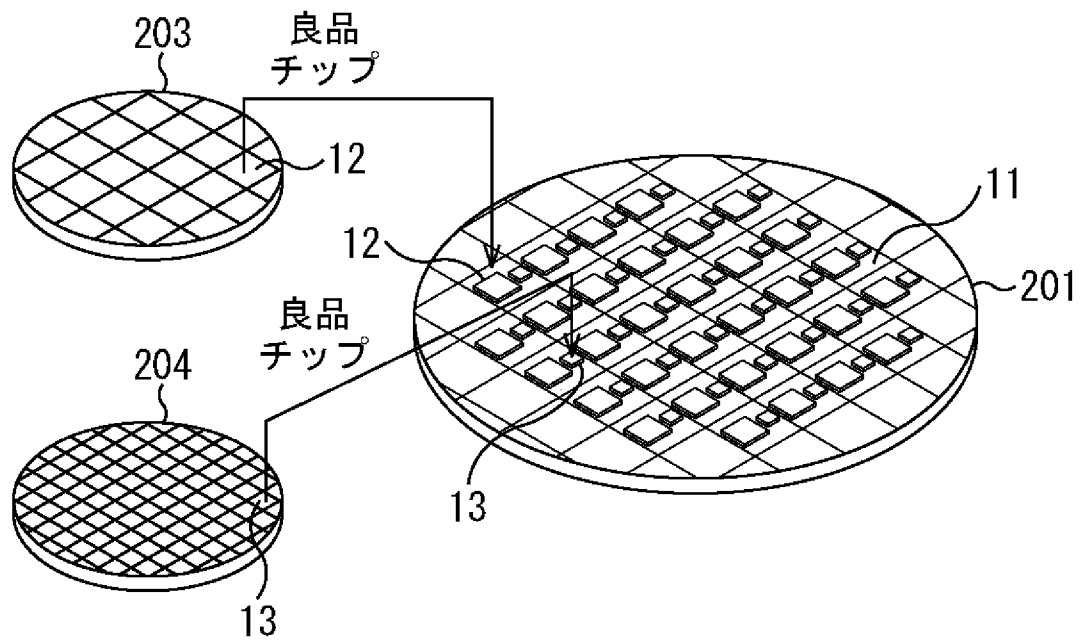
[図3]
FIG. 3



[図4]
FIG. 4

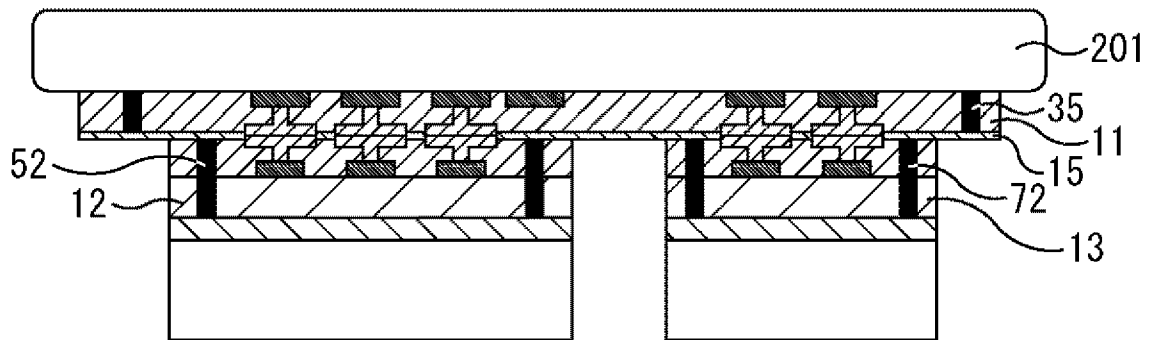


[図5]
FIG. 5

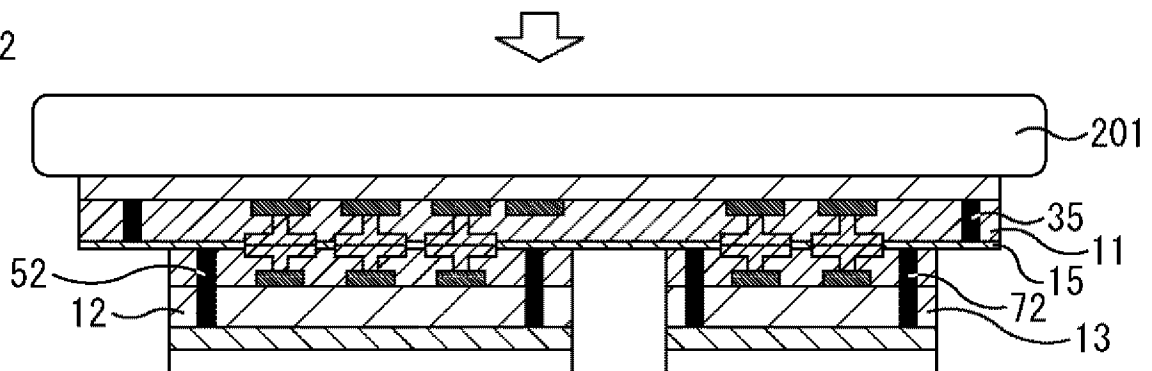


[図6]
FIG. 6

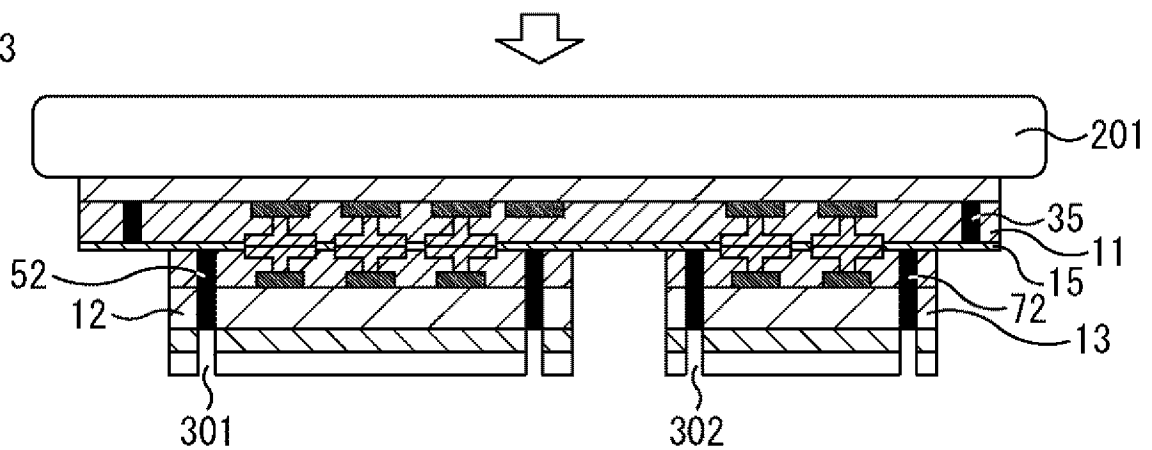
S11



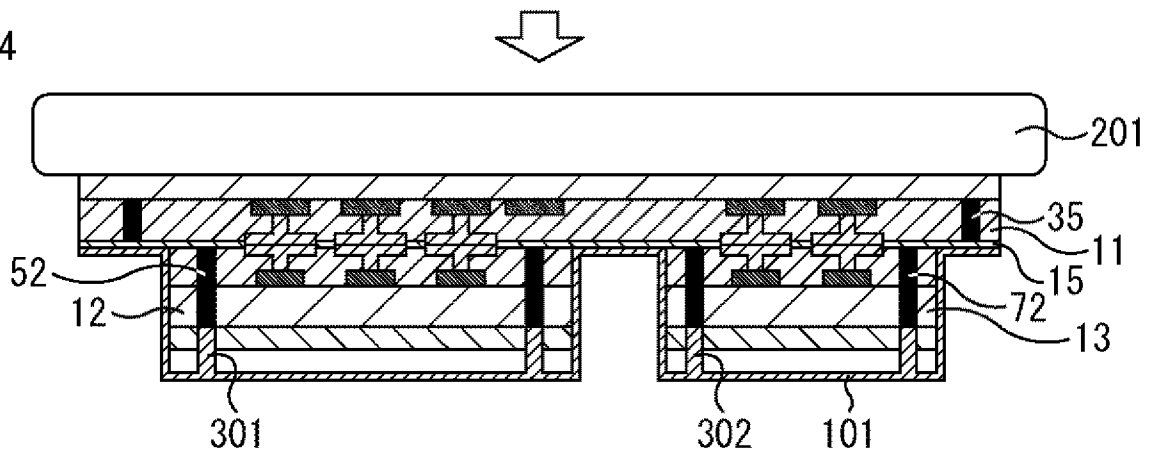
S12



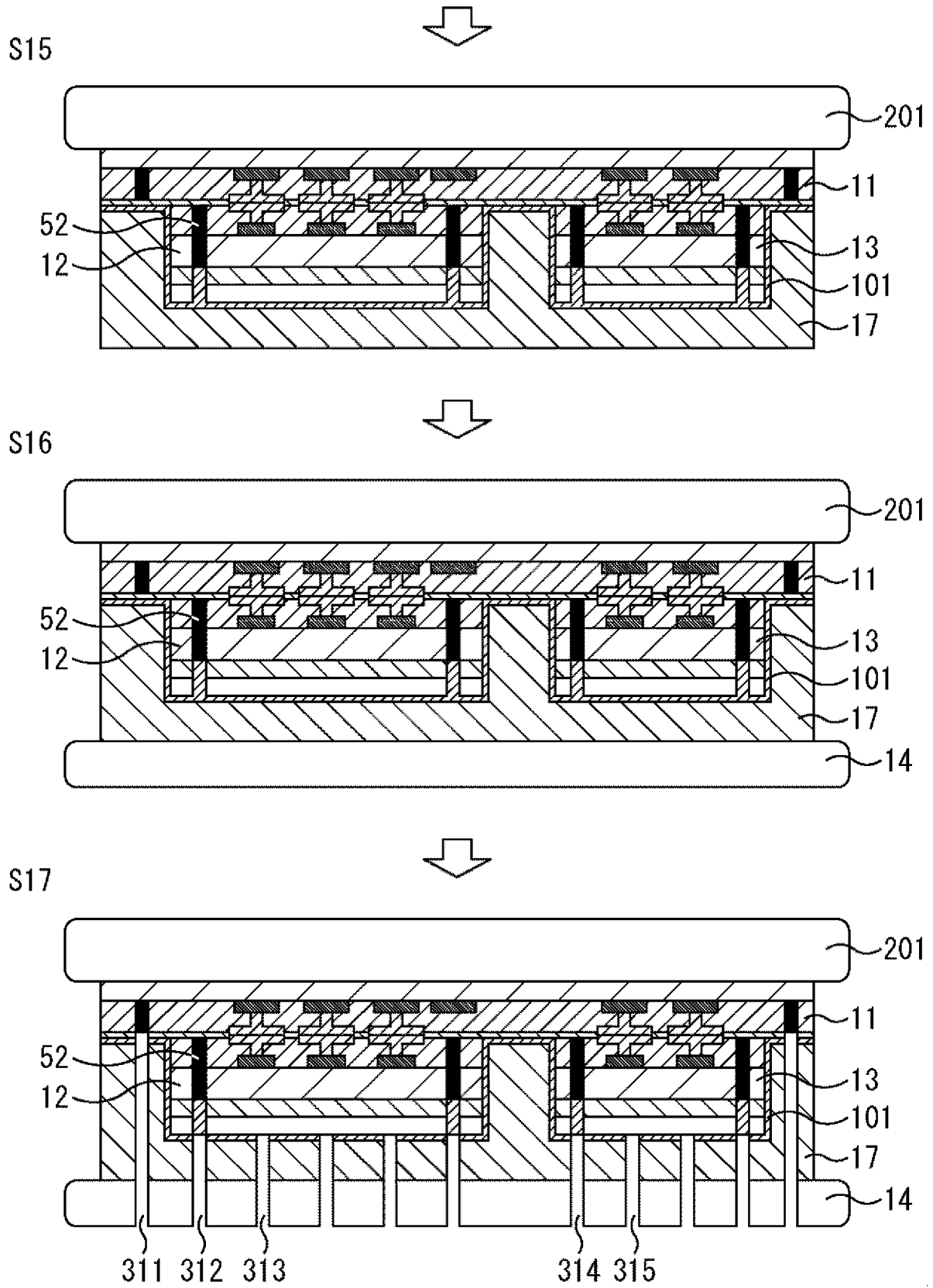
S13



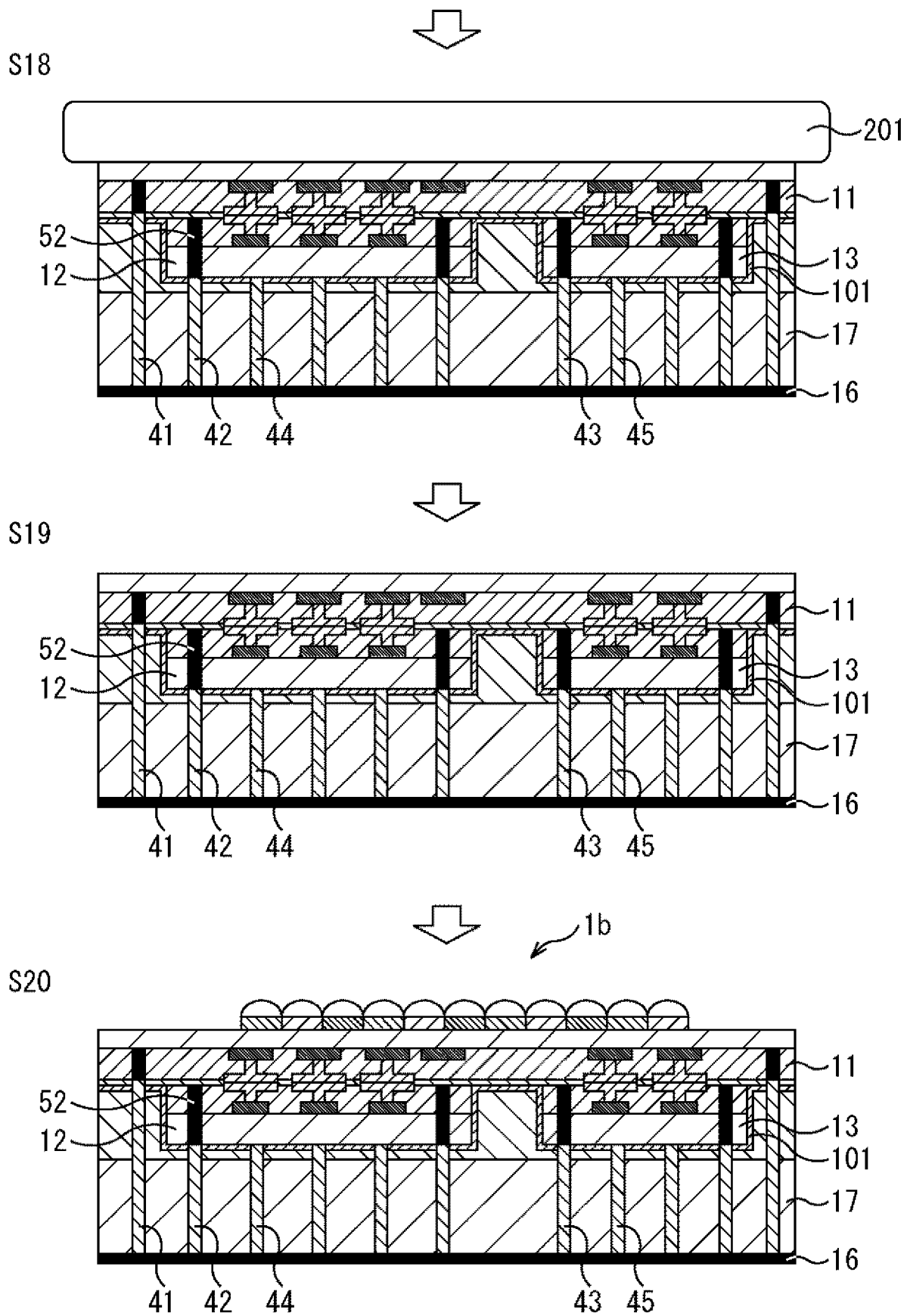
S14



[図7]
FIG. 7

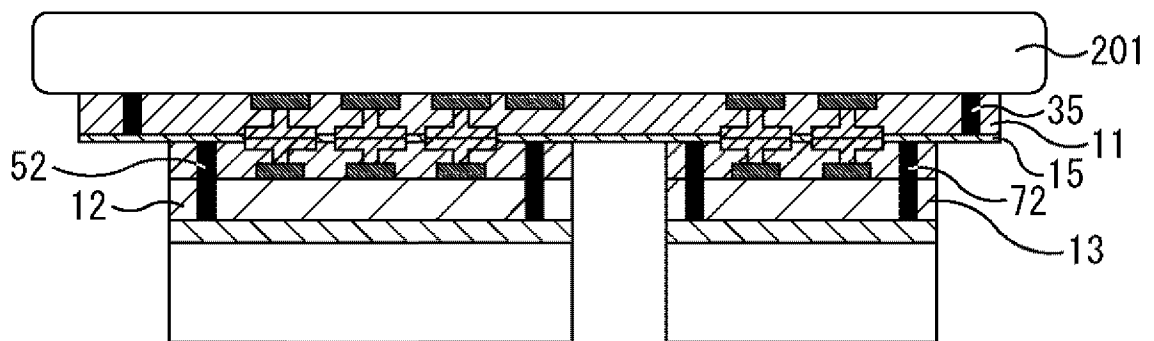


[図8]
FIG. 8

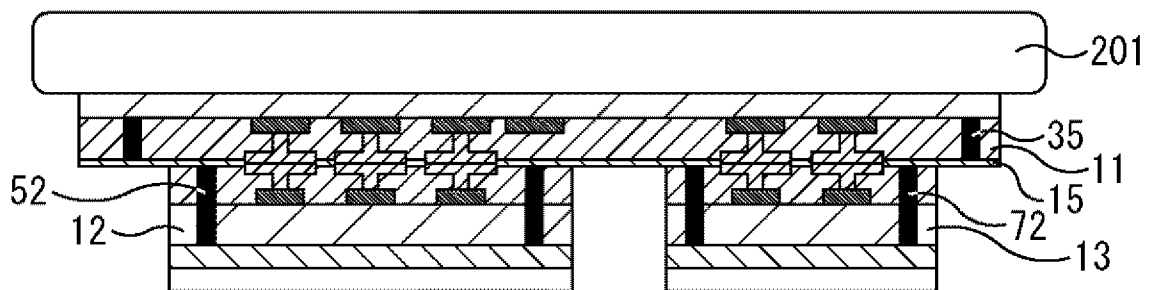


[図9]
FIG. 9

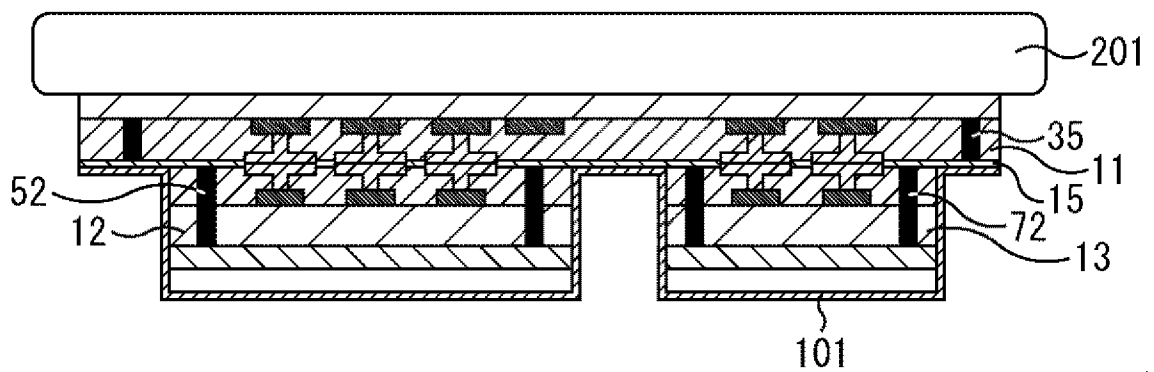
S51



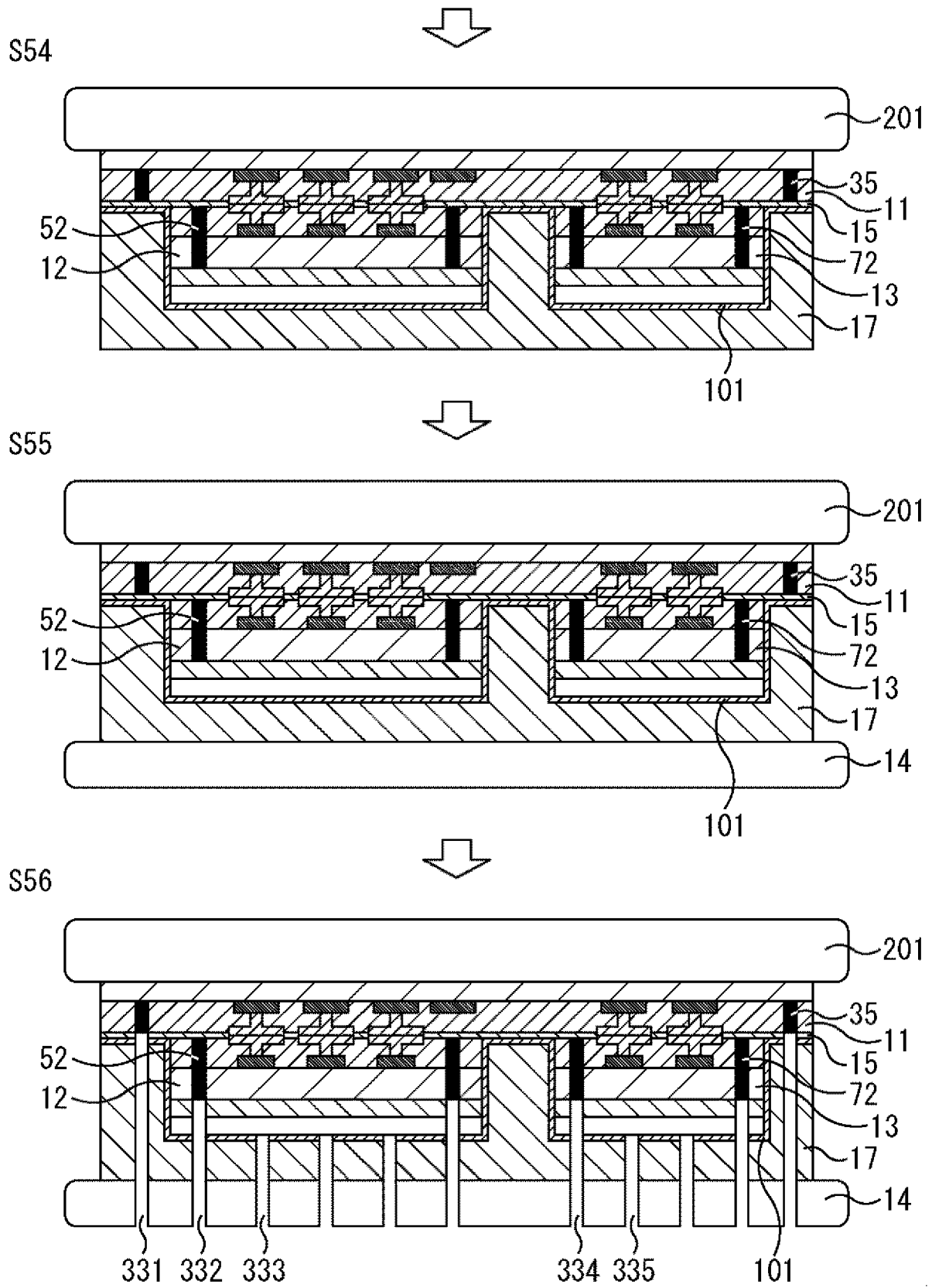
S52



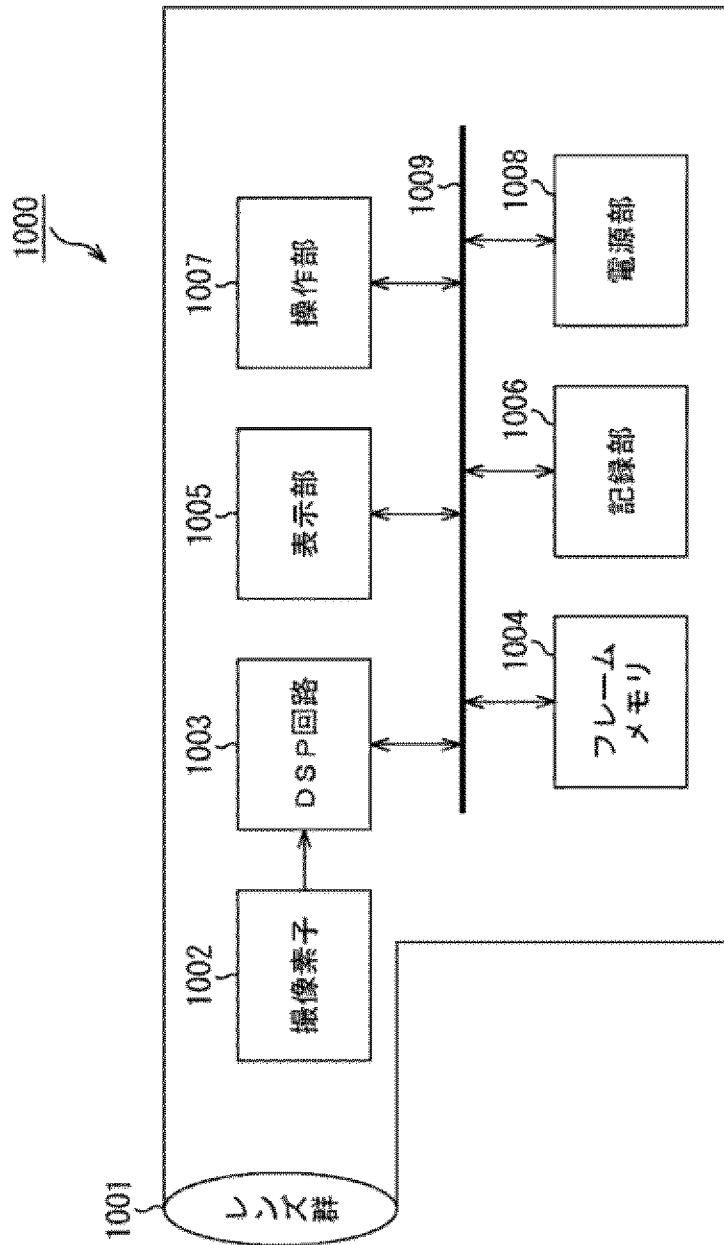
S53



[図10]
FIG. 10



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/046883

A. CLASSIFICATION OF SUBJECT MATTER**H01L 27/146**(2006.01)i

FI: H01L27/146 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2024
 Registered utility model specifications of Japan 1996-2024
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/185883 A1 (SONY CORPORATION) 24 November 2016 (2016-11-24) paragraphs [0019]-[0039], fig. 1-2	1-6
A	JP 2018-006507 A (DENSO CORPORATION) 11 January 2018 (2018-01-11) paragraphs [0018]-[0025], [0078]-[0085], fig. 1, 32	1-6
A	WO 2022/154077 A1 (MURATA MANUFACTURING CO., LTD.) 21 July 2022 (2022-07-21) paragraphs [0023]-[0025], [0048]-[0054], fig. 3, 7	1-6

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 March 2024

Date of mailing of the international search report

26 March 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/046883

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2016/185883	A1	24 November 2016	US 2018/0138223 A1 paragraphs [0028]-[0048], fig. 1-2 CN 107615481 A	
JP	2018-006507	A	11 January 2018	(Family: none)	
WO	2022/154077	A1	21 July 2022	US 2023/0361170 A1 paragraphs [0047]-[0049], [0072]-[0079], fig. 3, 7 TW 202243194 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i FI: H01L27/146 D														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/146 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2024年													
日本国実用新案登録公報	1996 - 2024年													
日本国登録実用新案公報	1994 - 2024年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2016/185883 A1（ソニー株式会社）24.11.2016（2016 - 11 - 24） 段落 [0019] - [0039] , [図1] - [図2]</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>JP 2018-006507 A（株式会社デンソー）11.01.2018（2018 - 01 - 11） 段落 [0018] - [0025] , [0078] - [0085] , [図1] , [図32]</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>WO 2022/154077 A1（株式会社村田製作所）21.07.2022（2022 - 07 - 21） 段落 [0023] - [0025] , [0048] - [0054] , [図3] , [図7]</td> <td>1-6</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2016/185883 A1（ソニー株式会社）24.11.2016（2016 - 11 - 24） 段落 [0019] - [0039] , [図1] - [図2]	1-6	A	JP 2018-006507 A（株式会社デンソー）11.01.2018（2018 - 01 - 11） 段落 [0018] - [0025] , [0078] - [0085] , [図1] , [図32]	1-6	A	WO 2022/154077 A1（株式会社村田製作所）21.07.2022（2022 - 07 - 21） 段落 [0023] - [0025] , [0048] - [0054] , [図3] , [図7]	1-6
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2016/185883 A1（ソニー株式会社）24.11.2016（2016 - 11 - 24） 段落 [0019] - [0039] , [図1] - [図2]	1-6												
A	JP 2018-006507 A（株式会社デンソー）11.01.2018（2018 - 01 - 11） 段落 [0018] - [0025] , [0078] - [0085] , [図1] , [図32]	1-6												
A	WO 2022/154077 A1（株式会社村田製作所）21.07.2022（2022 - 07 - 21） 段落 [0023] - [0025] , [0048] - [0054] , [図3] , [図7]	1-6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献														
国際調査を完了した日 13. 03. 2024	国際調査報告の発送日 26. 03. 2024													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 田邊 顕人 5F 5894 電話番号 03-3581-1101 内線 3514													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/046883

引用文献			公表日	パテントファミリー文献	公表日
WO	2016/185883	A1	24.11.2016	US 2018/0138223 A1 段落 [0028] - [0048] , 図 1-2 CN 107615481 A	
JP	2018-006507	A	11.01.2018	(ファミリーなし)	
WO	2022/154077	A1	21.07.2022	US 2023/0361170 A1 段落 [0047] - [0049] , [0072] - [0079] , 図3, 7 TW 202243194 A	