

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成28年12月28日 (2016.12.28)

【公開番号】特開2014-142989(P2014-142989A)
 【公開日】平成26年8月7日 (2014.8.7)
 【年通号数】公開・登録公報2014-042
 【出願番号】特願2013-270644(P2013-270644)
 【国際特許分類】

G 1 1 C 16/06 (2006.01)

【F I】

G 1 1 C 17/00 6 3 3 D

G 1 1 C 17/00 6 3 3 B

G 1 1 C 17/00 6 3 2 C

【手続補正書】
 【提出日】平成28年11月9日 (2016.11.9)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

メモリにおいて、
 ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器とを備え、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第 1 の電流端子、および前記出力ノードに接続されている第 2 の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第 1 の電流端子、第 2 の電流端子、および制御端子を有する第 1 のトランジスタと、

前記書き込み電圧を受け取るための第 1 の電流端子、前記第 1 のトランジスタの前記制御端子に接続されている第 2 の電流端子、および前記出力ノードに接続されている制御端子を有する第 2 のトランジスタとを含んでなり、書き込みモードの間、前記第 2 のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第 1 のトランジスタの導電性を制御する、メモリ。

【請求項 2】

メモリにおいて、
 ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供する

ための出力ノードを有した書き込みバイアス電圧生成器とを備え、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第１の電流端子、および前記出力ノードに接続されている第２の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第１の電流端子、第２の電流端子、および制御端子を有する第１のトランジスタと、

前記書き込み電圧を受け取るための第１の電流端子、前記第１のトランジスタの前記制御端子に接続されている第２の電流端子、および前記出力ノードに接続されている制御端子を有する第２のトランジスタとを含んでなり、書き込みモードの間、前記第２のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第１のトランジスタの導電性を制御し、前記書き込みバイアス生成器は電流源をさらに備え、書き込みモードの間、前記出力ノードと前記電流源との間で前記第１のトランジスタを通じて流れる電流の量を制御するために前記第１のトランジスタの導電性が制御される、メモリ。

【請求項３】

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器とを備え、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第１の電流端子、および前記出力ノードに接続されている第２の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第１の電流端子、第２の電流端子、および制御端子を有する第１のトランジスタと、

前記書き込み電圧を受け取るための第１の電流端子、前記第１のトランジスタの前記制御端子に接続されている第２の電流端子、および前記出力ノードに接続されている制御端子を有する第２のトランジスタとを含んでなり、書き込みモードの間、前記第２のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第１のトランジスタの導電性を制御し、前記書き込みバイアス生成器は電流源をさらに備え、書き込みモードの間、前記出力ノードと前記電流源との間で前記第１のトランジスタを通じて流れる電流の量を制御するために前記第１のトランジスタの導電性が制御され、

前記電流源と並列に位置する第２の電流源をさらに備え、読み出し回復モードの間、前記第２の電流源は、前記第１の電流源と並列の前記ダイオード接続トランジスタの前記第２の電流端子に電流を提供し、書き込みモードの間、前記第２の電流源は利用されない、メモリ。

【請求項４】

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器であって、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の

間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第１の電流端子、および前記出力ノードに接続されている第２の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第１の電流端子、第２の電流端子、および制御端子を有する第１のトランジスタと、

前記書き込み電圧を受け取るための第１の電流端子、前記第１のトランジスタの前記制御端子に接続されている第２の電流端子、および前記出力ノードに接続されている制御端子を有する第２のトランジスタとを含んでなり、書き込みモードの間、前記第２のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第１のトランジスタの導電性を制御する、前記書き込みバイアス電圧生成器と、

読み出しバイアス電圧生成器とを備え、該読み出しバイアス電圧生成器は、読み出し電圧を受け取るための第１の電流端子、および、読み出しバイアス電圧を提供するように構成されている第２の電流端子を有する第２のダイオード構成トランジスタを含んでなり、

前記書き込みバイアス電圧生成器は、第１の電流源をさらに備え、書き込みモードの間、前記出力ノードと前記第１の電流源との間で前記第１のトランジスタを通じて流れる電流の量を制御するために前記第１のトランジスタの導電性が制御され、

前記読み出しバイアス電圧生成器は、前記第２のダイオード構成トランジスタの前記第２の電流端子に結合されている第２の電流源をさらに備え、

前記第１の電流源は、前記第２の電流源よりも少ない電流を提供するようなサイズにされる、メモリ。

【請求項５】

メモリにおいて、

ワード線ドライバ回路と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバに書き込み電圧を提供するための書き込み電圧生成器と、

前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記書き込み電圧とは異なる書き込みバイアス電圧を前記ワード線ドライバ回路に提供するための出力ノードを有した書き込みバイアス電圧生成器であって、前記書き込みバイアス電圧は、前記ワード線ドライバ回路に結合されているメモリセルに対する書き込み動作の間に前記ワード線ドライバ回路によって前記書き込み電圧生成器から引き込まれる電流を低減するのに使用され、前記書き込みバイアス電圧生成器は、

前記書き込み電圧を受け取るための第１の電流端子、および前記出力ノードに接続されている第２の電流端子を有したダイオード構成トランジスタと、

前記出力ノードに接続されている第１の電流端子、第２の電流端子、および制御端子を有する第１のトランジスタと、

前記書き込み電圧を受け取るための第１の電流端子、前記第１のトランジスタの前記制御端子に接続されている第２の電流端子、および前記出力ノードに接続されている制御端子を有する第２のトランジスタとを含んでなり、書き込みモードの間、前記第２のトランジスタの導電性は、前記出力ノードの前記電圧を調整するために前記第１のトランジスタの導電性を制御する、前記書き込みバイアス電圧生成器と、

読み出しバイアス電圧生成器１０４であって、該読み出しバイアス電圧生成器は読み出しバイアス電圧を提供するための出力ノードを含む、読み出しバイアス生成器と、

前記書き込みバイアス生成器の前記出力ノードに結合されている第１の入力、および、前記読み出しバイアス生成器の前記出力ノードに結合されている第２の入力を有する選択回路２３６とをさらに備え、該選択回路は、前記ワード線ドライバ回路の制御端子に結合されている出力を有し、前記制御端子は、前記ワード線ドライバ回路に結合されているメモリセルに対する動作の間に前記ワード線ドライバ回路によって引き込まれる電流を低減するのに使用される、メモリ。