

(12) 发明专利

(10) 授权公告号 CN 101253546 B

(45) 授权公告日 2011.02.09

(21) 申请号 200680030682.4

代理人 黄志华

(22) 申请日 2006.08.22

(51) Int. Cl.

G09G 5/00 (2006.01)

(30) 优先权数据

60/710,993 2005.08.23 US

11/504,915 2006.08.15 US

(85) PCT申请进入国家阶段日

2008.02.22

(56) 对比文件

US 2003/0007117 A1, 2003.01.09, 说明书

第 [0002]-[0006] 段, 第 [0021]-[0037] 段、附图  
1-4.

US 2005/0162727 A1, 2005.07.28, 说明书第  
[0062]-[0071] 段、附图 10-13.

US 2003/0007117 A1, 2003.01.09, 说明书  
第 [0002]-[0006] 段, 第 [0021]-[0037] 段、附图  
1-4.

(86) PCT申请的申请数据

PCT/US2006/032879 2006.08.22

审查员 贺晓锋

(87) PCT申请的公布数据

WO2007/024924 EN 2007.03.01

(73) 专利权人 弘景科技有限公司

地址 美国加利福尼亚州

专利权人 武汉全真光电科技有限公司

(72) 发明人 金吉宏 全泰秀

(74) 专利代理机构 北京同达信恒知识产权代理  
有限公司 11291

权利要求书 3 页 说明书 6 页 附图 7 页

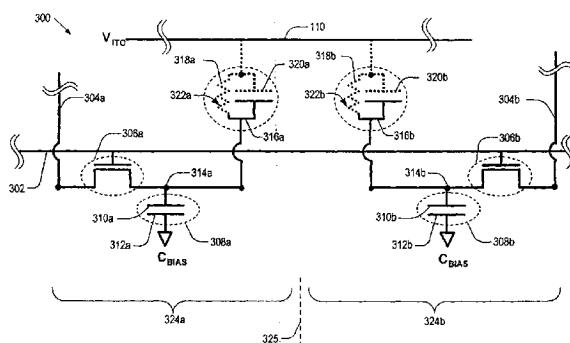
(54) 发明名称

具有降低的噪声的纳米硅基液晶芯片

(57) 摘要

一种硅基液晶芯片 (100)，该硅基液晶芯片 (100) 设计用于抑制芯片的电子元件之间的串音以及进入芯片的漫射光产生的电噪声。芯片 (100) 包括硅衬底 (120)，硅衬底 (120) 具有在硅衬底 (120) 上形成的存储单元阵列。芯片 (100) 包括形成字线的第一多晶硅层 (302) 和形成位线 (304) 的金属层 (413)，其中，位线 (304) 与字线相互正交。芯片 (100) 还包括由第二和第三多晶硅层 (310, 312) 形成的电容存储器 (308)。第二多晶层 (310) 设置在第一多晶硅层 (302) 上，且在衬底 (100) 没有被字线覆盖的区域上。金属层 (413) 包括屏蔽 (432)，这种屏蔽 (432) 用于减小相邻的位线 (304) 之间以及位线 (304) 与电容存储器 (308) 之间的串音。

CN 101253546 B



1. 一种硅基液晶 (LCoS) 芯片, 其特征在于, 包括:

硅衬底, 所述硅衬底具有在所述硅衬底上形成的存储单元阵列;

第一多晶硅层, 所述第一多晶硅层设置在所述硅衬底之上且形成多条平行延伸并穿越所述存储单元的字线;

第一金属层, 所述第一金属层设置在所述第一多晶硅层上, 且形成多条平行延伸并穿越存储单元的位线, 所述位线与字线相互正交; 以及

第二多晶硅层, 所述第二多晶硅层设置在所述第一多晶硅层与第一金属层之间, 且在所述位线和字线的交叉点之间具有屏蔽部分, 其中, 所述第二多晶硅层包括第一多个第一电容器极板;

第三多晶硅层, 所述第三多晶硅层设置在所述第一和第二多晶硅层之间, 并形成第二多个第二电容器极板, 所述第二电容器极板设置在所述第一电容器极板下面以及所述硅衬底上未被所述字线覆盖的区域上方, 所述第一和第二电容器极板形成所述存储单元的电容存储器节点;

其中, 所述屏蔽部分就降低所述字线与位线之间的串音。

2. 如权利要求 1 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 每个所述存储单元包括形成于所述硅衬底上的 N 活性区和 P 活性区。

3. 如权利要求 2 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 所述第一金属层包括多个节点屏蔽, 所述多个节点屏蔽用于降低所述位线和所述电容存储器节点之间的串音。

4. 如权利要求 2 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 所述第一金属层包括多个节点屏蔽和多个第一连接节点, 所述第一连接节点分别耦合到所述第三多晶硅层和所述 N 活性区, 其中, 每个所述节点屏蔽围绕在一个第一连接节点周围, 并因此而降低所述位线和所述电容存储器节点之间的串音。

5. 如权利要求 2 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 所述 N 活性区耦合到一条所述位线。

6. 如权利要求 1 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 所述第一金属层包括多个位线屏蔽, 每个所述位线屏蔽设置在相邻的两条所述位线之间, 并因此而降低所述两条所述位线之间的串音。

7. 如权利要求 6 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 每个所述存储单元包括 N 活性区和 P 活性区, 所述 P 活性区耦合到一个所述位线屏蔽。

8. 如权利要求 4 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 还包括第二金属层, 所述第二金属层用于阻挡进入所述存储单元的漫射光。

9. 如权利要求 8 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 所述第二金属层包括多个第二连接节点, 将每个所述第二连接节点耦合到一个所述第一连接节点。

10. 如权利要求 8 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 所述第一金属层包括多个位线屏蔽, 所述多个位线屏蔽用于降低相邻的两条所述位线之间的串音, 所述第二金属层包括多个触点, 所述多个触点用于将所述第二金属层耦合到所述位线屏蔽。

11. 如权利要求 9 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 还包括第三金属层, 所述第三金属层用于向位于存储单元上的液晶加载电压, 从而在液晶中形成图像。

12. 如权利要求 11 所述的硅基液晶 (LCoS) 芯片, 其特征在于, 所述第三金属层包括多

个触点，所述多个触点用于将所述第三金属层连接到所述第二连接节点。

13. 一种硅基液晶 (LCoS) 芯片，其特征在于，包括：

硅衬底，所述硅衬底具有在所述硅衬底上形成的存储单元阵列；

第一金属层，所述第一金属层淀积在所述硅衬底上，且包括多条位线和多个位线屏蔽，每个所述位线屏蔽降低相邻的两条位线之间的串音并接地；

第一多晶硅层，所述第一多晶硅层设置在所述硅衬底和所述第一金属层之间，且形成多条平行延伸并穿越所述存储单元的字线，所述字线与所述位线相互正交；

第二多晶硅层，所述第二多晶硅层设置在所述第一多晶硅层与第一金属层之间，且在所述位线和字线的交叉点之间具有屏蔽部分，并具有多个第一电容器极板；以及

第三多晶硅层，所述第三多晶硅层设置在所述第一和第二多晶硅层之间，并形成多个第二电容器极板，所述第二电容器极板设置在所述第一电容器极板下面以及所述衬底上未被所述字线覆盖的区域上方，所述第一和第二电容器极板形成存储单元的电容存储器节点。

14. 如权利要求 13 所述的硅基液晶 (LCoS) 芯片，其特征在于，所述第一金属层包括多个节点屏蔽和多个连接节点，所述连接节点耦合到所述第三多晶硅层，其中，每个节点屏蔽围绕在一个连接节点周围，以降低所述位线和所述电容存储器节点之间的串音。

15. 如权利要求 14 所述的硅基液晶 (LCoS) 芯片，其特征在于，还包括多个衬层，所述多个衬层分别插入所述硅衬底、第一多晶硅层、第二多晶硅层和第一金属层之间。

16. 一种硅基液晶 (LCoS) 芯片，其特征在于，包括：

硅衬底，所述硅衬底具有在所述硅衬底上形成的存储单元阵列，每个所述存储单元包括 N 活性区和 P 活性区；

第一多晶硅层，所述第一多晶硅层设置在所述硅衬底上，且形成多条平行延伸并穿越所述存储单元的字线；

第二多晶硅层，所述第二多晶硅层设置在所述第一多晶硅层上，且形成多个设置在所述衬底上没有被所述字线覆盖的区域上的第一电容器极板；

第三多晶硅层，所述第三多晶硅层设置在所述第二多晶硅层上，且包括多个设置在所述第一电容器极板上的第二电容器极板，所述第一和第二电容器极板形成所述存储单元的电容存储器节点；

第一金属层，所述第一金属层设置在所述第三多晶硅层上，且形成多条平行延伸并穿越所述存储单元的位线，所述位线与所述字线相互正交，所述第一金属层包括多个节点屏蔽以及多个第一连接节点，所述第一连接节点耦合到所述第二多晶硅层和所述 N 活性区，每个节点屏蔽围绕在一个第一连接节点周围，以降低所述位线与所述电容存储器节点之间的串音，所述第一金属层还包括多个位线屏蔽，所述多个位线屏蔽用于降低所述位线之间的串音；

所述第三多晶硅层包括位于所述位线和字线的交叉点之间的屏蔽部分，从而降低所述位线和字线之间的串音；

第二金属层，所述第二金属层用于阻挡进入所述存储单元的漫射光，并包括多个第二连接节点，将每个所述第二连接节点耦合到一个所述第一连接节点；以及

第三金属层，所述第三金属层用于向位于存储单元上的液晶加载电压，从而在液晶中

形成图像，所述第三金属层包括多个触点，所述多个触点用于将所述第三金属层连接到所述第二连接节点。

## 具有降低的噪声的纳米硅基液晶芯片

### 技术领域

[0001] 本发明涉及半导体芯片设计,尤其涉及硅基液晶 (LCoS) 元件的设计。

[0002] 交叉引用的相关申请

[0003] 本申请要求以下两项优先权:申请号为 60/710,993、发明名称为“具有降低的噪声的纳米硅基液晶 (LCoS) 芯片”、申请日为 2005 年 8 月 23 日的美国临时申请;以及发明名称为“具有降低的噪声的纳米硅基液晶 (LCoS) 芯片”、申请日为 2006 年 8 月 15 日的美国专利申请,这些申请通过参考整体地结合在本发明之中。

### 背景技术

[0004] 具有硅基液晶 (LCoS, Liquid Crystal on Silicon) 结构的微型显示器件(或等效的 LCoS 器件)在许多微型显示领域的应用越来越普遍,比如,大屏幕电视、计算机监控器、投影机等。LCoS 器件通常具有半导体衬底以及位于半导体衬底上的液晶,穿过液晶的光由适当的光学系统放大,以将在液晶上形成的图像显示给肉眼。

[0005] 一般而言,生成良好的 LCoS 图像的最主要因素是对比度、亮度和分辨率。分辨率可由图像内的像素数目确定。目前有限定用于各种电子用途的多种分辨率标准。例如,常规的高清电视 (HDTV) 屏幕在水平和垂直方向上的扫描线分别为 1920 和 1080。通常,较高的分辨率可以产生较好的图像质量。亮度是指 LCoS 图像的背光发光。对于给定的对比度和分辨率而言,可以通过提高图像亮度来提高图像的清晰度。对比度或对比率是指可产生的最亮的白色和可产生的最暗的黑色之间的发光度之比。对比率是所感知的图像质量的决定性因素:如果图像有高的对比率,观察人员就会判断该图像比具有较低对比率的图像清晰,尽管该较低对比率的图像具有相当高的分辨率。

[0006] 因此,改善 LCoS 器件的图像质量的一种方法可以是提高分辨率,即提高用于在液晶上显示图像的像素数目。一般而言,当分辨率提高时,每个像素的尺寸会减小,从而提高两个相邻像素以及 LCoS 器件芯片中的电路元件之间的空间接近度。空间接近度的提高可能会导致由元件之间串音或电路元件之间的耦合效应滋生的电噪声。通常,常规的非 LCoS 半导体芯片不采用高压信号,这样电噪声较小。然而,典型的 LCoS 微型显示器件芯片可要求高压信号以在液晶中形成图像。当高压信号穿过电路元件传输时,电串音或耦合效应可能达到很高的水平。因此,这种方法的主要技术挑战在于如何抑制电串音和 / 或耦合效应。

[0007] 改善图像质量的另一种方法可以是提高对比率和 / 或用精确的方式控制对比灰度等级。典型的液晶显示 (LCD, Liquid Crystal Display) 器显示图像时,可将时域劈裂成多个帧或区间。然后,帧中加载在每个像素的电压极性可能会交替,其中,电压的数量级确定像素的图像的灰度级。例如,可以在峰间电压  $V_{pp}$  为 10 伏特时以 10 比特的分辨率显示红色。这样,在灰度等级中,加载到像素的电压为  $0.0049 (= 10/2^{10})$  伏特。因此,如果电路元件具有几毫伏的电压泄露,就可能不会产生预期的红色,即显示出来的可能是不合格的白色。由于电压泄漏的一个主要来源可能是两个相邻电路元件间的串音和 / 或元件间的串音,因此这种方法的主要挑战也是如何减少电串音和 / 或耦合效应。

[0008] LCoS 器件的半导体芯片部分可具有电噪声的另一个来源：漫射光。漫射光噪声可由无意间进入芯片的光导致。漫射光可以产生通常转变为电噪声的电子空穴对，这些电子空穴对产生与串音和 / 或耦合效应类似的效果。

[0009] 出于上述原因，往往希望设计一种降低的电噪声的电路。而且，由于商业显示器像素存储容量的快速发展并因此而导致每个像素尺寸可大大减小，所以抑制电噪声将成为 LCoS 芯片布局的迫切需要。

## 发明内容

[0010] 本发明提供一种 LCoS 芯片，这种 LCoS 芯片设计用于抑制芯片的电子元件之间的串音以及进入芯片的漫射光滋生的电噪声。这种 LCoS 芯片包括多个多晶层和金属层，这些多晶层和金属层设置在硅衬底上并构造成减少噪声，其中，在这些层之间插入衬层。

[0011] 在本发明的一个方面，一种硅基液晶 (LCoS) 芯片包括：硅衬底，所述硅衬底具有在所述硅衬底上形成的存储单元阵列；第一多晶硅层，所述第一多晶硅层设置在硅衬底上，且形成平行延伸并穿越存储单元的字线；金属层，所述金属层设置在所述第一多晶硅层上，且形成平行延伸并穿越存储单元的位线，位线与字线相互正交；以及第二多晶硅层，所述第二多晶硅层设置在所述第一多晶硅层与金属层之间，且在位线和字线的交叉点之间具有屏蔽部分，这样，屏蔽部分就降低字线与位线之间的串音。

[0012] 在本发明的另一个方面，一种硅基液晶 (LCoS) 芯片包括：硅衬底，所述硅衬底具有在所述硅衬底上形成的存储单元阵列；以及金属层，所述金属层淀积在硅衬底上，且包括位线和位线屏蔽，每个位线屏蔽降低相邻的两条位线之间的串音。

[0013] 在本发明的再另一个方面，一种硅基液晶 (LCoS) 芯片包括：硅衬底，所述硅衬底具有在所述硅衬底上形成的存储单元阵列，每个存储单元包括 N 活性区和 P 活性区；第一多晶硅层，所述第一多晶硅层设置在硅衬底上，并形成多条平行延伸并穿越存储单元的字线；第二多晶硅层，所述第二多晶硅层设置在第一多晶硅层上，且形成设置在衬底上没有被字线覆盖的区域之上的多个第一电容器极板；第三多晶硅层，所述第三多晶硅层设置在第二多晶硅层上，且包括设置在第一电容器极板上的多个第二电容器极板，第一和第二电容器极板形成存储单元的电容存储器节点；第一金属层，所述第一金属层设置在第三多晶硅层上，且形成多条平行延伸并穿越存储单元的位线，位线与字线相互正交，第一金属层包括多个节点屏蔽以及耦合到第二多晶硅层和 N 活性区的多个第一连接节点，每个节点屏蔽围绕在一个第一连接节点周围，以降低位线与电容存储器节点之间的串音，第一金属层还包括用于降低位线之间的串音的多个位线屏蔽；第三多晶硅层包括位于位线和字线的交叉点之间的屏蔽部分，从而降低位线和字线之间的串音；第二金属层，所述第二金属层用于阻挡进入存储单元的漫射光，且包括多个第二连接节点，将每个第二连接节点耦合到一个第一连接节点；以及第三金属层，所述第三金属层用于向位于存储单元上的液晶加载电压，从而在液晶中形成图像，第三金属层包括多个触点，这些触点用于将第三金属层连接到第二连接节点。

## 附图说明

[0014] 图 1 为根据本发明的纳米 LCoS 芯片的分解透视图；

- [0015] 图 2 为图 1 所示的纳米 LCoS 芯片的硅部分的俯视图；
- [0016] 图 3 为图 1 所示的硅片中包括的纳米 LCoS 元件的等效电路图；
- [0017] 图 4A 为包括四个纳米 LCoS 元件的纳米 LCoS 元件单元的俯视图，该图示出了根据本发明的单元的 N 活性层和 P 活性层；
- [0018] 图 4B 为根据本发明在示于图 4A 中的 N 活性层和 P 活性层上形成的第一多晶 (Poly-1) 层的俯视图；
- [0019] 图 4C 为根据本发明在示于图 4B 中的 Poly-1 层上形成的第二多晶 (Poly-2) 层的俯视图；
- [0020] 图 4D 为根据本发明在示于图 4C 中的 Poly-2 层上形成的第三多晶 (Poly-3) 层的俯视图；
- [0021] 图 4E 为根据本发明在示于图 4D 中的 Poly-3 层上形成的第一金属 (Metal-1) 层的俯视图；
- [0022] 图 4F 为根据本发明在示于图 4E 中的 Metal-1 层上形成的第二金属 (Metal-2) 层的俯视图；
- [0023] 图 4G 为根据本发明在示于图 4F 中的 Metal-2 层上形成的第三金属 (Metal-3) 层的俯视图；以及
- [0024] 图 4H 为分别示于图 4B、4D 和 4E 中的 Poly-1 层、Poly-3 层和 Metal-1 层的俯视图。

## 具体实施方式

[0025] 参看图 1，图 1 为根据本发明的一种纳米 LCoS 芯片的分解透视图，用 100 表示。如图所示，纳米 LCoS 芯片可包括玻璃部分（或等效的玻璃侧面）102 和硅部分 104。玻璃部分 102 可包括：玻璃 108，优选用石英、熔融石英或高温玻璃制成；抗反射 (AR) 层 106，用于保护玻璃 108 免受机械损伤并减少来自玻璃 108 的顶部表面的入射光 132a 的反射；氧化铟锡 (ITO) 层 110；顶部无机调整层 112，优选用二氧化硅制成，并与液晶 130 接触且防止 ITO 层 110 与液晶层 130 发生反应；以及碳纳米管 (CNT) 支柱 (pillar) 或柱 (column) 116，生长在金属种层 (metal seed layer) 114 上。在替代实施例中，可采用具有高透射度的 CNT 薄层代替 ITO 层 110。CNT 薄层可以与 CNT 支柱 116 紧密黏着，因此能够为 CNT 支柱 116 提供增强的机械结合强度。

[0026] CNT 支柱 116 可以生长在预先形成于玻璃 108 上的金属种层 114 上。然后，ITO 层 110 和无机调整层 112 可以淀积在玻璃 108 的整个表面上。

[0027] 硅部分 104 可包括：包括具有多晶层和金属层（将参考图 4A 至 4H 对这些层进行详细说明）的电路的硅片 120；CNT 对应部分 (counterpart) 或凹入部分 (female) 122，用于容纳 CNT 支柱 116；垫片 126，用于输入 / 输出硅片 120 中的电路的电信号；钝化层（为简便起见，未在图 1 中示出），形成于硅片 120 的表面上；以及底部无机调整层 117，形成于钝化层上。液晶 130 可以包含在由液晶胶层 128、顶部无机调整层 112 以及底部无机调整层 117 限定的空间内。可选地，硅片 120 可以安装在提供额外机械强度的衬底 118 上。纳米 LCoS 芯片 100 的详细描述见申请号为 11/224,912、发明名称为“硅基液晶微型显示中的碳纳米管技术”、申请日为 2005 年 9 月 12 日的美国专利申请，该申请通过参考整体地结合在本发

明之中。

[0028] 如图 1 所示,入射光 132a 可以穿过玻璃部分 102 中的各层以及液晶 130。液晶 130 的一部分可以位于像素区 202(如图 2 所示)上方,像素区 202 包括像素阵列,优选地,该像素阵列包括  $1920 \times 1080$  个像素,并在 ITO 层 110 和像素区 202 之间存在电压差的条件下形成图像。入射光 132a 可以穿过该图像,然后从硅片 120 的顶部表面反射并再次穿过该图像。然后,载有该图像信息的光 132b 可再次穿过玻璃部分 102 并离开纳米 LCoS 芯片 100。

[0029] 图 2 为图 1 所示的硅部分 104 的俯视图。如图所示,CNT 对应部分或 CNT 支柱凹入部分 122 可以通过连接机构 204 电连接到 ITO 电压 ( $V_{ITO}$ ) 垫片 126a 和 126n, $V_{ITO}$  垫片 126a 和 126n 可以连接到能够提供电压  $V_{ITO}$  的电源。每个 CNT 支柱 116 都是良好的电导体,且可以形成从  $V_{ITO}$  垫片 126a 和 126n 至 ITO 层 110 的电连接的一部分。 $V_{ITO}$  可用于控制加载到 ITO 层 110 的电压,从而控制加载到液晶顶部表面的电压。

[0030] 纳米 LCoS 芯片 100 可以操作以形成单色图像。通常需要三个纳米 LCoS 芯片来为肉眼显现全色图像。可以采用纳米 LCoS 调整键 123 来调整三个纳米 LCoS 芯片之间的方位,可以将这些键 123 连接到  $V_{ITO}$  垫片 126a 和 126n。如图 2 所示,这些调整键 123 位于液晶 130 上方。通过在键 123 上加载  $V_{ITO}$ (更明确地来讲,通过在 ITO 层 110 和硅片 120 的顶部金属层之间加载电压差  $V_{ITO}$ ),液晶 130 的一部分可变为透明的,即光调整键 123 变得可见。这些键 123 可在硅片 120 上形成。每个 CNT 调整键 125 在玻璃部分 102(图 2 中未标出)和硅片 120 上具有一对标记,这些 CNT 调整键 125 可用于在玻璃部分 102 和硅片 120 两个部分结合或配对过程中调整它们之间的方位。硅片 120 可以包括外围区 206 和液晶填充区 208。液晶填充区 208 可以包括像素区 202,像素阵列位于像素区 202 下方。结合图 3 至 4H 对像素布局进行描述。

[0031] 图 3 为根据本发明的两个相邻的纳米 LCoS 元件 324a 和 324b 的等效电路图。在图 3 中,实线用于表示两个元件 324a 至 324b 中的电路元件,虚线用于表示由每个 LCoS 元件控制的液晶 322 的一部分。两个元件 324a 和 324b 的布局可以相对于线 325 对称。因此,为简便起见,下文仅对一个元件 324a 进行说明。

[0032] 元件 324a 可以用一对晶体管 306a 和电容器 308a 表示。Poly-1 层(或简称 Poly-1)302 可起到字线的作用,并连接到晶体管 306a 和 306b 的栅极。Poly-1 层 302 还可以连接到其他晶体管。电容器 308a 可包括 Poly-2(层)310a 和 Poly-3(层)312a。Poly-1 层 302、Poly-2 层 310a 和 Poly-3 层 312a 可以用常规的多晶硅制成。位线 304a 可包括在 Metal-1 层 413(如图 4E 所示)中,并耦合到晶体管 306a。Poly-2 层 310a 也可以在节点 314a 处耦合到晶体管 306a。正如将结合图 4E 说明的那样,节点 314a 可以以 Metal-1 层 413 的多边形元件来实现。

[0033] 液晶 322a 的一部分可以由元件 324a 控制以形成图像的一部分,液晶 322a 的该部分可等效于一对电阻器 318a 和电容器 320a,并可由它们表示。元件 324a 的 Metal-3 层 316a(在下面参考图 4G 进行详细描述)可以形成电容器 320a 的底板,Metal-3 层 316a 连接到节点 314a。液晶 322a 可以在 Metal-3 层 316a 与电压为  $V_{ITO}$  的 ITO 层 110(图 1)之间存在电压差的条件下形成图像。可以采用常规的半导体生长技术制成元件 324a 和 324b。将结合图 4A 至 4B 对元件 324a 中包含的电路元件的功能和形状进行说明。

[0034] 正如前面所提及的那样,LCoS 硅片 120 的噪声源主要有两个:串音和漫射光。串

音和 / 或耦合均与相邻元件之间的电耦合以及元件 324 中电路元件之间的电干扰有关。硅片 120 可要求高压信号 ( $V_{ITO}$ ) 以在液晶 130 中形成图像。当高压信号通过硅片 120 的电路元件传输时, 可引起串音和 / 或耦合。漫射光噪声可以由无意中进入硅片 120 中的入射光 132a(图 1) 的一部分引起。漫射光可以产生电子空穴对, 电子空穴对通常会被转换成电噪声。正如将结合图 4A 至 4H 所讨论的那样, 可布置硅片 120 的多晶硅层即 Poly-1, Poly-2 和 Poly-3 层以及金属层, 以减小 / 抑制噪声。在 z 轴方向 (图 1), 这些层中的每一层都可由适当的填充材料与其相邻的层隔离, 并采用常规的半导体加工技术制成。

[0035] 图 4A 为根据本发明包含于纳米 LCoS 元件单元 400 内的高压 N 活性区 404 和 P 活性区 402 的俯视图, 元件单元 400 具有四个相邻的纳米 LCoS 元件 401a 至 401d。N 活性区 404 和 P 活性区 402 可以设置在硅衬底上。如图所示, 两条线 406 和 408 限定了四个相邻元件 401a 至 401d, 位于像素区 202(图 2) 下方的像素阵列可以包括多个以矩阵形式的元件单元 400。高压 N 活性区 404 可以是晶体管 306(图 3) 的源极, P 活性区 402 可起到 P-sub 分路器的作用。正如将在后面说明的那样, 高压 N 活性区 404 和 P 活性区 402 可以在 z 轴方向 (图 1) 用连接机构连接到元件 401a 至 401d 的其他层。值得注意的是, 每个 P 活性区 402 可以位于四个相邻元件的交角上方, 而每个 N 活性区 404 可以位于两个相邻元件上方, 如 401b 和 401d 上方。

[0036] 图 4B 为示于图 4A 中的 P 活性层和 N 活性层上形成的 Poly-1 层 (或简称 Poly-1) 302 的俯视图。Poly-1 层 302 可以对应于晶体管 306(图 3) 的栅极, 并起到字线的作用。值得注意的是, 在 P 活性层 /N 活性层与 Poly-1 层 302 之间可淀积填充材料, 但为了简便起见, 衬层未在图 4B 中示出。

[0037] 图 4C 为 Poly-1 层 302 上形成的 Poly-2 层 (或简称为 Poly-2) 的俯视图。如图所示, 当从上方看时, 可确定 Poly-1 层 302 的形状和位置, 以避免与 Poly-2 层 310 的重叠, 从而减少它们之间的串音所导致的电噪声。

[0038] 图 4D 为示于图 4C 中的 Poly-2 层 310 上形成的 Poly-3 层 (或简称为 Poly-3) 312 的俯视图。每层 Poly-3 层 312 可具有孔 410, 以形成用于 Poly-2 层 310 和图 4E 中示出的节点 314 之间的连接的通道 (更明确地来讲, 是图 4E 中的接点 434)。如图 3 所示, Poly-2 层 310 和 Poly-3 层 312 可以形成电容器 308, 其中 Poly-2 层 310 可起到电容存储器节点 (电容器 308 的一个电容器极板) 的作用。

[0039] 图 4E 示出了图 4D 中 Poly-3 层 312 上形成的 Metal-1 层 (或简称为 Metal-1) 413。如图所示, 包含在纳米 LCoS 元件单元 400 中的 Metal-1 层 413 可以包括: 两条位线 304; 接地的位线屏蔽 (bit line shield) 432, 用于屏蔽两条位线 304 之间的串音; 四个节点 314, 将每个节点通过孔 (Vias) 或触点 434 和 436 分别连接到 Poly-2 层 310 和 N 活性区 404; 以及两个接地的节点屏蔽 430, 用于屏蔽位线 304 和节点 314 之间的串音。触点 439 可以将位线屏蔽 432 连接到 P 活性区 402(图 4A), 从而向 P 活性区 402 提供接地。触点或孔 438 可以将位线 304 连接到图 4A 中的 N 活性区 404。

[0040] 如上所述, 每个节点 314 可以包括两个触点 434 和 436, 分别用于连接到 Poly-2 层 310 和 N 活性区 404。当节点 314 与位线 304 接近时, 位线 304 可与节点 314 相互作用而引起噪声。这种噪声可能通过触点 434 传递到 Poly-2 层 310, 从而干扰元件电容器 308(图 3) 的电压水平。每个节点屏蔽 430 可以接地并插在位线 304 和节点 314 之间, 从而抑制位

线 304 和节点 314 之间的耦合或相互作用。值得注意的是，衬层可以淀积在 Poly-3 层和 Metal-1 层之间，但为了简便起见，图 4E 中未示出衬层。

[0041] 图 4F 为图 4E 中的 Metal-1 层 431 上形成的 Metal-2 层 440 的俯视图。Metal-2 层 440 可以阻挡漫射光进入 Metal-2 层 440 以下的各层中。漫射光是入射光 132a(图 1)的一部分，入射光 132a 通过 Metal-3 层(如图 4G 所示)中的间隙进入硅片 120 中。漫射光可以产生电子空穴对，电子空穴对通常会被转变为电噪声。如图 4F 所示，纳米 LCoS 元件单元 400 的大部分被 Metal-2 层 440 覆盖，以使大部分漫射光被阻挡。Metal-2 层 440 可以通过 Via-1446 和 Via-2448 分别连接到 Metal-1 层 431 的位线屏蔽 432 和节点屏蔽 430。Metal-2 层 440 还可以包括节点 442，以容纳将 Metal-1 层 431 的节点 314 连接到 Metal-3 层 316(图 3 和图 4G)的 Via-3444。

[0042] 图 4G 是包括四个形成于图 4F 中 Metal-2 层 440 上的 Metal-3 层(或简称为 Metal-3)316 的金属层 452 的俯视图。每个 Metal-3 层 316 可以与元件单元 400 中的四个纳米 LCoS 元件 401a 至 401d 中的一个对应。每个 Metal-3 层 316 和 ITO 层 110(图 1)之间的电压差可以改变 Metal-3 层 316 上的液晶柱(liquid crystal column)的光学特性，从而形成像素区 202 上产生的图像的像素。每个 Metal-3 层 316 可以包括连接到节点 314(图 3 和图 4E)的 Via-4450。值得注意的是，每个 Metal-3 层 316 与其相邻的 Metal-3 层之间用间隙隔开，该间隙可以提供漫射光进入图 4A-4F 所示的各层中的通道。如前所述，漫射光可以被 Metal-2 层 440(图 4F)阻挡，其中，Metal-2 层 440 可覆盖元件单元 400 的大部分区域，从而阻挡漫射光，否则漫射光将进入 Metal-1 层 413。

[0043] 图 4H 是分别在图 4B、4D 和 4E 中示出的 Poly-1 层 302、Poly-3 层 312 和 Metal-1 层 431 中的位线 304 的俯视图。位线 304 可以在字线 302(或者等效的 Poly-1)的法线方向延伸，以减少它们之间的重叠，从而减小串音噪声。如图 4H 所示，区域 460 示出了位线 304 与字线 302 在 z 轴方向(或者等效地，垂直方向)的重叠部分。可以采用 Poly-3 层 312 来进一步屏蔽重叠区域 460，其中，Poly-3 层 312 可以插在 Poly-1 层(字线)302 和位线 304 之间。

[0044] 当然，应理解，前面所描述的内容涉及本发明的示范性实施例，且在并不脱离由下面的权利要求书所阐述的本发明的精神和范围的情况下，可对本发明进行修改。

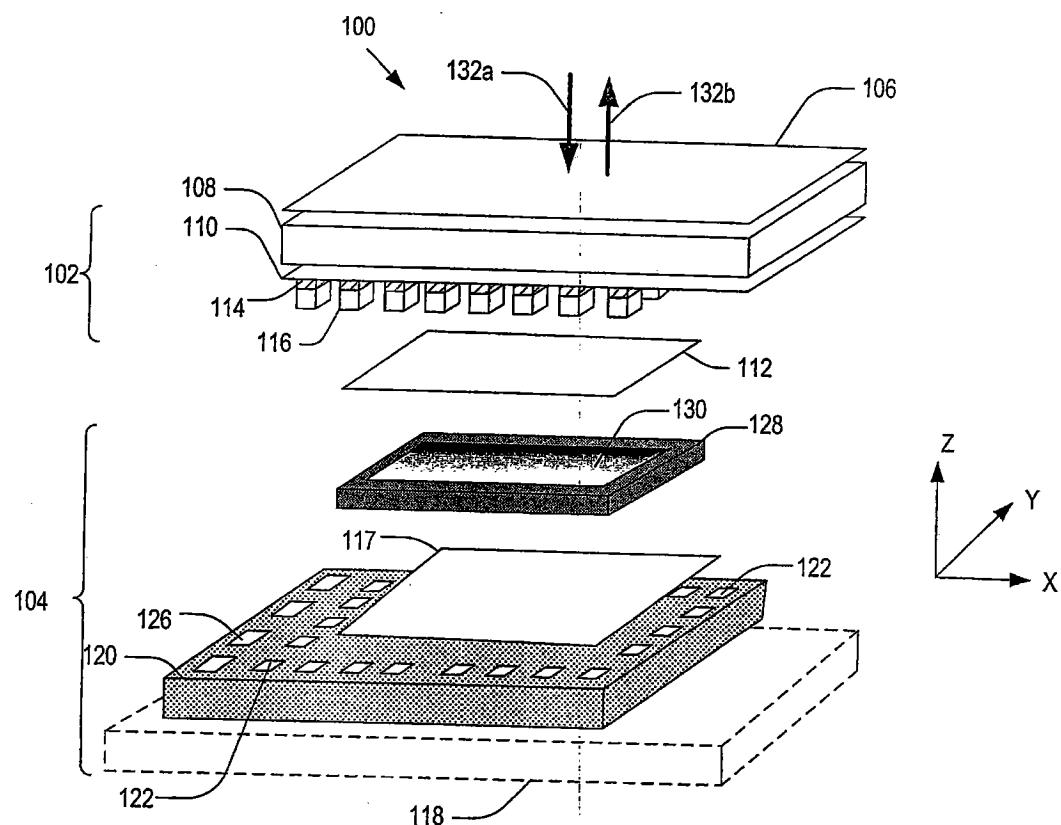


图1

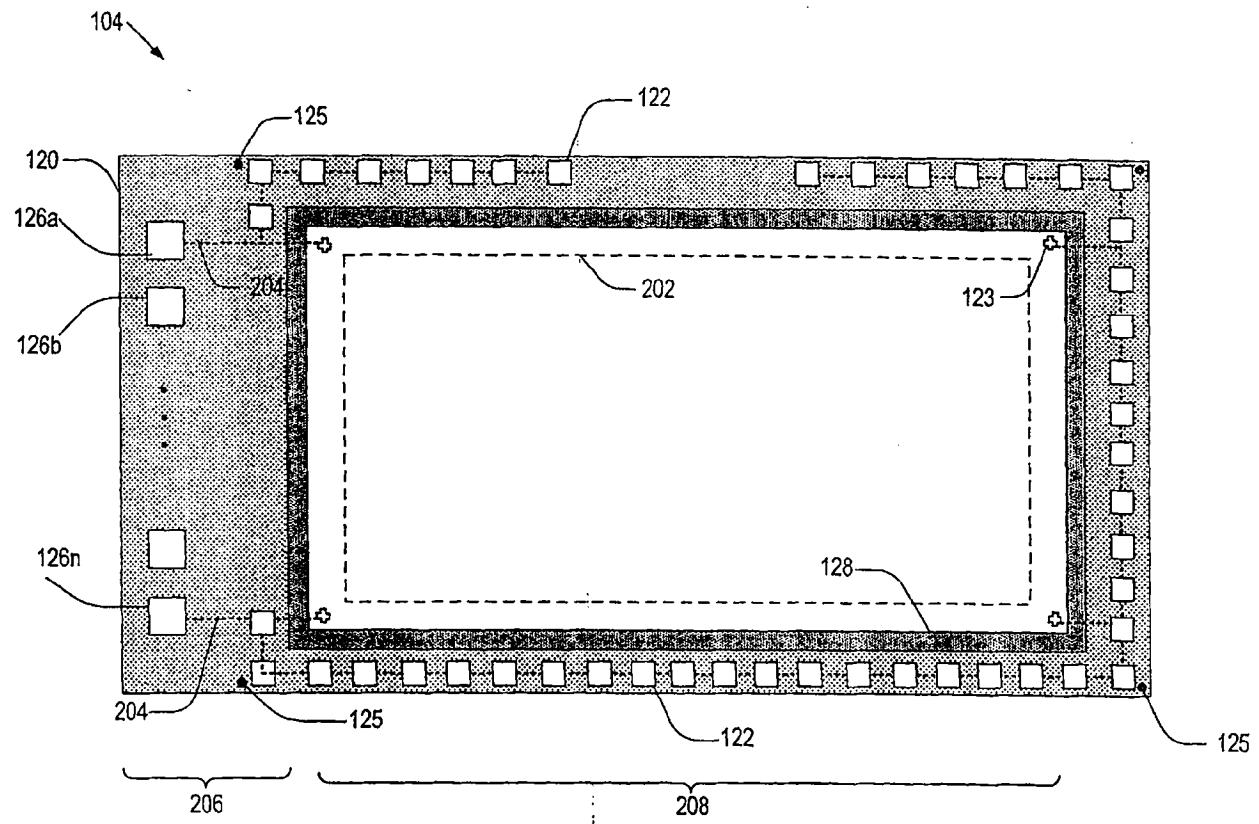


图 2

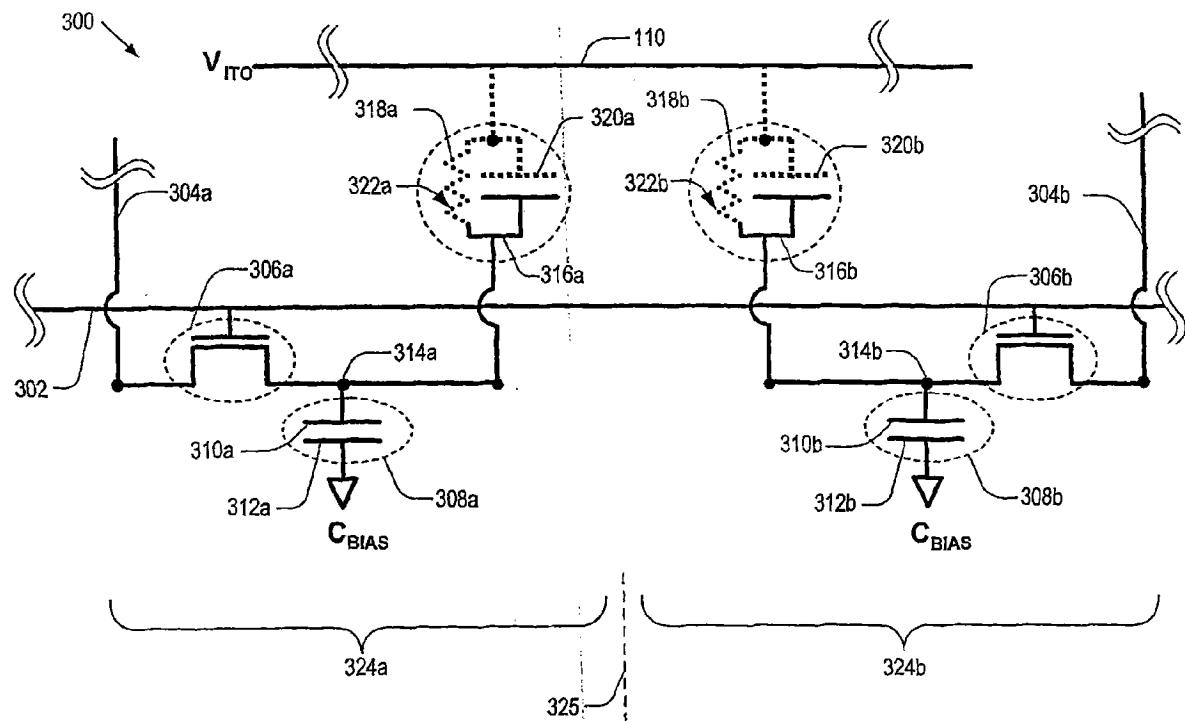


图 3

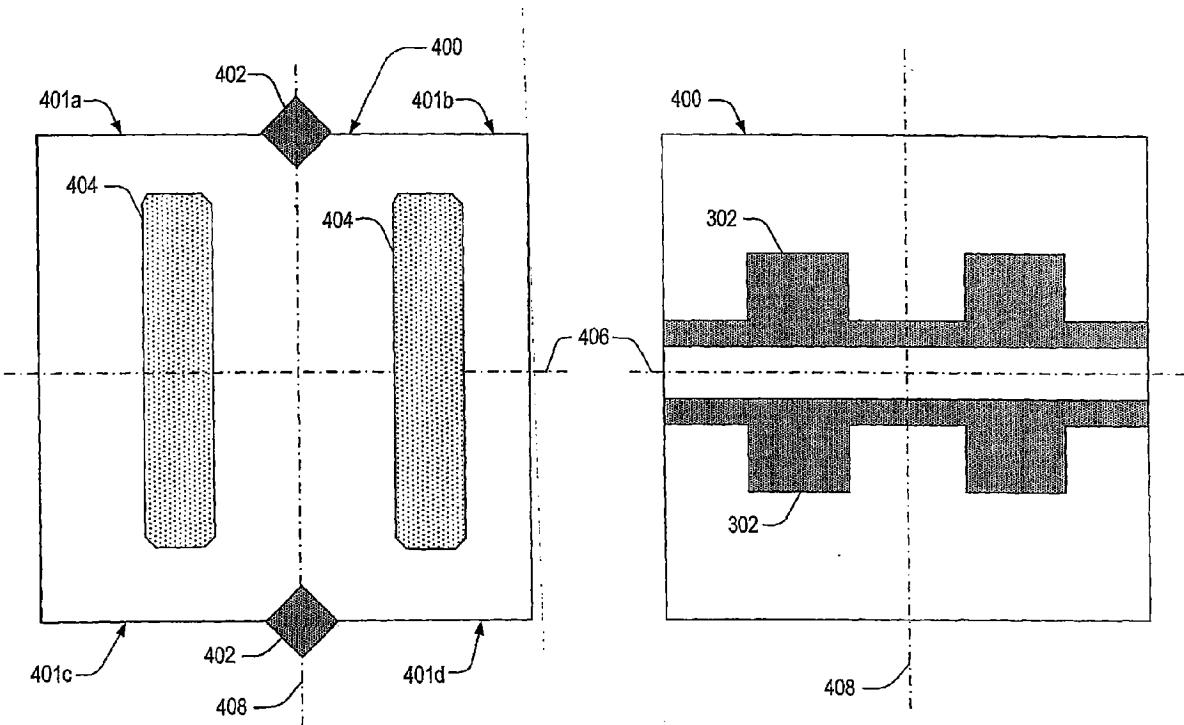


图4A

图4B

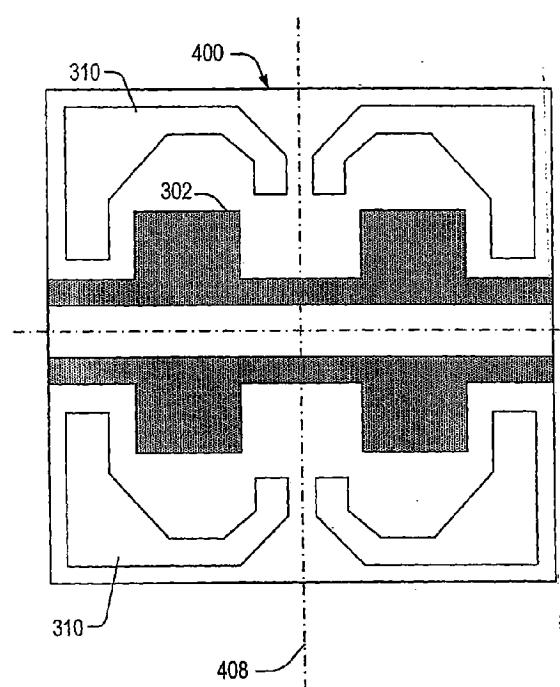


图4C

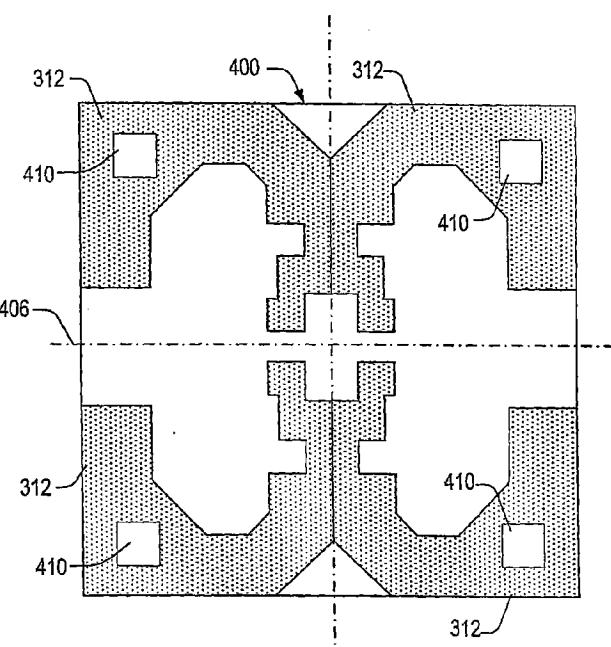


图4D

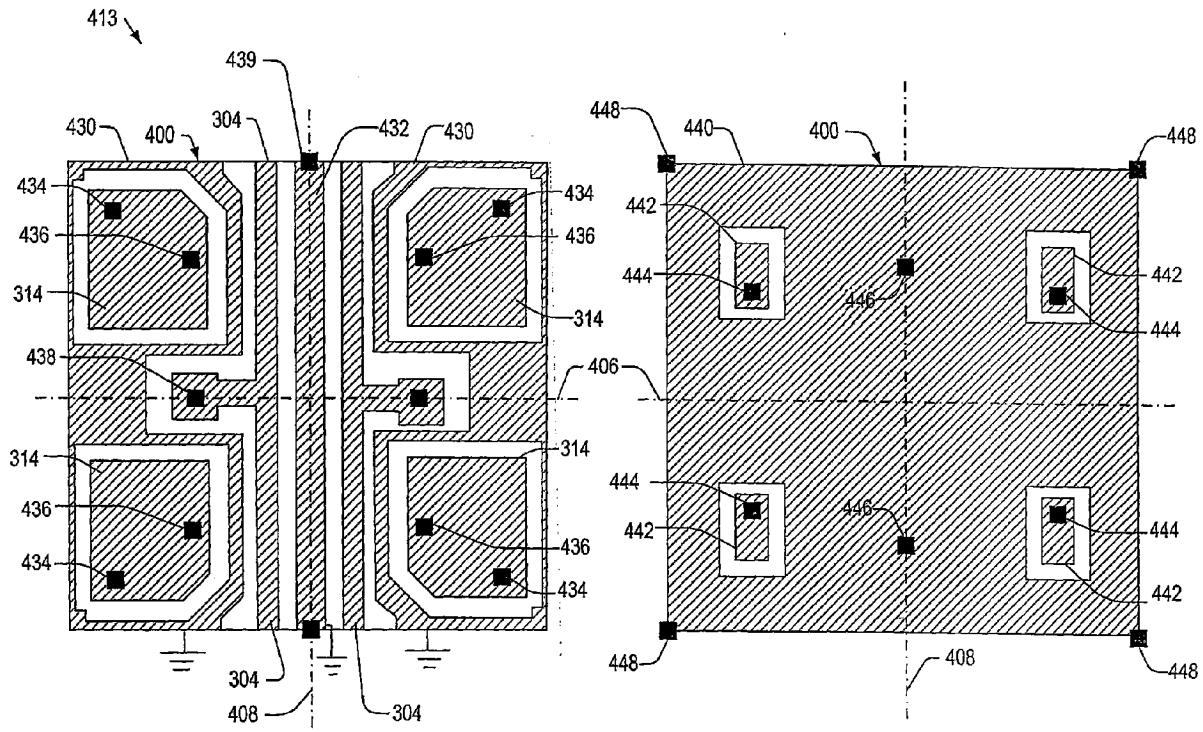


图4E

图4F

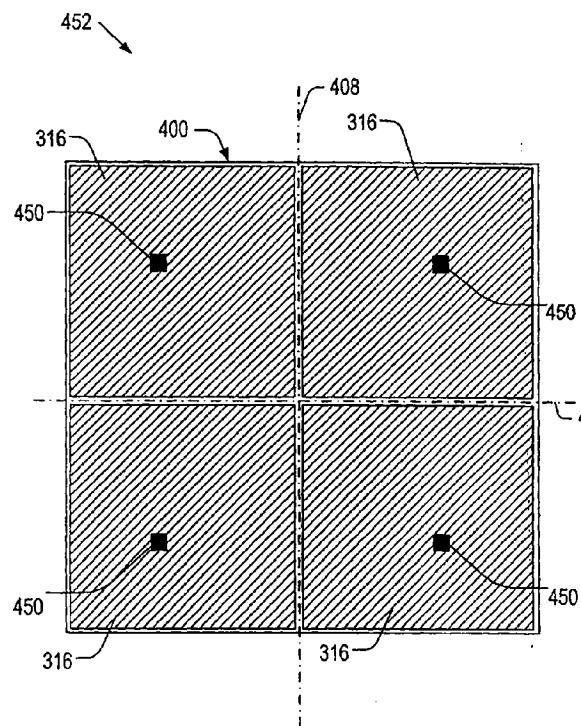


图 4G

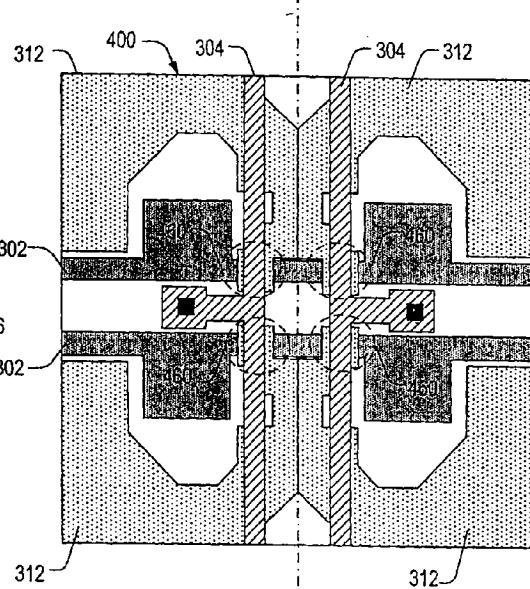


图 4H