

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年9月16日 (16.09.2004)

PCT

(10) 国際公開番号
WO 2004/079821 A1

(51) 国際特許分類7:

H01L 23/12

(21) 国際出願番号:

PCT/JP2003/016856

(22) 国際出願日: 2003年12月26日 (26.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-58245 2003年3月5日 (05.03.2003) JP

(71) 出願人(米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町 22番22号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 山元 誠 (YAMAMOTO,Makoto) [JP/JP]; 〒632-0004 奈良県 天理市 樫本町 2613-1 Nara (JP). 末松 英治 (SUEMATSU,Eiji) [JP/JP]; 〒631-0051 奈良県 奈良市 富雄泉ヶ丘 18-20 Nara (JP).

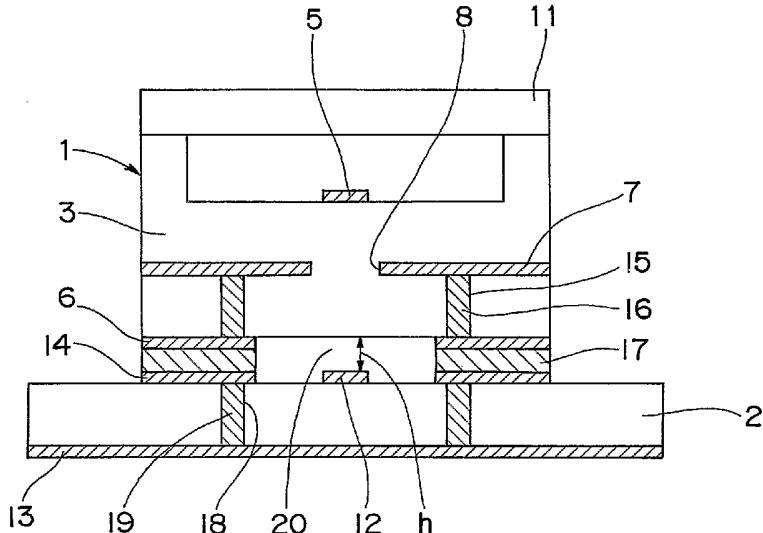
(74) 代理人: 河宮 治, 外 (KAWAMIYA,Osamu et al.); 〒540-0001 大阪府 大阪市 中央区城見 1丁目 3番 7号 IMPビル青山特許事務所 Osaka (JP).

(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI,

/ 続葉有 /

(54) Title: PACKAGING STRUCTURE OF HIGH FREQUENCY SEMICONDUCTOR DEVICE, HIGH FREQUENCY TRANSMITTER AND HIGH FREQUENCY RECEIVER EMPLOYING IT

(54) 発明の名称: 高周波半導体装置の実装構造及びこれを用いた高周波送信装置並びに高周波受信装置



(57) Abstract: In a high frequency semiconductor device (1), a first ground layer (7) on the surface of a dielectric substrate (3) is connected with a first auxiliary ground layer (6) on the back surface of the dielectric substrate (3) through a via hole conductor (16). A second ground layer (13) on the back surface of an outer circuit board (2) is connected with a second auxiliary ground layer (14) on the surface of the outer circuit board (2) through a via hole conductor (19). The first auxiliary ground layer (6) and the second auxiliary ground layer (14) are connected electrically and physically through a conductive adhesive layer (17). Transmission loss of high frequency signal can thereby be reduced and a structure for packaging a high frequency semiconductor device easily is provided along with a high frequency transmitter and a high frequency receiver employing it.

(57) 要約: 高周波半導体装置 1において、誘電体基板 3 の表面の第 1 のグランド層 7 は、ビアホール導電体 16 を介して誘電体基板 3 の裏面の第 1 の補助グランド層 6 に接続されている。外部回路基板 2 の裏面の第 2 のグランド層 13 は、第 2 のビアホール

WO 2004/079821 A1

/ 続葉有 /



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国(広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK,

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

明細書

高周波半導体装置の実装構造及びこれを用いた高周波送信装置並びに高周波受信装置

5

技術分野

本発明は、高周波信号を取り扱う高周波半導体装置の実装構造及びこれを用いた高周波送信装置並びに高周波受信装置に関する。

10

背景技術

15

マイクロ波やミリ波の高周波信号を取り扱う高周波半導体装置の実装構造としては、図13に示すように、半導体素子搭載用パッケージを採用した高周波半導体装置401を外部回路基板402に表面実装したものがある（例えば、郡山、北澤、志野、南上、「ミリ波モジュール用表面実装セラミックパッケージ」、電子情報通信学会、信学技報、ED99-214、1999年11月、VOL. 9 9, NO. 440, p. 35-42参照。）。

20

上記高周波半導体装置401は、誘電体からなる絶縁基板403と、この絶縁基板403に搭載された高周波半導体素子404とを備えている。この高周波半導体素子404は、ワイヤ410により絶縁基板403の表面の第1の信号線路405と電気的に接続されている。そして、上記第1の信号線路405は、絶縁基板403内部のグランド層407に設けられたスロット孔408を介して絶縁基板403の裏面の第3の信号線路429と電磁結合する。また、上記第3の信号線路429が、外部回路基板402の表面の第2の信号線路412と半田等の導電性接着材で接続されている。

25

しかし、図13の高周波半導体装置の実装構造では、とても細い第2、第3の信号線路412、429同士を接着材により接続しなければならぬため、第2の信号線路412と第3の信号線路429とを精度よく接続するのが難しく、第2の信号線路412と第3の信号線路429との接続の再現性が悪いという問題がある。さらに、上記高周波半導体装置401と外部回路基板402との実装部

分での反射により、高周波信号の伝送特性が劣化してしまうという問題がある。

従来、このような問題を解決する高周波半導体装置の実装構造が、特開平10-144818号公報に開示されている。この高周波半導体装置の実装構造では、図14に示すように、高周波半導体装置501を外部回路基板502に実装することによって、第1の信号線路505が、絶縁基板503内部のグランド層507に設けられたスロット孔508を介して第2の信号線路512と直接電磁結合する。このように、上記第1の信号線路505が第2の信号線路512と直接電磁結合するので、実装部分で特性が劣化することがなくなる。

しかしながら、上記構造では、外部電気回路基板502にグランド層がないため、第1の信号線路505から第2の信号線路512へ信号が電磁結合により伝送される際に、第1の信号線路505のグランドと第2のグランドとが一致しなくなる。その結果、上記第1、第2の信号線路505、512の線路端で反射が生じ、高周波信号の伝送損失が大きくなるという問題がある。

また、上記高周波半導体装置501がミリ波を取り扱う場合、波長が短く高周波半導体装置501のサイズと同程度となるため、不要伝送モードが立ちやすく、高周波信号の伝送損失が大きくなってしまうことがある。例えば、特開平10-144818号公報の実装構造においては、外部回路基板502にグランド層を設けても、このグランド層と絶縁基板503のグランド層との間で不要伝送モードである平行平板モードが立ち、高周波信号の伝送損失が大きくなってしまう恐れがある。

発明の開示

そこで、本発明の課題は、高周波信号の伝送損失を低減できて、高周波半導体装置の実装が容易な高周波半導体装置の実装構造及びこれを用いた高周波送信装置並びに高周波受信装置を提供することにある。

上記課題を解決するため、本発明の高周波半導体装置の実装構造は、誘電体基板と上記誘電体基板の表面に搭載された高周波半導体素子とを有する高周波半導体装置と、回路基板とを備え、上記誘電体基板の裏面を上記回路基板の表面に対向させて、上記高周波半導体装置を上記回路基板に実装した高周波半導体装置の

実装構造において、上記誘電体基板の表面に設けられると共に、上記高周波半導体素子に電気的に接続された第1の信号線路と、上記誘電体基板内に少なくとも一部が埋め込まれ、上記第1の信号線路に重なる位置にスロット孔を有する第1のグランド層と、上記誘電体基板の裏面に設けられた第1の補助グランド層と、
5 上記第1の補助グランド層から上記第1のグランド層に達する第1のビアホールと、上記第1のビアホール内を埋める第1のビアホール導電体と、上記回路基板の表面に設けられ、上記第1のグランド層のスロット孔を介して上記第1の信号線路に対向する第2の信号線路と、上記回路基板の表面に設けられ、上記第1の補助グランド層に対向する第2の補助グランド層と、上記回路基板の裏面に設けられた第2のグランド層と、上記回路基板を貫通する第2のビアホールと、上記第2のビアホール内を埋める第2のビアホール導電体と、上記第1の補助グランド層と上記第2の補助グランド層との間に設けられ、上記第1の補助グランド層と上記第2の補助グランド層とを電気的かつ物理的に接続する導電性の接着剤層とを備えたことを特徴としている。

15 上記構成の高周波半導体装置の実装構造によれば、上記高周波半導体装置のグランドである第1のグランド層は、第1のビアホール導電体、第1の補助グランド層、第2の補助グランド層および第2のビアホール導電体を介して回路基板の第2のグランド層と電気的に接続している。これにより、上記第1のグランド層は高周波的に良好なグランド（低グランドインダクタンス）となり、第1の信号線路と第2の信号線路のグランドが一致する。その結果、高周波信号の伝送損失を低減することができる。

20 加えて、上記第1の補助グランド層と第2の補助グランド層とを導電性の接着剤層で電気的かつ物理的に接続するので、第1、第2の補助グランド層の表面積を第1、第2の信号線路の表面積よりも大きくして、高周波半導体装置を回路基板に容易に実装することができる。

25 また、上記第1の補助グランド層と第2の補助グランド層とを物理的に接続するので、高周波半導体装置と回路基板との十分な接続強度を得ることができる。

さらには、上記第1、第2の補助グランド層の表面積を第1、第2の信号線路の表面積よりも大きくすることにより、細い信号線路同士を接続する際に生じる

接着材の形状等を問題にする必要が無くなる。したがって、再現性・量産性に優れた実装構造を実現することが可能となる。

一実施形態の高周波半導体装置の実装構造は、上記誘電体基板の表面に形成されたキャビティ内に、上記高周波半導体素子の少なくとも一部が入っている。

上記実施形態の高周波半導体装置の実装構造によれば、上記誘電体基板の表面に形成されたキャビティ内に、高周波半導体素子の少なくとも一部が入っているので、誘電体基板内の第1のグランド層をキャビティから露出させることにより、高周波半導体素子を第1のグランド層に直接接触させることができる。その結果、上記高周波半導体素子からみて低グランドインダクタンスを実現できる。

一実施形態の高周波半導体装置の実装構造は、上記第1のビアホールは複数あって、上記複数の第1のビアホールのうちの隣り合うもの同士の間隔は $0 \mu\text{m}$ 以上 $\lambda g_1 / 4$ (λg_1 : 上記誘電体基板中における信号の波長) 以下に設定されている。

上記実施形態の高周波半導体装置の実装構造によれば、上記複数の第1のビアホール15のうちの隣り合うもの同士の間隔を $\lambda g_1 / 4$ 以下にしているので、 λg_1 以上の波長の信号にとって金属の壁があるのと同じであり、電磁波を第1のビアホールで遮蔽することができる。したがって、上記複数の第1のビアホールで不要伝送モードを抑えることができる。

また、上記間隔は $0 \mu\text{m}$ 以上であればよい。もっとも、上記間隔が $50 \mu\text{m}$ 以上であれば、誘電体基板の十分な機械的強度が得られる。

一実施形態の高周波半導体装置の実装構造は、上記第2のビアホールは複数あって、上記複数の第2のビアホールのうちの隣り合うもの同士の間隔は $0 \mu\text{m}$ 以上 $\lambda g_2 / 4$ (λg_2 : 上記回路基板中における信号の波長) 以下に設定されている。

上記実施形態の高周波半導体装置の実装構造によれば、上記複数の第2のビアホール15のうちの隣り合うもの同士の間隔を $\lambda g_2 / 4$ 以下にしているので、 λg_2 以上の波長の信号にとって金属の壁があるのと同じであり、電磁波を第2のビアホールで遮蔽することができる。したがって、上記複数の第2のビアホールで不要伝送モードを抑えることができる。

また、上記間隔は $0 \mu\text{m}$ 以上であればよい。もっとも、上記間隔が $50 \mu\text{m}$ 以上であれば、誘電体基板の十分な機械的強度が得られる。

一実施形態の高周波半導体装置の実装構造は、上記誘電体基板と上記第2の信号線路との間には、厚さ $5 \mu\text{m}$ 以上 $200 \mu\text{m}$ 以下の空気層が介在している。

5 上記実施形態の高周波半導体装置の実装構造によれば、上記誘電体基板と第2の信号線路との間に、厚さ $5 \mu\text{m}$ 以上 $200 \mu\text{m}$ 以下の空気層を設けているので、入出力のインピーダンス整合を取ることができる。

一実施形態の高周波半導体装置の実装構造は、上記接着剤層は、圧縮部分にのみ導電性を有する誘電体を含む。

10 上記実施形態の高周波半導体装置の実装構造によれば、上記接着剤層は圧縮部分にのみ導電性を有する誘電体を含むので、第1の補助グランド層と第2の補助グランド層との間の接着剤層を圧縮することにより、第1の補助グランド層に対して第2の補助グランド層のみを電気的に接続することができる。したがって、上記第1、第2の補助グランド層の大きさや形状を気にすることなく、容易に実装を行うことができる。

一実施形態の高周波半導体装置の実装構造は、上記第1のビアホールは、上記高周波半導体素子に重なるように配置されている。

上記実施形態の高周波半導体装置の実装構造によれば、上記第1のビアホールを高周波半導体素子に重なるように複数配置されているので、高周波半導体素子の熱が第1のビアホール導電体を介して外部に効率よく放出される。したがって、上記高周波半導体素子を良好に動作させることができる。

また、上記第1のビアホールを高周波半導体素子に重なるように複数配置されているので、第1のグランド層がより低グランドインダクタンスとなる。

一実施形態の高周波半導体装置の実装構造は、上記第2の信号線路は、入力部と、この入力部に対して所定の間隔をあけて設けられた出力部とから成り、

上記第1、第2のビアホールは、上記入力部と上記出力部との間の領域に重なるように複数配置されている。

上記実施形態の高周波半導体装置の実装構造によれば、上記第1、第2のビアホールを入力部と出力部との間の領域に重なるように複数配置しているので、第

1, 第2のビアホールのそれぞれを所定の間隔で配置することにより、その領域の上下に金属の壁があるようにすることができる。したがって、入出力間の不要伝送モードを抑えることができる。

一実施形態の高周波半導体装置の実装構造は、上記回路基板の裏面にアンテナが設けられている。
5

上記実施形態の高周波半導体装置の実装構造によれば、上記回路基板の裏面にアンテナを設けているので、アンテナ一体化の高周波回路の小型化が可能となる。

また、本発明の高周波送信装置は、上記高周波半導体装置の実装構造をフロン
トエンド部に用いたことを特徴としている。

10 上記構成の高周波送信装置によれば、上記高周波半導体装置の実装構造をフロ
ントエンド部に用いているので、フロントエンド部を低コストで再現性よく製造
することができる。

また、本発明の高周波受信装置は、上記高周波半導体装置の実装構造をフロン
トエンド部に用いたことを特徴としている。

15 上記構成の高周波受信装置によれば、上記高周波半導体装置の実装構造をフロ
ントエンド部に用いているので、フロントエンド部を低コストで再現性よく製造
することができる。

図面の簡単な説明

20 図1は本発明の実施の形態1の高周波半導体装置の実装構造の概略端面図であ
る。

図2は図1のII-II線矢視概略断面図である。

図3は上記実施の形態1の誘電体基板の概略下面図である。

図4は上記実施の形態1の外部回路基板の概略上面図である。

25 図5は上記ミリ波半導体装置の誘電体基板の概略横断面図である。

図6は電磁結合部分の伝送特性(S21)と反射特性(S11)とを測定評価
した結果を示すグラフである。

図7は本発明の実施の形態2の高周波半導体装置の実装構造の概略端面図であ
る。

図 8 は本発明の実施の形態 3 の高周波半導体装置の実装構造の概略端面図である。

図 9 は上記実施の形態 3 の誘電体基板の概略下面図である。

図 10 は上記実施の形態 3 の外部回路基板の概略上面図である。

5 図 11 は本発明の実施の形態 4 の高周波半導体装置の実装構造の概略端面図である。

図 12 は送受信装置の概略構成図である。

図 13 は従来の高周波半導体装置の実装構造の概略端面図である。

図 14 は他の従来の高周波半導体装置の実装構造の概略端面図である。

10

発明を実施するための最良の形態

以下、本発明の高周波半導体装置の実装構造およびそれを用いた高周波送受信装置を図示の実施の形態により詳細に説明する。

(実施の形態 1)

15

図 1 に、本発明の実施の形態 1 の高周波半導体装置の実装構造の概略端面図を示す。

上記高周波半導体装置の実装構造では、高周波半導体装置の一例としてのミリ波半導体装置 1 を回路基板の一例としての外部回路基板 2 に実装している。

20

上記ミリ波半導体装置 1 は、外部回路基板 2 の表面に裏面が対向する誘電体基板 3 と、この誘電体基板 3 の表面に搭載された高周波半導体素子の一例としての MM I C (モノリシックマイクロ波集積回路) 4 とを備えている。上記誘電体基板 3 の表面には第 1 の信号線路 5 を設けていて、この第 1 の信号線路 5 と MM I C 4 とがワイヤ 10 により電気的に接続されている。また、上記誘電体基板 3 の表面には、MM I C 4 を収容するキャビティ 9 を形成している。そして、上記 MM I C 4 は電波吸収体から成る蓋体 11 により封止されている。また、上記キャビティ 9 からは第 1 のグランド層 7 の一部が露出して MM I C 4 の底面と接触している。この第 1 のグランド層 7 の残りの部分は誘電体基板 3 内に埋め込まれている。そして、上記グランド層 7 は、第 1 の信号線路 5 と重なる位置にスロット孔 8 を有している。

上記外部回路基板2の表面には、第1のグランド層7のスロット孔8を介して第1の信号線路5に対向する第2の信号線路12を設ける一方、外部回路基板2の裏面には第2のグランド層13を設けている。その第2の信号線路12は、入力部12aと、この入力部12aに対して所定の間隔をあけて設けられた出力部12bとから成っている。

5 図2に、図1のII-II線から見た概略断面図を示す。

上記誘電体基板3の裏面には第1の補助グランド層6を設けている。また、上記誘電体基板3の裏面側の部分には、第1の補助グランド層6から第1のグランド層7に達する第1のビアホール15を複数形成している。そして、各第1のビアホール15内には第1のビアホール導電体16を埋めている。上記第1のビアホール導電体16により、第1のグランド層7と第1の補助グランド層6とが電気的に接続されている。

10 上記外部回路基板2の表面には、第1の補助グランド層6に対向する第2の補助グランド層14を設けている。この第2の補助グランド層14と第1の補助グランド層6とは導電性の接着剤層17で電気的かつ物理的に接続されている。また、上記外部回路基板2において、表面から裏面に達する第2のビアホール18を複数形成している。つまり、上記複数の第2のビアホール18が外部回路基板2を貫通している。そして、各第2のビアホール18内には第2のビアホール導電体19を埋めている。上記第2のビアホール導電体19により、第2の補助グランド層14と第2のグランド層13とが電気的に接続されている。

15 また、上記第1の信号線路5と第2の信号線路12とは、第1のグランド層7のスロット孔8を介して電磁気的に接続するようになっている。そして、上記誘電体基板3と第2の信号線路12との間には空気層20のみが介在している。また、上記外部回路基板2と誘電体基板3との間には、第1の補助グランド層6、第2の信号線路12、第2の補助グランド層14および接着剤層17を設けていない領域が存在する。

20 また、図3に示すように、上記ミリ波半導体装置1の底面（誘電体基板3の裏面）には、第1の補助グランド層6の他に電源端子21も設けている。そして、上記複数の第1のビアホール15のうち最も近い距離で隣り合うもの同士の間隔

S₁は、0 μm以上λ g₁/4（λ g₁：誘電体基板3中における信号の周波数）以下に設定されている。なお、W₁は例えば800 μmに設定している。

また、図4に示すように、上記外部回路基板2の表面には、第2の信号線路12、第2の補助グランド層14の他に、マイクロストリップ線路より成る電源用線路22も設けている。また、上記第2の信号線路12および第2の補助グランド層14もマイクロストリップ線路より成っていて、第2の信号線路12の表面積よりも第2の補助グランド層14の表面積のほうが広くなっている。そして、上記複数の第2のビアホール18のうち最も近い距離で隣り合うもの同士の間隔S₂は、0 μm以上λ g₂/4（λ g₂：外部回路基板2中における信号の周波数）以下に設定されている。なお、W₂は例えば800 μmに設定している。

また、上記第1の補助グランド層6が第2の補助グランド層14に、電源端子21が電源用線路22にそれぞれ半田等の接着材により接続されることにより、ミリ波半導体装置1は外部回路基板2上に実装されている。

また、図5に示すように、上記誘電体基板3の表面には、第1の信号線路5の他にMMIC4の電源用線路23も設けている。この電源用線路23と、図3に示す電源端子21とは第3のビアホール24で接続されている。この第3のビアホール24内を第3のビアホール導電体25で埋めていることにより、電源用線路23と電源端子21とが電気的に接続されている。

上記構成の実装構造によれば、ミリ波半導体装置1内部のグランドである第1のグランド層7は、複数のビアホール導電体16等を介して外部回路基板2の裏面の第2のグランド層13と電気的に接続されているので、高周波的にも良好なグランド（低グランドインダクタンス）となり、第1の信号線路5から第2の信号線路12へ信号が伝送される際にグランド変換が良好に行われる。

また、上記外部回路基板2とミリ波半導体装置1の第1のグランド層7とを電気的・物理的に接続し、信号線路は物理的な接続不要で、第1の信号線路5は直接外部回路基板2のマイクロストリップ線路から成る第2の信号線路12に電磁結合されるため、外部回路基板2から低損失でミリ波信号を取り出すことが可能となる。

また、上記ミリ波半導体装置1はキャビティ構造であるので、MMIC4のグ

ランド面とミリ波半導体装置1の第1グランド層6とが一致し、MMIC4からみて低グランドインダクタンスを実現できる。

また、上記蓋体11が電波吸収体で形成されているため、不要発振が起こらず、安定した高周波特性を得ることができる。

5 また、図3及び図4に示すように、上記複数の第1、第2のビアホール15、
18を覆うように、第1、第2の補助グランド層6、14を表面積の大きなパターン
にしてるので、第1の補助グランド層6と第2の補助グランド層14との接続
において細かい位置合わせを必要としない。したがって、上記第1の補助グ
ランド層6と第2の補助グランド層14とを容易に接続できる。

10 また、上記第1の補助グランド層6と第2の補助グランド層14とを接着剤層
17で物理的に接続するため、接続強度を確保できる。

さらには、上記第1の補助グランド層6と第2の補助グランド層14との接続
は、表面積の大きなパターン同士の接続なので、細い信号線路同士を接続する際
に生じる接着材層の形状等による特性劣化がない。その結果、再現性・量産性に
15 優れたミリ波実装構造を実現することができる。

また、上記複数の第1のビアホール15のうち最も近い距離で隣り合うもの同
士の間隔S₁を $\lambda g_1 / 4$ 以下にしているので、 λg_1 以上の波長の信号にとっては
金属の壁があるのと同じであり、第1のビアホール15によって電磁波を遮蔽す
ることができる。したがって、上記複数の第1のビアホール15で不要伝送モー
ドを抑えることができる。その上、上記複数の第2のビアホール18のうち最
20 も近い距離で隣り合うもの同士の間隔S₂を $\lambda g_2 / 4$ 以下にしているので、複数の
第2のビアホール18によっても電磁波を遮蔽することができて、不要伝送モー
ドをより抑えることができる。

また、上記複数の第1のビアホール15のうち最も近い距離で隣り合うもの同
士の間隔S₁を $\lambda g_1 / 4$ 以下にし、上記複数の第2のビアホール18のうち最
25 も近い距離で隣り合うもの同士の間隔S₂を $\lambda g_2 / 4$ 以下にしているので、上記第
1のグランド層7・上記第2のグランド層13・上記複数の第1のビアホール1
5・上記複数の第2のビアホール18で擬似導波管が形成される。したがって、
上記第1のビアホール15の間隔W₁および上記第2のビアホール18の間隔W₂

と、 $\lambda_g / 2$ (λ_g は上記誘電体基板 3 を形成する誘電体・上記空気層 20・上記外部回路基板 2 を形成する誘電体とで構成される上記擬似導波管内部の実効誘電率と同じ誘電率を持つ材料内での信号の波長) とが等しくなる周波数はカットオフ周波数となり、不要な導波管モードも抑えることが可能となる。つまり、カットオフ周波数以下の信号は擬似導波管内部にはマイクロストリップの伝搬モード以外で存在することができないため、不要伝送モードを抑制することができる。

また、上記第 1 のビアホール 15 の間隔 S_1 を $50 \mu m$ 以上に設定すれば、誘電体基板 3 の機械的強度の低下を阻止できる。

また、上記第 2 のビアホール 18 の間隔 S_2 を $50 \mu m$ 以上に設定すれば、外部回路基板 2 の機械的強度の低下を阻止できる。

また、上記ミリ波半導体装置 1 を外部回路基板 2 に例えば半田で実装する場合、半田ペーストの塗布量を制御することにより、空気層 20 の厚さを制御することが可能となる。

図 6 に、上記空気層 20 の厚さ h を変えて、電磁結合部分の伝送特性 (S 2 1) と反射特性 (S 1 1) とを測定評価した結果の一例を示す。なお、上記測定評価において、誘電体基板 3 は誘電率 8.7 のアルミナセラミック、外部回路基板 2 は誘電率 5.7 のガラスセラミック、スロット孔 8 の寸法は $900 \mu m \times 200 \mu m$ 、第 1 の信号線路 5 は幅 $160 \mu m$ 、第 1 の信号線路 5 の一端からスロット孔 8 の中心線までの距離 (図 1 の L 1 で示す距離) が $100 \mu m$ 、第 2 の信号線路 12 は幅 $180 \mu m$ 、第 2 の信号線路 12 の一端からスロット孔 8 の中心線までの距離 (図 1 の L 2 で示す距離) が $500 \mu m$ 、誘電体基板 3 の厚さは $300 \mu m$ 、第 1 のグランド層 7 は第 1 の信号線路 5 と第 1 の補助グランド層 6 との間のちょうど中間に位置し、外部回路基板 2 の厚さは $150 \mu m$ である。また、上記測定評価では、接着剤層 17 として半田を用いている。

図 6 から判るように、上記空気層 20 の厚さ h を $50 \mu m$ とした場合に最もリターンロスが大きく、入出力のインピーダンス整合がよくとれている。このように、上記空気層 20 の厚さ h を調節することにより、入出力のインピーダンス整合を取ることが可能となる。

上記空気層 20 の厚さは、入出力のインピーダンス整合を取るために、 $5 \mu m$

以上 $200\mu m$ 以下に設定するのが望ましい。

また、上記接着材層の厚さは $5\mu m$ 以上 $200\mu m$ 以下に設定するのが望ましい。

また、図1に示すように、上記誘電体基板3に蓋体11を載せるための側壁を設ける場合は、スロット孔8を介した電磁結合を妨げないように、スロット孔8からの距離Dを $\lambda g_1 / 4$ 以上とするのが望ましい。
5

上記実施の形態1では、第1の信号線路5とMMIC4とをワイヤ10により電気的に接続していたが、例えばリボンやTAB (Tape Automated Bonding) 等により電気的に接続してもよい。

10 (実施の形態2)

図7に、本発明の実施の形態2の高周波半導体装置の実装構造の概略端面図を示す。なお、図7において、図1に示した構成部と同一構成部は、図1における構成部と同一参照番号を付して説明を省略する。

上記高周波半導体装置の実装構造では、ミリ波半導体装置1を外部回路基板2に実装するための接着剤層の一例として、垂直方向の圧縮部分にのみ導電性を有するACF (Anisotropic Conductive Film: 異方性導電フィルム) 等の誘電体を含む接着材層117を用いている。ここで、誘電体基板3と第2の信号線路12との間には、接着剤層117のみが介在している。
15

例えば、ACFを含む接着剤層117を用いた場合、ミリ波半導体装置1の底面と同じ程度の大きさのフィルムを貼り付けて実装すればよく、第1の補助グラント層6及び第2の補助グラント層14の大きさや形状を気にする必要が無く、容易に実装することができる。
20

(実施の形態3)

図8に、本発明の実施の形態2の高周波半導体装置の実装構造の概略端面図を示す。なお、図7において、図1に示した構成部と同一構成部は、図1における構成部と同一参照番号を付して説明を省略する。
25

上記高周波半導体装置の実装構造では、入力部12aと出力部12bとの間に、第2の補助グラント層214の一部が介在している。この第2の補助グラント層214と対向するように、第1の補助グラント層206を誘電体基板203の裏

面に設けている。上記第1の補助グランド層206と第2の補助グランド層214とは、導電性の接着剤層217で電気的かつ物理的に接続されている。また、上記第2の補助グランド層214において入力部12aと出力部12bとの間に介在する一部は、第2のビアホール218内の第2のビアホール導電体219で第2のグランド層13に電気的に接続されている。その一部に対向する第1の補助グランド層206の一部は、第1のビアホール215内の第1のビアホール導電体216で第1のグランド層7に電気的に接続されている。

上記第1の補助グランド層206は、図9に示すようなパターンを有している。つまり、上記第1の補助グランド層206は、誘電体基板203の裏面の図中上側に設けられた一端部206aと、誘電体基板203の裏面の図中下側に設けられた他端部206bと、その一端部206aと他端部206bとを連結する連結部206cとから成っている。上記一端部206a、他端部206bおよび連結部206cは、それぞれ、 $0 \mu\text{m}$ 以上 $\lambda_{g_1}/4$ (λ_{g_1} : 誘電体基板203中における信号の周波数) 以下の間隔で配置された第1のビアホール215と接続している。

上記第2の補助グランド層214は、図10に示すようなパターンを有している。つまり、上記第2の補助グランド層214は、回路基板の一例としての外部回路基板202の裏面の図中上側に設けられた一端部214aと、外部回路基板202の裏面の図中下側に設けられた他端部214bと、その一端部214aと他端部214bとを連結する連結部214cとから成っている。この連結部214cが入力部12aと出力部12bとの間に位置している。そして、上記一端部214a、他端部214bおよび連結部214cは、それぞれ、 $0 \mu\text{m}$ 以上 $\lambda_{g_2}/4$ (λ_{g_2} : 外部回路基板202中における信号の周波数) 以下の間隔で配置された第2のビアホール218と接続している。

上記構成の実装構造によれば、入力部12aと出力部12bとの間の領域の上下において第1、第2のビアホール導電体216、219が存在するので、その領域に金属の壁があるのと同じ状態になり、入出力間で不要伝送モードが抑えられ、純粋な信号の伝送が可能となる。

また、上記MM I C 4が接触する第1のグランド層7の部分にも第1のビアホ

ール 215 が接続しているので、第 1 のビアホール 215 内の第 1 のビアホール導電体 216 を介して MMIC4 の熱が外部へ拡散し易くなる。その結果、上記 MMIC4 を良好に動作させることができる。

上記実施の形態 3 では、第 1 の補助グランド層 206において、一端部 206a, 他端部 206b と連結部 206c とは連結されていたが、一端部 206a, 他端部 206b と連結部 206cとの間に所定の隙間があつてもよい。すなわち、本発明の第 1 の補助グランド層は、所定の間隔をあけて形成された異なる複数のパターンから成ってもよい。

また、上記第 2 の補助グランド層 214において、一端部 214a, 他端部 214b と連結部 214c とは連結されていたが、一端部 214a, 他端部 214b と連結部 214cとの間に所定の隙間があつてもよい。すなわち、本発明の第 2 の補助グランド層は、所定の間隔をあけて形成された異なる複数のパターンから成ってもよい。

(実施の形態 4)

図 11 に、本発明の実施の形態 4 の高周波半導体装置の実装構造の概略端面図を示す。なお、図 11において、図 1 に示した構成部と同一構成部は、図 1 における構成部と同一参照番号を付して説明を省略する。

上記高周波半導体装置の実装構造では、ミリ波半導体装置 1 を回路基板の一例としての外部回路基板 302 に実装している。この外部回路基板 302 の裏面には、アンテナの一例としてのマイクロストリップパッチアンテナ 326 と、このマイクロストリップパッチアンテナ 326 に接続された給電線路 327 とを設けている。一方、上記外部回路基板 302 の表面には、入力部と出力部とから成る第 2 の信号線路 312 を設けている。また、上記外部回路基板 302 内には、スロット孔 328 を有する第 2 のグランド層 313 が埋め込まれている。

上記実装構造によれば、上記第 2 の信号線路 312 の入力部、出力部のうちの一方が、第 2 のグランド層 313 のスロット孔 328 を介して給電線路 327 と電磁結合する。これにより、上記マイクロストリップパッチアンテナ 326 に給電することができる。

また、上記マイクロストリップパッチアンテナ 326 が外部回路基板 302 の

裏面にあるので、アンテナ一体化の高周波回路の小型化が可能となる。

また、本発明の高周波半導体装置の実装構造を用いているので、信号損失が少なく、再現性・量産性に優れる。

(実施の形態 5)

5 図 12 に、本発明の高周波半導体装置の実装構造を用いた送受信装置の概略構成図を示す。

上記送受信装置は、高周波送信装置の一例としての送信装置 60 と、高周波受信装置の一例としての受信装置 70 とを備えている。

まず、上記送信装置 60 から説明する。上記送信装置 60において、入力端子 61 に入力されたデータ信号は、変調器 62 で変調された後、中間周波数信号としてフロントエンド部 80 に送出され、まずミキサ 63 に入力される。このミキサ 63 には、局部発振器 69 が発生する局部発振信号も入力される。この局部発振器 69 は、PLL (Phase Locked Loop) 発振器 67 と周波数遅倍器 68 を備えている。上記PLL 発振器 67 が発振する信号は、周波数遅倍器 68 によって周波数が遅倍された後、局部発振信号としてミキサ 63 に入力される。上記ミキサ 63 では局部発振信号と中間周波数信号とを混合することにより RF (無線周波) 信号を作成して次段の BPF (バンドパスフィルタ) 64 に出力する。そのRF 信号は、BPF 64 によって不要成分が除去され且つ増幅器 65 により電力増幅されたのちアンテナ 66 を介して送信される。

20 次に、上記受信装置 70 について説明する。上記受信装置 70 において、フロントエンド部 90 のアンテナ 76 から入力された受信信号は、増幅器 75 によって増幅された後、BPF 74 によって不要成分が除去された所望波信号のみとなってミキサ 73 に入力される。また、上記ミキサ 73 には局部発振器 79 が発生する局部発振信号も入力される。この局部発振器 79 は、PLL 発振器 77 と周波数遅倍器 78 を備えている。上記PLL 発振器 77 が発振する信号は、周波数遅倍器 78 によって周波数が遅倍された後、局部発振信号としてミキサ 73 に入力される。上記ミキサ 73 では局部発振信号と所望波信号とを混合することにより 中間周波数信号を作成して復調器 72 へ入力する。その中間周波数信号は、復調器 72 で復調されてデータ信号に戻されて出力端子 71 から出力される。

上記フロントエンド部 80, 90 には、本発明の一例としてのミリ波半導体装置の実装構造を用いており、少なくとも 1 つの MMIC をミリ波半導体装置に搭載し、裏面にマイクロストリップパッチアンテナを有した外部回路基板にミリ波半導体装置を実装して成る。

5 上記フロントエンド部 80, 90 は、細い信号線路同士を接続する必要が無く、細かい位置合わせを必要としない本発明のミリ波半導体装置の実装構造を用いているので、低コストで再現性に優れている。

本発明は上記実施の形態 1 ~ 5 に限定される訳ではなく、マイクロ波を取り扱うマイクロ波半導体装置の実装構造にも用いることができる。

10 また、本発明の第 1 のグランド層は、全部が誘電体基板内に埋め込まれてもよい。

請求の範囲

1. 誘電体基板（3，203）と上記誘電体基板（3，203）の表面に搭載された高周波半導体素子（4）とを有する高周波半導体装置（1）と、回路基板（2，202，302）とを備え、上記誘電体基板（3，203）の裏面を上記回路基板（2，202，302）の表面に対向させて、上記高周波半導体装置（1）を上記回路基板（2，202，302）に実装した高周波半導体装置の実装構造において、

上記誘電体基板（3，203）の表面に設けられると共に、上記高周波半導体素子（4）に電気的に接続された第1の信号線路（5）と、

上記誘電体基板（3，203）内に少なくとも一部が埋め込まれ、上記第1の信号線路（5）に重なる位置にスロット孔（8）を有する第1のグランド層（7）と、

上記誘電体基板（3，203）の裏面に設けられた第1の補助グランド層（6，206）と、

上記第1の補助グランド層（6，206）から上記第1のグランド層（7）に達する第1のビアホール（15，215）と、

上記第1のビアホール（15，215）内を埋める第1のビアホール導電体（16，216）と、

上記回路基板（2，202，302）の表面に設けられ、上記第1のグランド層（7）のスロット孔（8）を介して上記第1の信号線路（5）に対向する第2の信号線路（12，312）と、

上記回路基板（2，202，302）の表面に設けられ、上記第1の補助グランド層（6，206）に対向する第2の補助グランド層（14，214）と、

上記回路基板（2，202，302）の裏面に設けられた第2のグランド層（13，313）と、

上記回路基板（2，202，302）を貫通する第2のビアホール（18，218）と、

上記第2のビアホール（18，218）内を埋める第2のビアホール導電体

(19, 219) と、

上記第1の補助グランド層 (6, 206) と上記第2の補助グランド層 (14, 214)との間に設けられ、上記第1の補助グランド層 (6, 206) と上記第2の補助グランド層 (14, 214) とを電気的かつ物理的に接続する導電性の接着剤層 (17, 117, 217) と
5 接着剤層 (17, 117, 217) と

を備えたことを特徴とする高周波半導体装置の実装構造。

2. 請求項1に記載の高周波半導体装置の実装構造において、

上記誘電体基板 (3, 203) の表面に形成されたキャビティ内に、上記高周波半導体素子 (4) の少なくとも一部が入っていることを特徴とする高周波半導体装置の実装構造。
10

3. 請求項1に記載の高周波半導体装置の実装構造において、

上記第1のビアホール (15, 215) は複数あって、上記複数の第1のビアホール (15, 215) のうちの隣り合うもの同士の間隔は $0 \mu\text{m}$ 以上 $\lambda g_1 / 4$ (λg_1 : 上記誘電体基板 (3, 203) 中における信号の波長) 以下に設定されていることを特徴とする高周波半導体装置の実装構造。
15

4. 請求項1に記載の高周波半導体装置の実装構造において、

上記第2のビアホール (18, 218) は複数あって、上記複数の第2のビアホール (18, 218) のうちの隣り合うもの同士の間隔は $0 \mu\text{m}$ 以上 $\lambda g_2 / 4$ (λg_2 : 上記回路基板 (2, 202, 302) 中における信号の波長) 以下に設定されていることを特徴とする高周波半導体装置の実装構造。
20

25 5. 請求項1に記載の高周波半導体装置の実装構造において、

上記誘電体基板 (3) と上記第2の信号線路 (12)との間には、厚さ $5 \mu\text{m}$ 以上 $200 \mu\text{m}$ 以下の空気層 (20) が介在していることを特徴とする高周波半導体装置の実装構造。
30

6. 請求項1に記載の高周波半導体装置の実装構造において、

上記接着剤層（17, 117, 217）は、圧縮部分にのみ導電性を有する誘電体を含むことを特徴とする高周波半導体装置の実装構造。

7. 請求項1に記載の高周波半導体装置の実装構造において、

5 上記第1のビアホール（215）は、上記高周波半導体素子（4）に重なるように配置されていることを特徴とする高周波半導体装置の実装構造。

8. 請求項1に記載の高周波半導体装置の実装構造において、

10 上記第2の信号線路（12）は、入力部（12a）と、この入力部（12a）に対して所定の間隔をあけて設けられた出力部（12b）とから成り、

上記第1, 第2のビアホール（215, 218）は、上記入力部（12a）と上記出力部（12b）との間の領域に重なるように複数配置されていることを特徴とする高周波半導体装置の実装構造。

15 9. 請求項1に記載の高周波半導体装置の実装構造において、

上記回路基板（302）の裏面にアンテナ（326）が設けられていることを特徴とする高周波半導体装置の実装構造。

10. 請求項1に記載の高周波半導体装置（1）の実装構造をフロントエンド部（80）に用いたことを特徴とする高周波送信装置。

11. 請求項1に記載の高周波半導体装置（1）の実装構造をフロントエンド部（90）に用いたことを特徴とする高周波受信装置。

1/14

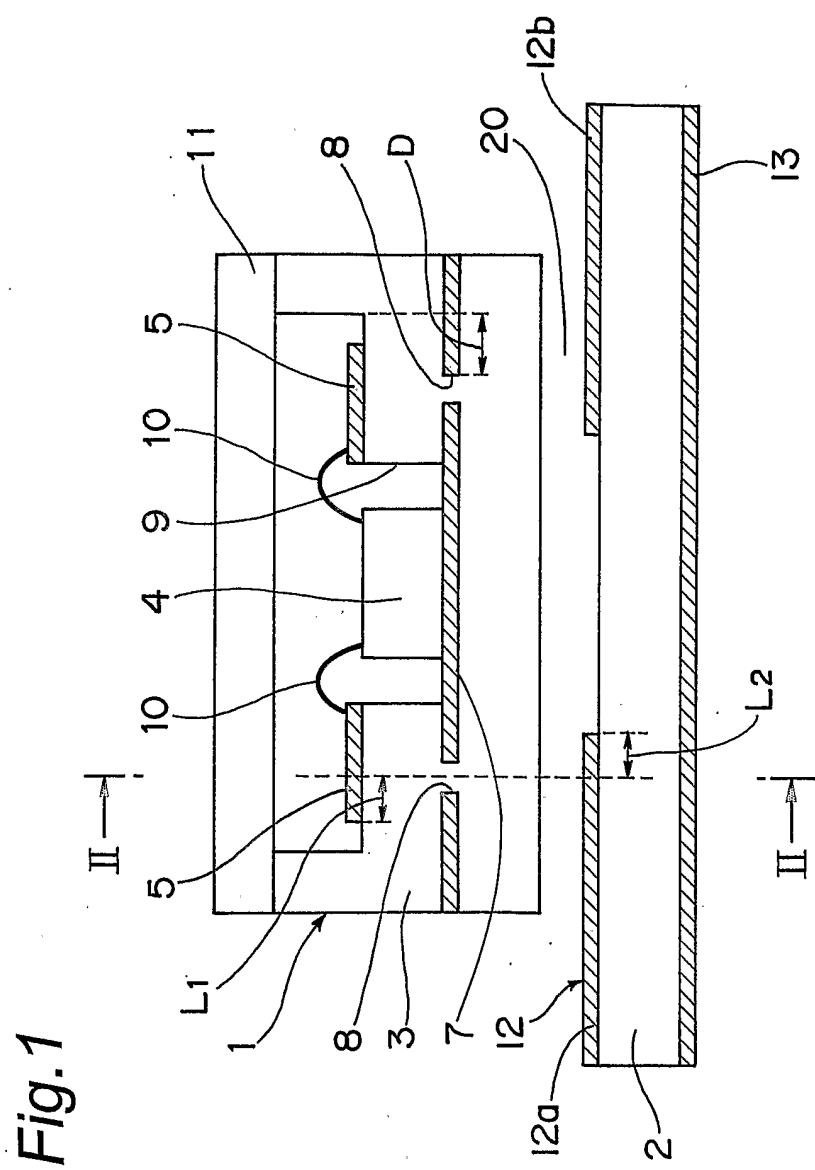


Fig. 1

2/14

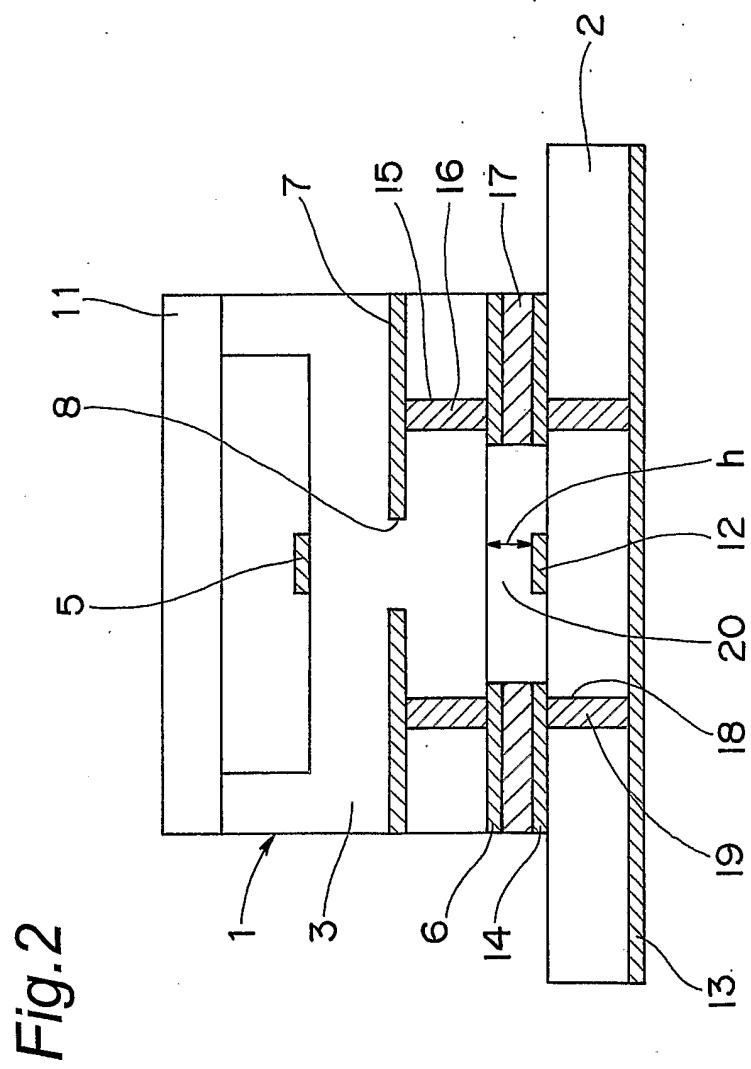
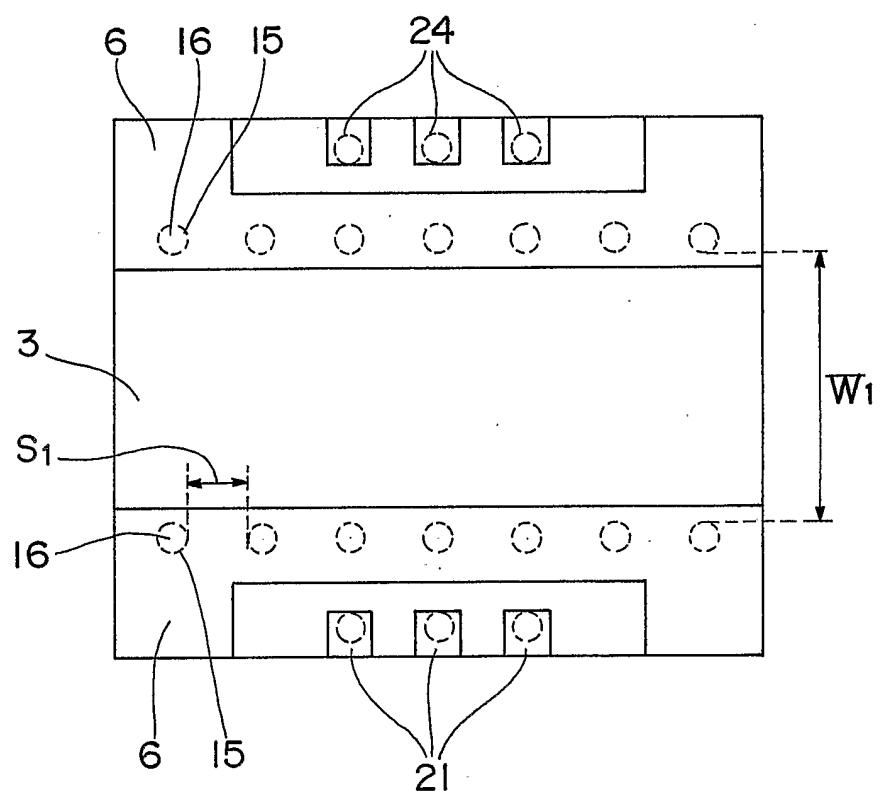
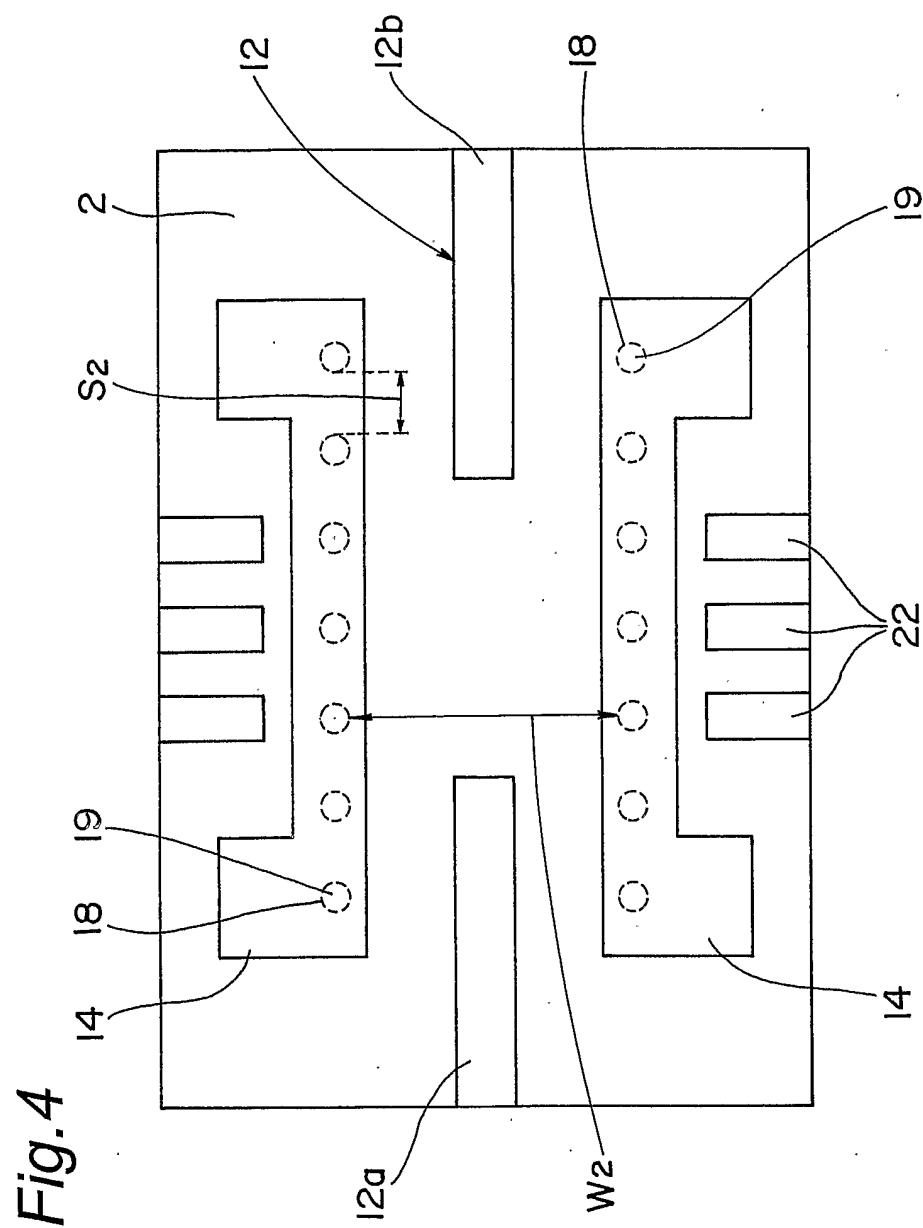


Fig. 2

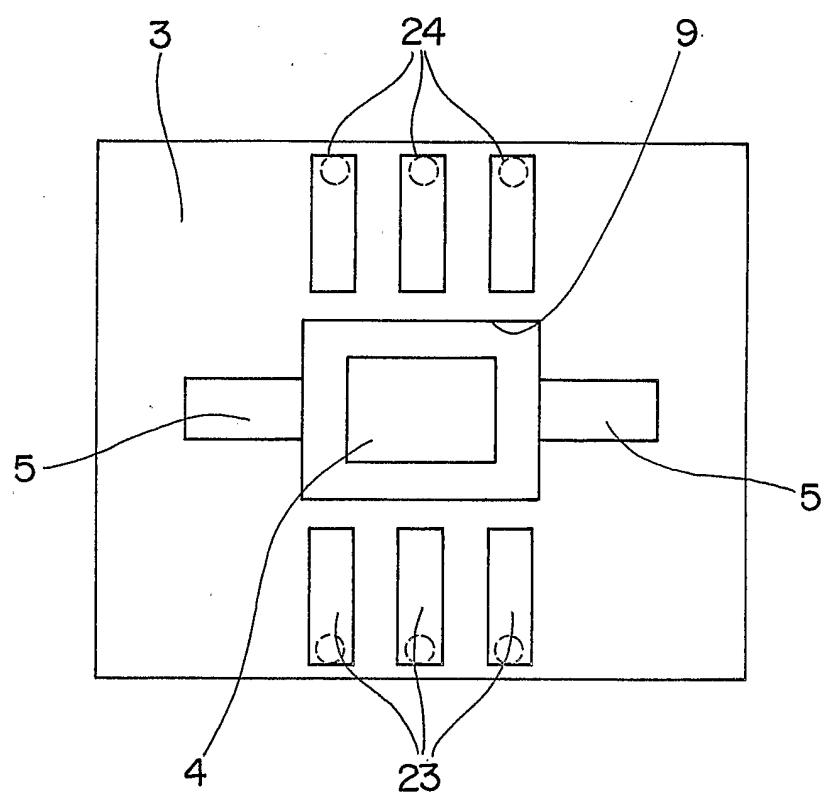
3/14.

Fig.3

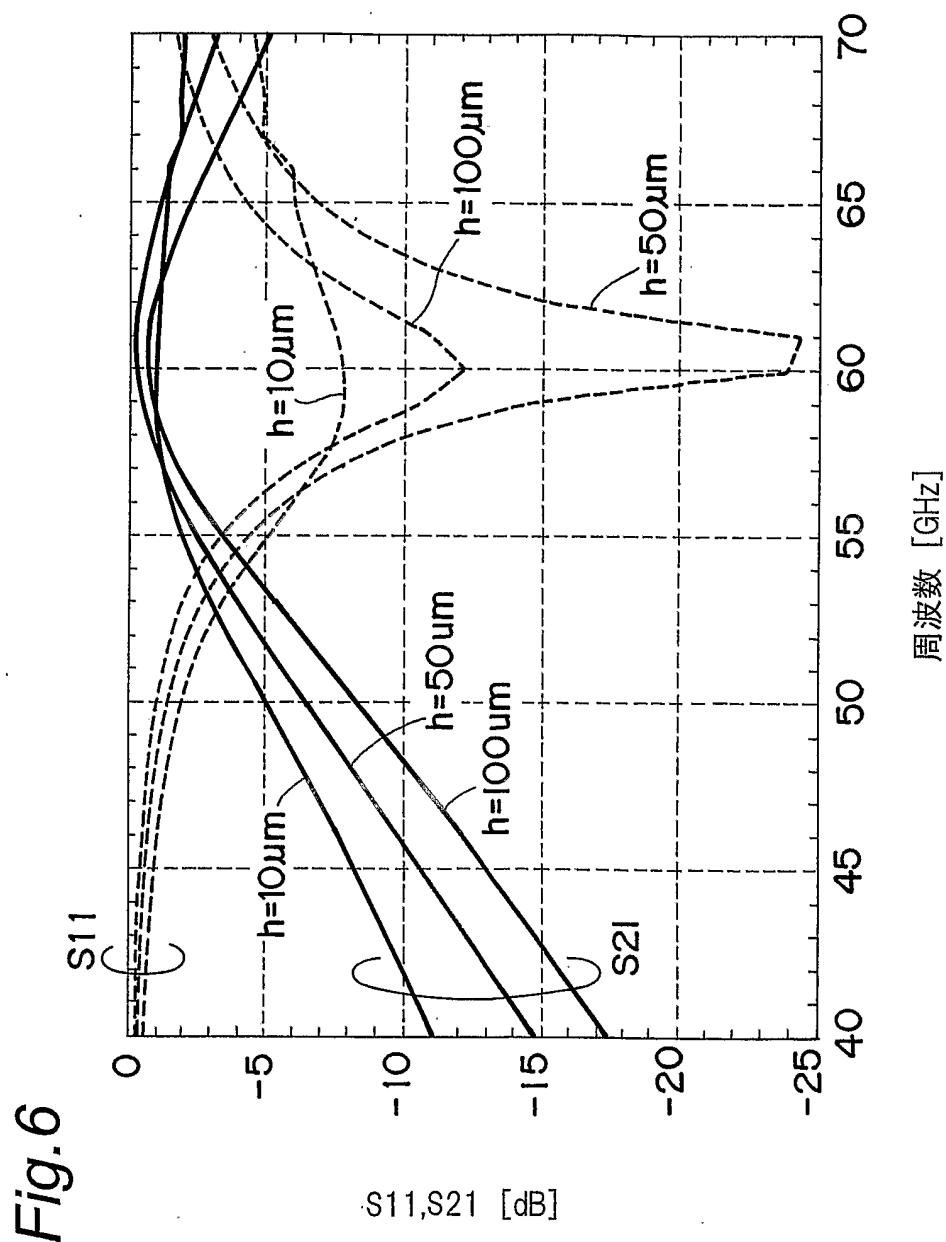
4/14



5/14

Fig.5

6/14



7/14

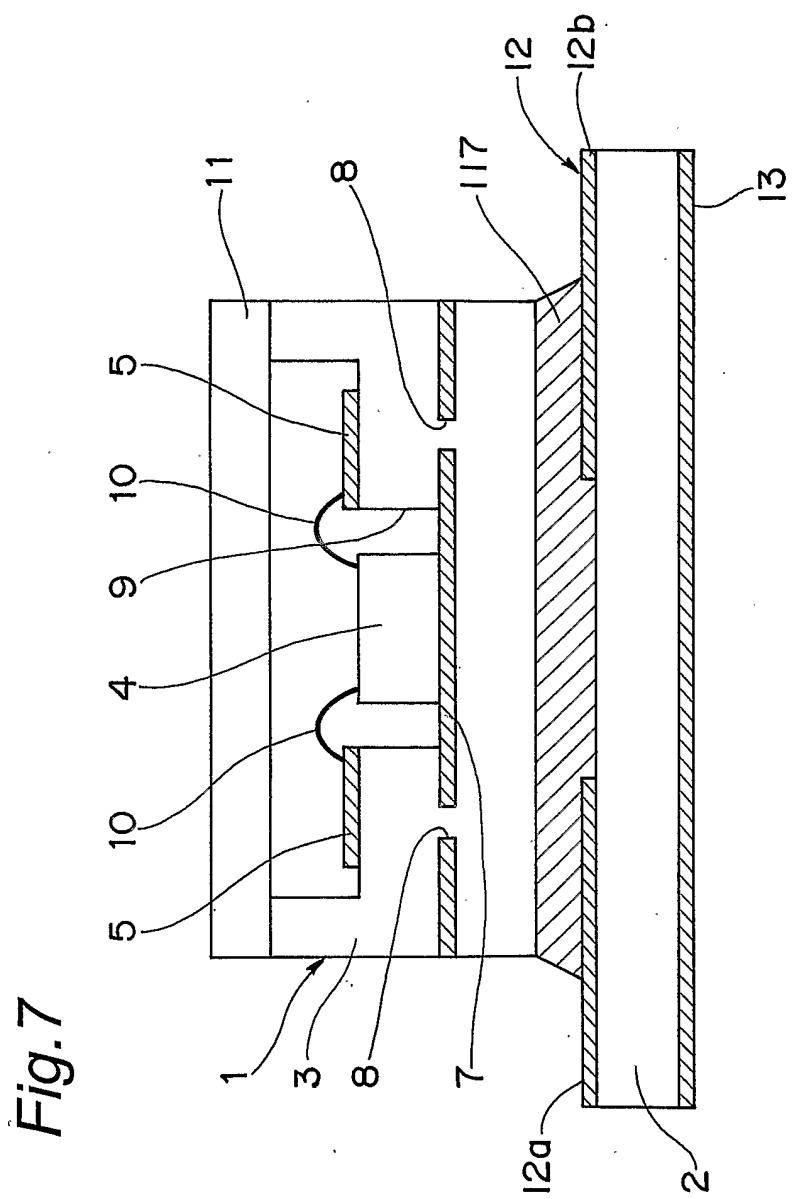


Fig. 7

8/14

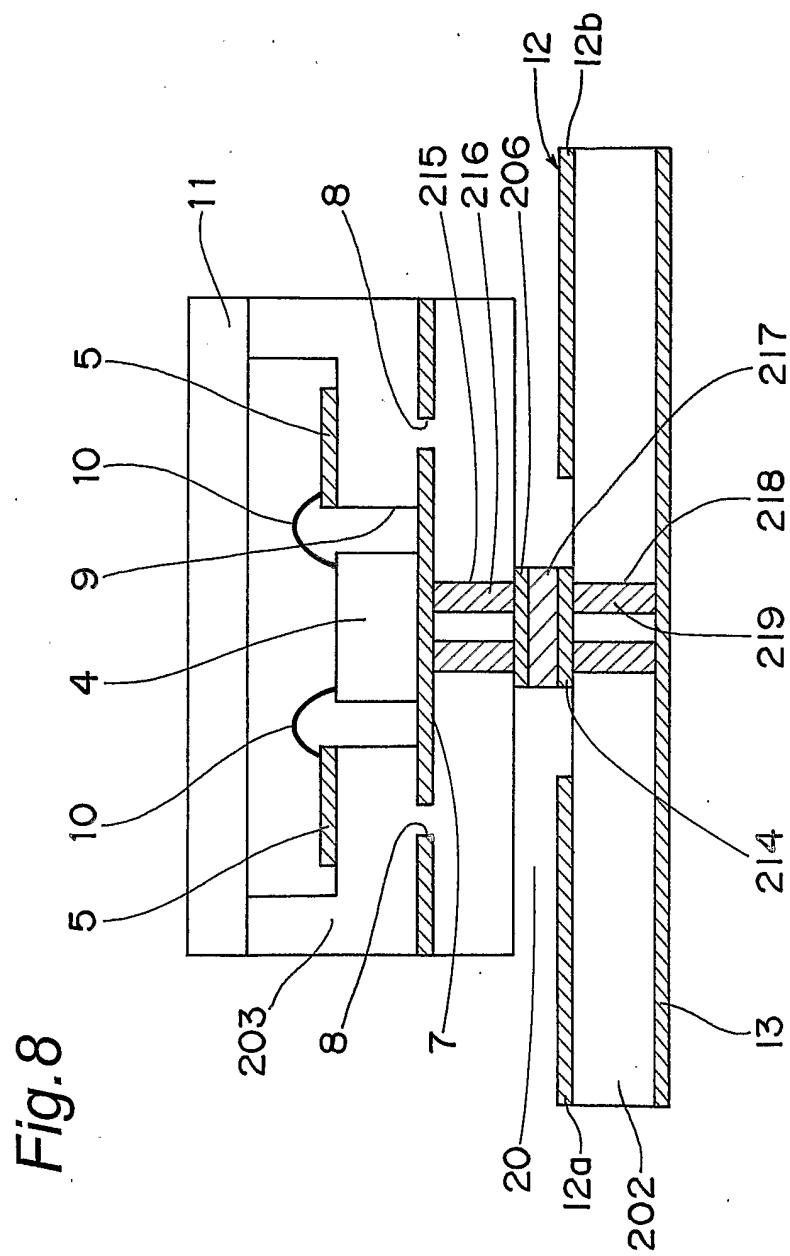
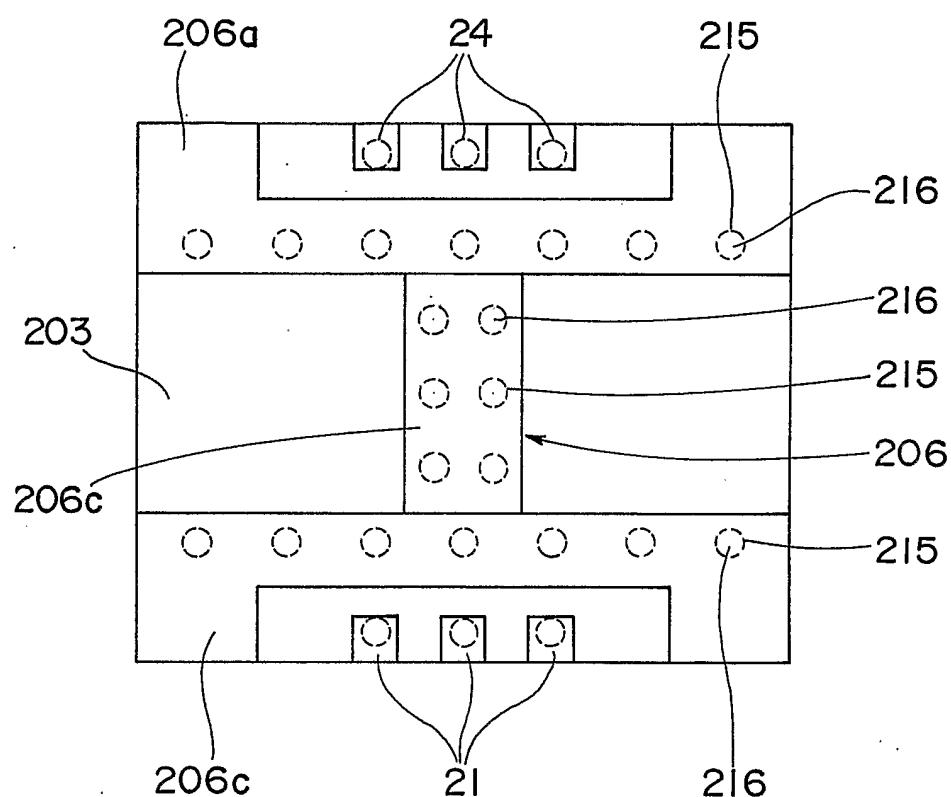
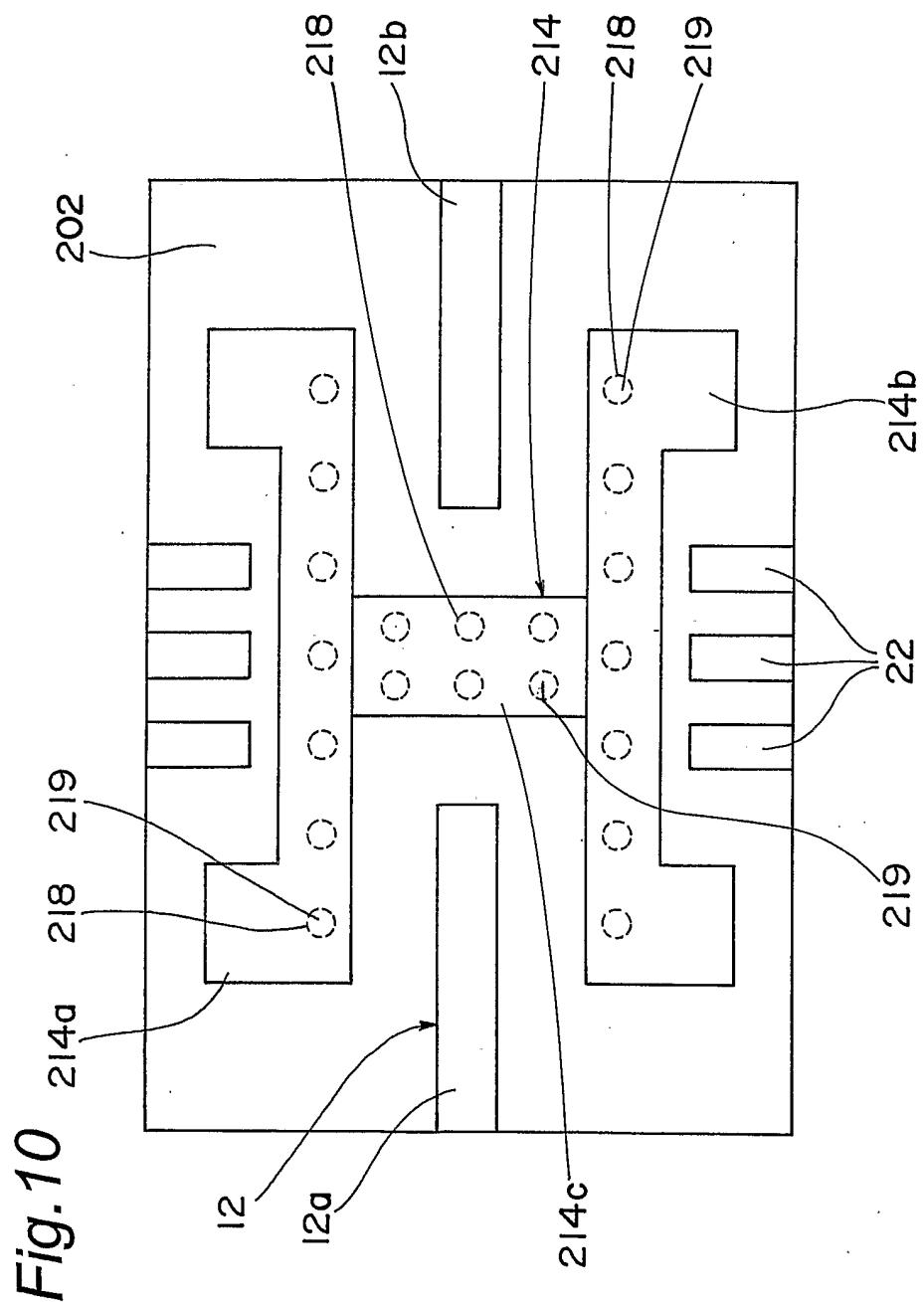


Fig. 8

9/14

Fig.9

10/14



11/14

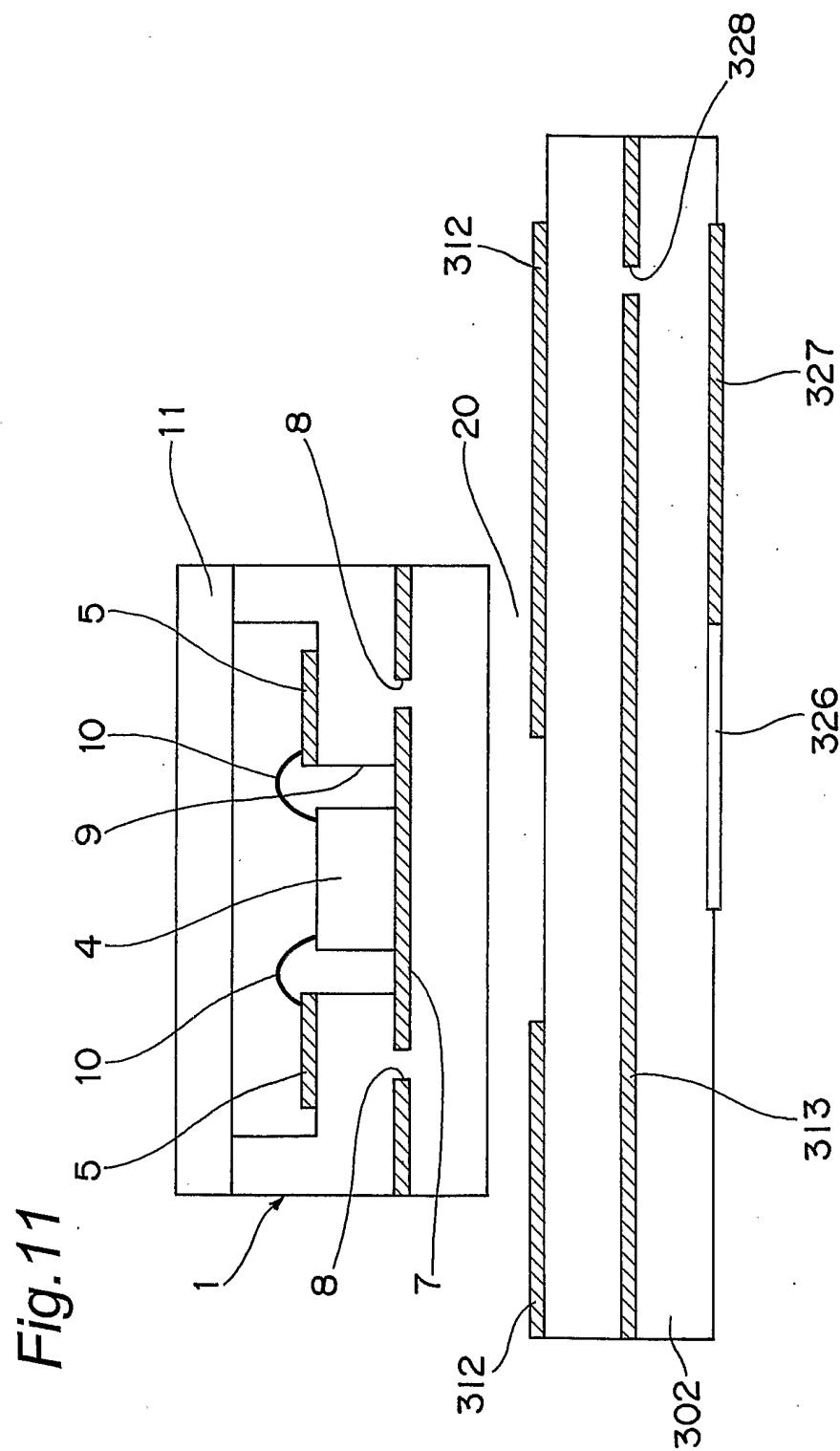
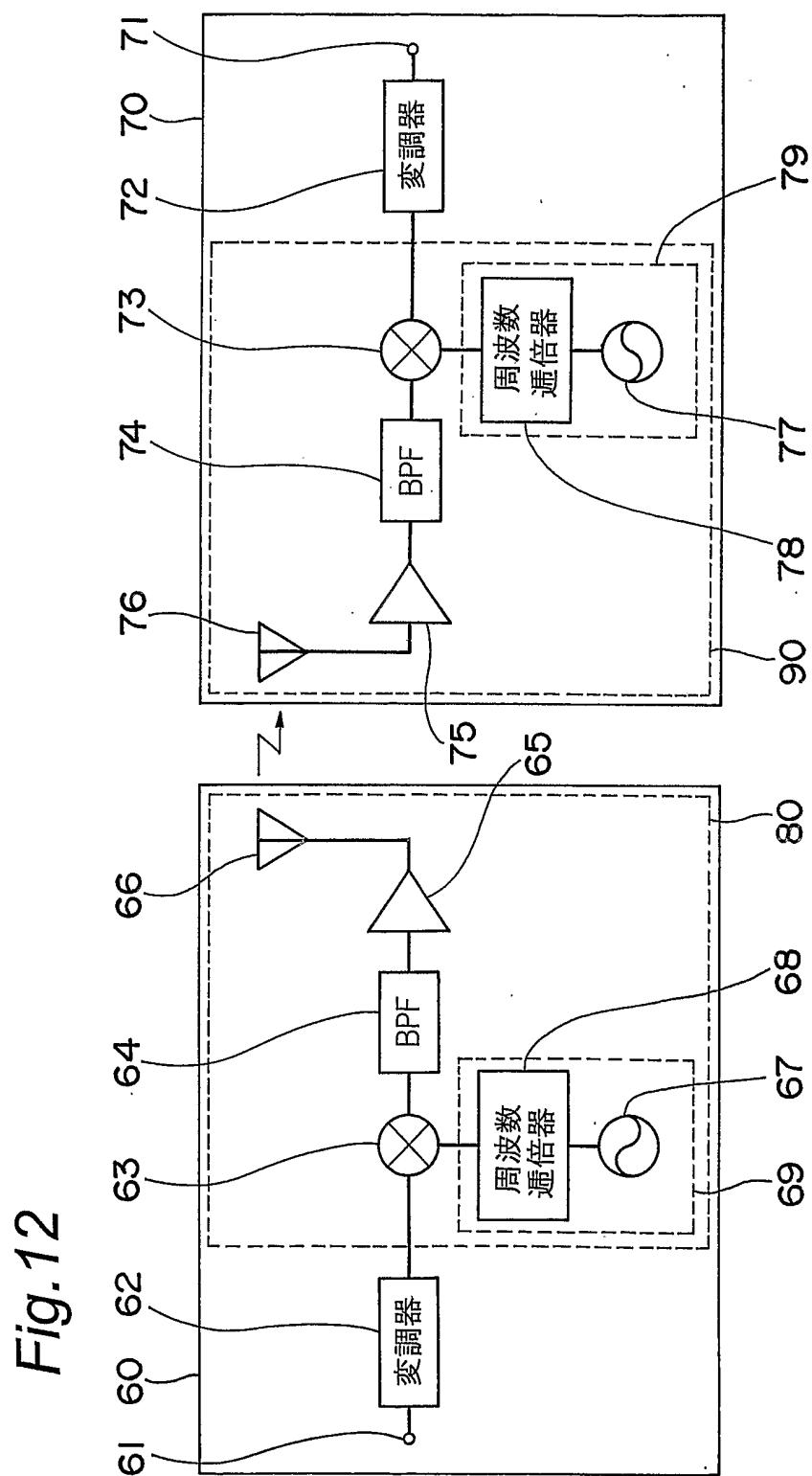
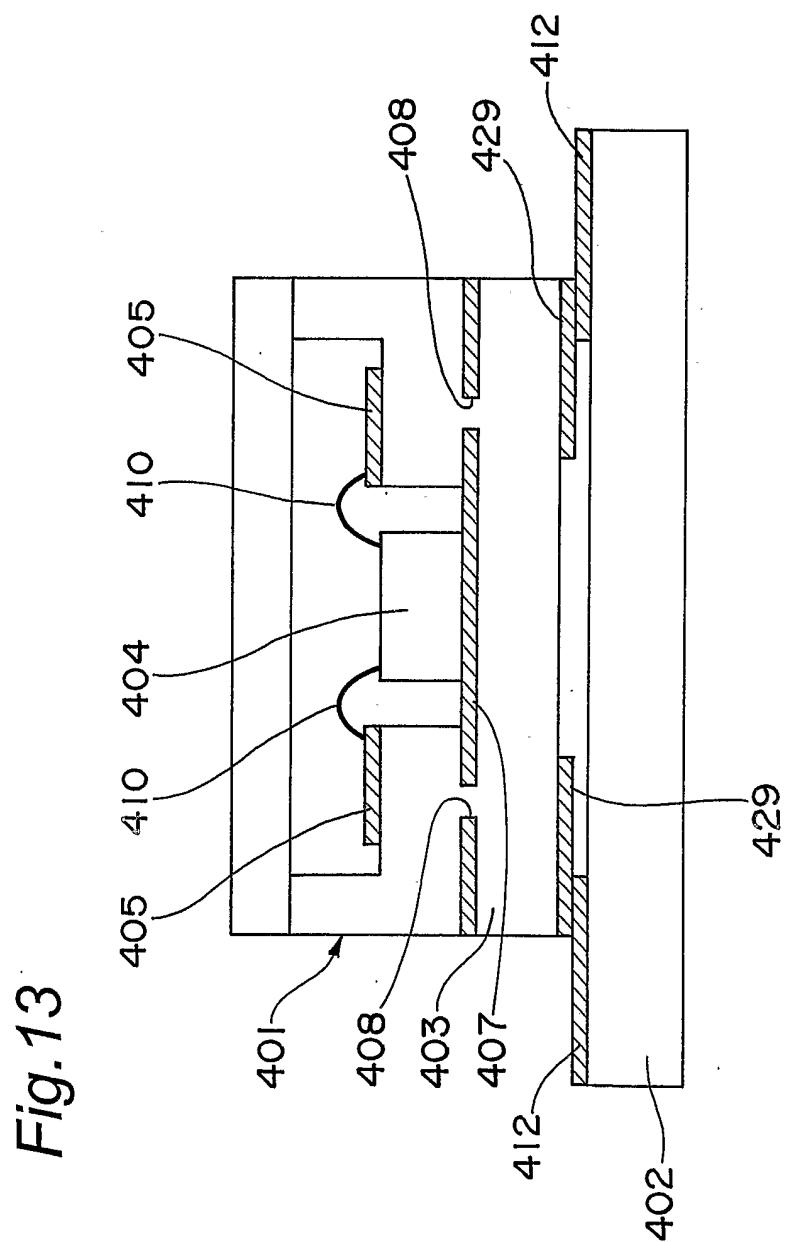


Fig. 11

12 / 14



13/14



14/14

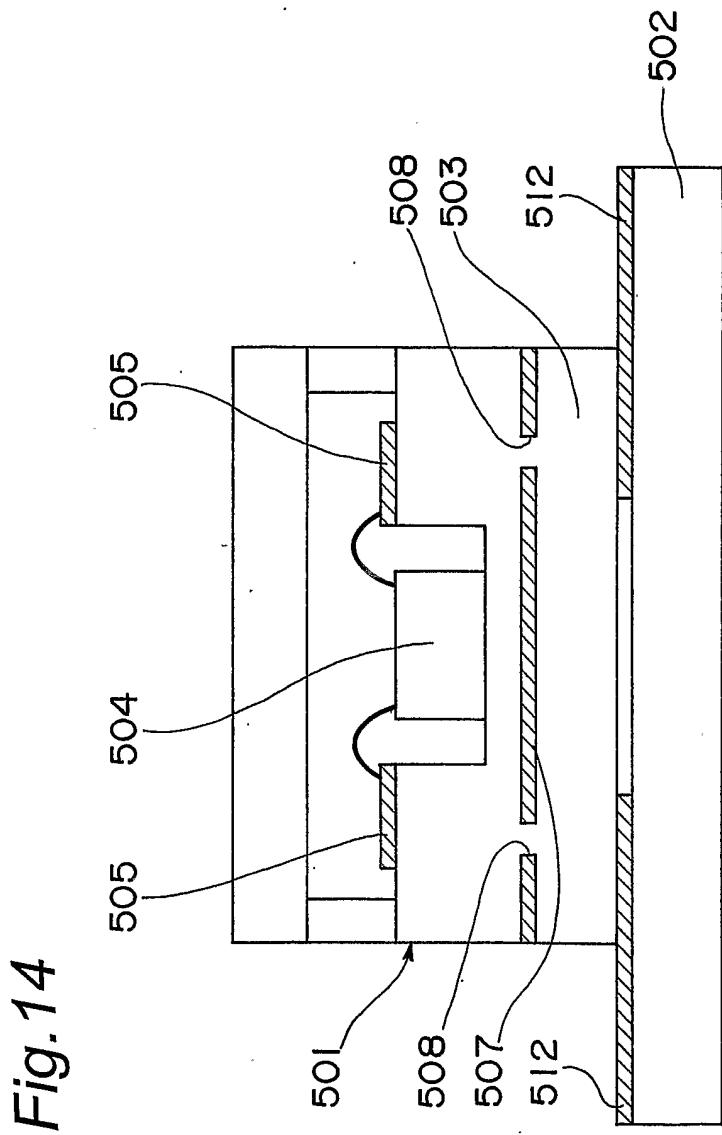


Fig. 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16856

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12, H01P5/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | US 5952709 A (Kitazawa et al.), 14 September, 1999 (14.09.99), & JP 10-144818 A (Kyocera Corp.), 29 May, 1998 (29.05.98) | 1-11 |
| A | US 6356173 B1 (Nagata et al.), 12 March, 2002 (12.03.02), & JP 11-340370 A (Kyocera Corp.), 10 December, 1999 (10.12.99) | 1-11 |
| A | US 6057600 A (Kitazawa et al.), 02 May, 2000 (02.05.00), & JP 2000-22042 A (Kyocera Corp.), 21 January, 2000 (21.01.00) | 1-11 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "E" earlier document but published on or after the international filing date | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "O" document referring to an oral disclosure, use, exhibition or other means | "&" document member of the same patent family |
| "P" document published prior to the international filing date but later than the priority date claimed | |

Date of the actual completion of the international search
29 January, 2004 (29.01.04)

Date of mailing of the international search report
10 February, 2004 (10.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl' H01L23/12

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl' H01L23/12 H01P5/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|------------------|
| A | US 5952709 A (Kitazawa et al.) 1999.09.14 & JP 10-144818 A (京セラ株式会社) 1998.05.29 | 1-11 |
| A | US 6356173 B1 (Nagata et al.) 2002.03.12 & JP 11-340370 A (京セラ株式会社) 1999.12.10 | 1-11 |
| A | US 6057600 A (Kitazawa et al.) 2000.05.02 & JP 2000-22042 A (京セラ株式会社) 2000.01.21 | 1-11 |

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29. 01. 2004

国際調査報告の発送日

10. 2. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

坂本 薫昭

印 4R 9265

電話番号 03-3581-1101 内線 3469