(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 16/06

(45) 공고일자 2003년10월23일
(11) 등록번호 10-0403102
(24) 등록일자 2003년10월13일

(21) 출원번호 10-2001-0032016
(22) 출원일자 2001년06월08일

(65) 공개번호 특2001-0111046
(43) 공개일자 2001년12월15일

(30) 우선권주장 2000-173715 2000년06월09일 일본(JP)
2000-330972 2000년10월30일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 나까무라히로시
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

이마미야겐이찌
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 장수길
구영창

심사관 : 최정윤

(54) 선택한 워드선으로의 전압 전송을 단일 채널의트랜지스터만으로 행하는 반도체 기억 장치

요약

반도체 기억 장치는 메모리 셀이 매트릭스 배열된 메모리 셀 어레이와, 상기 메모리 셀 어레이의 워드선을 선택함과 함께, 워드선에 전압을 전송하는 로우 디코더 회로를 구비하고 있다. 상기 로우 디코더 회로는 전류 통로의 일단이 각각의 워드선에 각각 직접적으로 접속된 제1 도전형의 복수의 제1 트랜지스터와, 선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전압을 전송하는 제1 도전형과는 역극성의 제2 도전형의 트랜지스터를 구비하고 있다. 상기 선택한 워드선으로의 전압의 전송은 제1 도전형의 제1 트랜지스터만으로 행해진다.

대표도

도 3

색인어

불휘발성 반도체 기억 장치, 메모리 셀 어레이, 로우 디코더 회로, 전압 전환 회로, 논리 회로, 디플리션형 트랜지스터

명세서

도면의 간단한 설명

도 1은 종래의 반도체 기억 장치에 있어서의 로우 디코더 회로와 메모리 셀 어레이의 일부의 구성예를 나타내는 회로도.
도 2는 종래의 반도체 기억 장치에 있어서의 로우 디코더 회로와 메모리 셀 어레이의 일부의 다른 구성예를 나타내는 회로도.
도 3은 본 발명의 실시예에 따른 반도체 기억 장치에 대하여 설명하기 위한 것으로, NAND셀형 EEPROM의 개략 구성을 나타내는 블록도.
도 4a는 도 3에 도시한 메모리 셀 어레이에 있어서의 하나의 NAND셀 부분의 패턴 평면도.
도 4b는 도 3에 도시한 메모리 셀 어레이에 있어서의 하나의 NAND셀 부분의 등가 회로도.
도 5a는 도 4a의 5A-5A선에 따른 단면도.
도 5b는 도 4a의 5B-5B선에 따른 단면도.
도 6은 상기 NAND셀이 매트릭스 배열된 메모리 셀 어레이의 등가 회로도.
도 7은 본 발명의 제1 실시예에 따른 반도체 기억 장치에 있어서의 로우 디 코더 회로와 메모리 셀 어레이의 일부의 구성예를 나타내는 회로도.
도 8은 본 발명의 제1 실시예에 따른 반도체 기억 장치에 있어서의 데이터 기입 동작을 나타내는 타이밍차트.
도 9는 본 발명의 제1 실시예에 따른 반도체 기억 장치에 있어서의 데이터 판독 동작을 나타내는 타이밍차트.
도 10은 본 발명의 제1 실시예에 따른 반도체 기억 장치에 있어서의 데이터 소거 동작을 나타내는 타이밍차트.
도 11은 본 발명의 제2 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로와 메모리 셀 어레이의 일부의 구성예를 나타내는 회로도.
도 12a와 도 12b는 각각 제1, 제2 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로 내의 n ‐웰 영역의 형상에 대하여 설명하기 위한 도면.
도 13은 본 발명의 제3 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로와 메모리 셀 어레이의 일부의 구성예를 나타내는 회로도.
도 14는 본 발명의 제4 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로와 메모리 셀 어레이의 일부의 구성예를 나타내는 회로도.
도 15는 본 발명의 실시예에 따른 반도체 기억 장치에 있어서의 메모리 셀 어레이와 로우 디코더 회로의 제1 블록 배치예를 나타내는 도면.
도 16은 본 발명의 실시예에 따른 반도체 기억 장치에 있어서의 메모리 셀 어레이와 로우 디코더 회로의 제2 블록 배치예를 나타내는 도면.
도 17은 본 발명의 실시예에 따른 반도체 기억 장치에 있어서의 메모리 셀 어레이와 로우 디코더 회로의 제3 블록 배치예를 나타내는 도면.
도 18은 본 발명의 실시예에 따른 반도체 기억 장치에 있어서의 메모리 셀 어레이와 로우 디코더 회로의 블록 배치 및 n ‐웰 영역의 형상의 제1 예를 나타내는 도면.
도 19는 본 발명의 실시예에 따른 반도체 기억 장치에 있어서의 메모리 셀 어레이와 로우 디코더 회로의 블록 배치 및 n ‐웰 영역의 형상의 제2 예를 나타내는 도면.
도 20은 본 발명의 실시예에 따른 반도체 기억 장치에 있어서의 메모리 셀 어레이와 로우 디코더 회로의 블록 배치 및 n ‐웰 영역의 형상의 제3 예를 나타내는 도면.
도 21a 내지 도 21e는 각각 본 발명의 제1 내지 제4 실시예에 따른 반도체 기억 장치 및 기타 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 블록 배치 및 n ‐웰 영역의 형상에 대하여 설명하기 위한 도면.
도 22는 본 발명의 제1 내지 제4 실시예에 따른 반도체 기억 장치 및 기타 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로 내 블록 어드레스 디코드부 및 전압 전환 회로의 제1 구성을 나타내는 회로도.
도 23은 본 발명의 제1 내지 제4 실시예에 따른 반도체 기억 장치 및 기타 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로 내의 블록 어드레스 디코드부 및 전압 전환 회로의 제2 구성을 나타내는 회로도.
도 24는 본 발명의 제1 내지 제4 실시예에 따른 반도체 기억 장치 및 기타 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로 내의 블록 어드레스 디코드부 및 전압 전환 회로의 제3 구성을 나타내는 회로도.
도 25는 본 발명의 제1 내지 제4 실시예에 따른 반도체 기억 장치 및 기타 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로 내의 블록 어드레스 디코드부 및 전압 전환 회로의 제4 구성을 나타내는 회로도.
도 26은 다른 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 블록 배치 및 n ‐웰 영역 형상에 대하여 설명하기 위한 도면.
도 27은 다른 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 블록 배치 및 n ‐웰 영역 형상에 대하여 설명하기 위한 도면.
도 28은 다른 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 블록 배치 및 n ‐웰 영역 형상에 대하여 설명하기 위한 도면.
도 29a와 도 29b는 각각 또 다른 다수의 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 블록 배치 및 n ‐웰 영역 형상에 대하여 설명하기 위한 도면.
도 30은 본 발명의 제5 실시예에 따른 반도체 기억 장치에 있어서의 로우 디 코더 회로의 다른 구성예를 나타내는 회로도.
도 31a 내지 도 31d는 각각 도 30에 도시한 회로에 있어서의 전압 전환 회로의 구체적인 구성예를 나타내는 회로도.
도 32는 본 발명의 제6 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 다른 구성예를 나타내는 회로도.

도 33a 내지 도 33d는 각각 도 32에 도시한 회로에 있어서의 전압 전환 회로의 구체적인 구성예를 나타내는 회로도.
도 34는 본 발명의 다른 실시예에 따른 반도체 기억 장치에 대하여 설명하기 위한 것으로, 상술한 각 실시예에 있어서의 전압 전환 회로에 고전압을 제공하는 회로부를 추출하여 나타내는 회로도.
도 35는 본 발명의 또 다른 실시예에 따른 반도체 기억 장치에 대하여 설명하기 위한 것으로, 상술한 각 실시예에 있어서의 전압 전환 회로에 고전압을 제공하는 회로부를 추출하여 나타내는 회로도.
도 36은 NOR셀형 EEPROM에 있어서의 메모리 셀 어레이를 나타내는 등가 회로도.
도 37은 DINOR셀형 EEPROM에 있어서의 메모리 셀 어레이를 나타내는 등가 회로도.
도 38은 AND셀형 EEPROM에 있어서의 메모리 셀 어레이를 나타내는 등가 회로도.
도 39는 선택 트랜지스터를 갖는 NOR셀형 EEPROM에 있어서의 메모리 셀 어레 이를 나타내는 등가 회로도.
<도면의 주요 부분에 대한 부호의 설명>
101: 메모리 셀 어레이
102: 비트선 제어 회로
103: 컬럼 디코더
104: 어드레스 버퍼
105: 로우 디코더
106: 데이터 입출력 버퍼
107: 기판 전위 제어 회로
109: 기입용 고전압 발생 회로
110: 기입용 중간 전압 발생 회로
111: 판독용 중간 전압 발생 회로
112: 소거용 고전압 발생 회로
11: 기판
12: 소자 분리 산화막
13 : 게이트 절연막
14: 부유 게이트
15: 절연막
16: 제어 게이트
17: CVD 산화막
18: 비트선
19: 확산층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 더욱 자세하게는 NAND셀, NOR셀, DINOR셀, AND셀형 EEPROM 등의 불휘발성 반도체 기억 장치에 관한 것이다.
종래, 반도체 기억 장치의 하나로서 전기적 재기입을 가능하게 한 EEPROM이 알려져 있다. 그 중에서도, 메모리 셀을 여러개 직렬 접속하여 NAND셀 블록을 구성하는 NAND셀형 EEPROM은 고집적화할 수 있는 것으로서 주목받고 있다.
NAND셀형 EEPROM의 하나인 메모리 셀은 반도체 기판 상에 절연막을 개재하여 부유 게이트(전하 축적층)와 제어 게이트가 적층된 FET-MOS 구조를 갖는다. 그리고, 여러개의 메모리 셀이 인접하는 것끼리로 소스 · 드레인을 공용하는 형으로 직렬 접속되어 NAND셀을 구성하고, 이것을 일단위로서 비트선에 접속하는 것이다. 이러한 NAND셀이 매트릭스 배열되어 메모리 셀 어레이가 구성된다. 메모리 셀 어레이는 p형 반도체 기판, 또는 p형 웰 영역 내에 집적 형성된다.
메모리 셀 어레이의 열 방향으로 배열되는 NAND셀의 일측단의 드레인은 각각 선택 게이트 트랜지스터를 통해 비트선에 공통 접속되고, 타단측 소스는 역시 선택 게이트 트랜지스터를 통해 공통 소스선에 접속되어 있다. 메모리 트랜지스터의 제어 게이트 및 선택 게이트 트랜지스터의 게이트 전극은 메모리 셀 어레이의 행 방 향에 각각 제어 게이트선(워드선), 선택 게이트선으로서 공통 접속된다.
이 NAND셀형 EEPROM의 동작은 다음과 같다. 데이터 기입 동작은 주로 비트선 컨택트로부터 가장 멀리 떨어진 위치의 메모리 셀로부터 순서대로 행한다. 우선, 데이터 기입 동작이 개시되면, 기입 데이터에 따라서 비트선에는 0V("1" 데이터 기입 비트선) 또는 전원 전압 Vcc("0" 데이터 기입 비트선)가 제공되고, 선택된 비트선 컨택트측의 선택 게이트선에는 Vcc가 제공된다. 이 경우, "1" 데이터 기입 비트선에 접속된 선택 NAND셀에서는 선택 게이트 트랜지스터를 통해 NAND셀 내의 채널부가 0V로 고정된다. 한편, "0" 데이터 기입 비트선에 접속된 선택 NAND셀에서는, NAND셀 내의 채널부는 선택 게이트 트랜지스터를 통해 [Vcc-Vtsg](단, Vtsg는 선택 게이트 트랜지스터의 임계치 전압)

까지 충전된 후, 부유 상태가 된다. 계속해서, 선택 NAND셀 내의 선택 메모리 셀에 있어서의 제어 게이트선이 0V→Vpp(=20V 정도 : 기입용 고전압), 선택 NAND셀 내의 다른 제어 게이트선이 0V→Vmg(=10V 정도 : 중간 전압)가 된다.

"1" 데이터 기입 비트선에 접속된 선택 NAND셀에서는 NAND셀 내의 채널부가 0V로 고정되어 있기 때문에, 선택 NAND셀 내의 선택 메모리 셀의 제어 게이트선(=Vpp 전위)과 채널부(=0V)에 큰 전위차(=20V 정도)가 발생하고, 채널부로부터 부유 게이트로 전자의 주입이 생긴다. 이에 따라, 그 선택된 메모리 셀의 임계치 전압은 플러스 방향으로 시프트하고, "1" 데이터의 기입이 완료된다.

이것에 대하여, "0" 데이터 기입 비트선에 접속된 선택 NAND셀에서는 NAND셀 내의 채널부가 부유 상태에 있기 때문에, 선택 NAND셀 내의 제어 게이트선과 채널 부 간의 용량 커플링의 영향에 의해, 제어 게이트선의 전압 상승(0V→Vpp, Vmg)에 따라 채널부의 전위가 부유 상태를 유지한 채로 [Vcc-Vtsg] 전위→Vmch(=8V 정도)로 상승한다. 이 때는 선택 NAND셀 내의 선택 메모리 셀의 제어 게이트선(=Vpp 전위)과 채널부(=Vmch) 간의 전위차가 12V 정도로 비교적 작기 때문에, 전자 주입이 발생하지 않는다. 따라서, 선택 메모리 셀의 임계치 전압은 변화되지 않고, 마이너스 상태로 유지된다.

데이터 소거는 선택된 NAND셀 블록 내의 모든 메모리 셀에 대하여 동시에 행해진다. 즉, 선택된 NAND셀 블록 내의 모든 제어 게이트선을 0V로 하고, 비트선, 소스선, p형 웰 영역(혹은 p형 반도체 기판), 비선택 NAND셀 블록 중의 제어 게이트선 및 모든 선택 게이트선에 20V 정도의 고전압을 인가한다. 이에 따라, 선택 NAND셀 블록 중의 모든 메모리 셀에서 부유 게이트 중의 전자가 p형 웰 영역(혹은 p형 반도체 기판)으로 방출되고, 임계치 전압은 마이너스 방향으로 시프트한다.

한편, 데이터 판독 동작은 선택된 메모리 셀의 제어 게이트선을 0V로 하고, 그 이외의 메모리 셀의 제어 게이트선 및 선택 게이트선을 판독용의 중간 전압 Vread(약 4V)로 설정하여 선택 메모리 셀에서 전류가 흐르는지의 여부를 검출함으로써 행해진다.

이상의 동작 설명으로부터 분명해진 바와 같이, NAND셀형 EEPROM에서는, 데이터 기입 동작시는 선택 블록 내의 선택된 제어 게이트선에 Vpp(약 20V), 선택 블록 내의 비선택의 제어 게이트선에 Vmg(약 10V)라는 전원 전압보다 높은 전압을 전송할 필요가 있다.

상기 전압 Vpp, Vmg을 전송하기 위해서, 로우 디코더 회로 내에 제어 게이트선에 극성이 다른 2종류의 소자인 NMOS 트랜지스터(n채널형 MOS 트랜지스터)와 PMOS 트랜지스터(p채널형 MOS 트랜지스터)의 전류 통로가 병렬 접속되고, 선택 블록에서는 NMOS 트랜지스터와 PMOS 트랜지스터의 양방이 온 상태, 비선택 블록에서는 양방이 오프 상태가 되도록 제어되어 있었다.

도 1은 이러한 종래의 반도체 기억 장치에 있어서의 로우 디코더 회로의 일부의 구성예를 나타내는 회로도이다.

도 1에 도시한 회로에서는 각 제어 게이트선 1개에 대하여, [NMOS 트랜지스터 1개(Qn1 Qn8)+PMOS 트랜지스터 1개(Qp1 Qp8)]이 접속되어 있다. 이들 트랜지스터 Qn1 Qn8, Qp1 Qp8에는 각각 노드 N1, N2로부터 상보적인 제어 신호가 공급된다.

데이터 기입시는 전원 노드 VPPRW=[선택된 제어 게이트선 전압]=20V와 같이, 전원 노드 VPPRW와 선택된 제어 게이트선 전압이 동일 레벨이 된다. 이 경우에는, 각 제어 게이트선 1개에 대하여 [NMOS 트랜지스터 1개+PMOS 트랜지스터 1개]가 접속되어 있기 때문에, 전원 노드 VPPRW가 20V인 경우라도 제어 게이트선에 20V를 전송할 수 있다. 따라서, 전원 노드 VPPRW를 (20V+Vtn)까지 높게 할 필요는 없고, 선택 블록에서는 0V, Vpp의 양방의 전압 전송이 가능해진다.

또, 도 1에 도시한 회로에서는, 메모리 셀 M_1 M_8은 전류 통로가 직렬 접속되어 있고, 하나의 NAND셀을 구성하고 있다. 상기 각 NAND셀의 일단은 선택 게이트 트랜지스터 S_1의 전류 통로를 통해 비트선 BL1 BLm에 접속되고, 타단은 선택 게이트 트랜지스터 S_2의 전류 통로를 통해 소스선(Cell-Source)에 공통 접속되어 있다. 제어 게이트선 CG(1) CG(8)는 각각 각 NAND셀 중의 메모리 셀 M_1 M_8의 제어 게이트에 공통 접속되고, 선택 게이트선 SG(1), SG(2)는 각각 선택 게이트 트랜지스터 S_1, S_2의 게이트에 공통 접속된다. 각 신호 입력 노드 CGD1 CGD8, SGD, SGS, SGDS에는 디코드 신호가 공급된다. 또한, 로우 디코더 기동 신호 RDEC는 통상 데이터 기입 · 판독 · 소거 동작 중은 Vcc, 비동작 중은 0V에 있다. 블록 어드레스 신호 RA1, RA2, RA3은 선택 블록 중에서는 모두 Vcc, 비선택 블록 중에서는 적어도 하나는 0V가 된다.

여기서, 파선으로 나타내는 영역 HV 내에 설치되어 있는 모든 PMOS 트랜지스터는 기입용 고전압 Vpp가 인가되는 n-웰 영역 내에 형성되어 있고, 상기 노드 N1, N2 중 어느 한쪽은 기입 동작시는 반드시 Vpp와 동일 전위이다. 또한, 노드 SGDS의 전위는 기입 동작시 0V가 된다.

발명이 이루고자 하는 기술적 과제

그러나, 상기한 바와 같은 구성에서는 각 제어 게이트선 CG(1) CG(8)에 대하여 각각 2개의 트랜지스터 Qp1 Qp8, Qn1 Qn8이 필요해지기 때문에, 로우 디코더 회로 내의 소자수가 증가하고, 로우 디코더 회로의 패턴 점유 면적의 증가에 의해 칩 비용이 증가하는 문제가 있었다.

한편, 로우 디코더 회로 내의 소자수의 증가를 방지하기 위해서, 도 2에 도시한 바와 같이 제어 게이트선 1개에 접속되는 트랜지스터의 수를 1개(예를 들면 NMOS 트랜지스터 QN1 QN8만)로 하는 회로가 이용되는 경우가 있다. 도 2에 도시한 회로에서는, 메모리 셀 블록(2)은 도 1과 마찬가지로 구성되어 있고, 로우 디코더 회로의 일부(제어 게이트선 CG(1) CG(8) 및 선택 게이트 트랜지스터 S_1, S_2에 전압을 전송하는 트랜지스터부)(5a, 5b)의 회로 구성 및 펌프 회로 PUMP를 설치한 점이 다르다.

이 회로 구성의 경우, 제어 게이트선 CG(1) CG(8)에 기입용 고전압 Vpp를 전송하기 위해서는, 이들의 제어 게이트선 CG(1) CG(8)에 접속된 NMOS 트랜지스터 QN1 QN8의 게이트에 제공하는 전압으로서는 [Vpp+Vtn]이 필요로 된다(단, Vtn은 제어 게이트선 CG(1) CG(8)에 접속된 NMOS 트랜지스터 QN1 QN8의 임계치 전압). 이 때문에, 로우 디코더 회로 내에 펌프 회로 PUMP를 설치하고 있다.
이 펌프 회로 PUMP는 캐패시터 C1, C2, NMOS 트랜지스터 QN21 QN23, 인버터(6), NAND 게이트(7) 및 디플리션형 NMOS 트랜지스터 QN24, QN25 등으로 구성되어 있다.
도 2에 도시한 회로에 있어서, 신호 OSCRD는 데이터 기입 · 판독 동작 중에는 발진 신호가 되고, 펌프 회로 PUMP 내에 승압된 전압이 노드 N1로 출력되어 트랜지스터 QN1 QN8의 전류 통로를 통해 제어 게이트선 CG(1) CG(8)로 전압이 전송된다. 또, 신호 TRAN은 통상은 0V로 고정되어 있다.
그러나, 상기 펌프 회로 PUMP는 복수의 소자나 캐패시터 C1, C2를 포함하기 위해서 회로 면적이 커진다. 특히, 2개의 캐패시터 C1, C2는 통상 다른 소자보다도 큰 패턴 면적이 필요하기 때문에, 전압 전송용의 트랜지스터의 수를 삭감할 수 있지만, 로우 디코더 회로의 패턴 면적을 충분히 작게 할 수 없다고 하는 문제가 있었다.
이와 같이, 종래의 NAND셀형 등의 EEPROM에 있어서는 워드선에 고전압을 전송하는 기능이 필요하기 때문에, 로우 디코더 회로 내에 워드선에 접속하는 트랜지스터가 워드선 1개당 여러개가 필요해진다. 이 때문에, 로우 디코더 회로의 패턴 면적이 증가되는 문제가 있었다.
또한, 이 문제를 해결하기 위해서, 로우 디코더 회로 내에 워드선에 접속하는 트랜지스터를 워드선 1개당 1개로 하면, 로우 디코더 회로 내에 펌프 회로가 필요해지고, 이 펌프 회로의 패턴 면적이 커져 역시 로우 디코더 회로의 패턴 면적이 증가되는 문제가 있었다.
또한, 로우 디코더 회로 내에 워드선에 접속하는 트랜지스터를 워드선 1개당 1개로 하고, 또한 로우 디코더 회로 내에 펌프 회로를 설치하지 않은 경우에는 워드선에 기입용 고전압을 전위 강하 없이 전송할 수 없어 충분한 데이터 기입 동작을 실현할 수 없게 될 위험성이 높아지는 문제가 있었다.
따라서, 본 발명의 목적은 워드선에 전위 강하 없이 고전압을 전송할 수 있고, 또한 로우 디코더 회로의 패턴 면적을 삭감할 수 있는 반도체 기억 장치를 제공하는 것에 있다.
또한, 본 발명의 다른 목적은 염가로 신뢰성이 높은 칩을 실현할 수 있는 반도체 기억 장치를 제공하는 것이다.
본 발명의 또 다른 목적은 워드선에 전위 강하 없이 고전압을 전송할 수 있어 충분한 데이터 기입 동작을 실현할 수 있는 반도체 기억 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 상술한 목적은 메모리 셀이 매트릭스 배열된 메모리 셀 어레이와, 상기 메모리 셀 어레이의 워드선을 선택함과 함께 워드선에 전압을 전송하는 로우 디코더 회로를 구비하고, 상기 로우 디코더 회로는 전류 통로의 일단이 각각의 워드선에 각각 직접적으로 접속된 제1 도전형의 복수의 제1 트랜지스터와, 선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전압을 전송하는 제1 도전형과는 역극성의 제2 도전형의 제2 트랜지스터를 구비하고, 상기 선택한 워드선으로의 전압의 전송을 제1 도전형의 제1 트랜지스터만으로 행하는 반도체 기억 장치에 의해서 달성된다.
또한, 본 발명의 상술한 목적은 메모리 셀이 매트릭스 배열된 메모리 셀 어레이와, 상기 메모리 셀 어레이의 워드선을 선택함과 함께 워드선에 전압을 전송하는 로우 디코더 회로를 구비하고, 상기 로우 디코더 회로는 전류 통로의 일단이 각각의 워드선에 각각 직접적으로 접속된 제1 도전형의 복수의 제1 트랜지스터와, 선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전압을 전송하는 제1 도전형과는 역극성의 제2 도전형의 제2 트랜 지스터를 구비하고, 상기 선택한 워드선으로의 전압의 전송을 제1 도전형의 제1 트랜지스터만으로 행함과 함께, 비선택 블록 중의 상기 제2 트랜지스터의 게이트에 인가되는 전압이 전원 전압보다도 높은 전압이 되는 동작을 갖는 반도체 기억 장치에 의해서 달성된다.
또, 본 발명의 상술한 목적은 메모리 셀이 매트릭스 배열된 메모리 셀 어레이와, 상기 메모리 셀 어레이의 워드선을 선택함과 함께 워드선에 전압을 전송하는 로우 디코더 회로를 구비하고, 상기 로우 디코더 회로는 전류 통로의 일단이 각각의 워드선에 각각 직접적으로 접속된 제1 도전형의 복수의 제1 트랜지스터와, 선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전압을 전송하는 제1 도전형과는 역극성의 제2 도전형의 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터의 게이트에 전압을 인가하는 제1 전압 전환 회로와, 로우 어드레스 신호를 받아 블록의 선택 · 비선택의 판정 결과를 출력하는 논리 회로와, 상기 논리 회로의 출력 신호를 받아 상기 제1 전압 전환 회로로 신호를 출력하는 제2 전압 전환 회로를 구비하고, 상기 선택한 워드선으로의 전압의 전송을 제1 도전형의 제1 트랜지스터만으로 행함과 함께, 상기 제2 전압 전환 회로 중의 최고 전압 레벨이 상기 제1 전압 전환 회로 중의 최고 전압 레벨보다도 낮은 반도체 기억 장치에 의해서 달성된다.
상기한 바와 같은 구성에 따르면, 선택한 워드선으로의 전압의 전송을 제1 도전형의 제1 트랜지스터만으로 행하기 때문에, 로우 디코더 회로 내에 워드선에 접속하는 트랜지스터는 워드선 1개당 1개이고, 로우 디코더 회로의 패턴 면적을 삭 감할 수 있다. 또한, 상기 제1 트랜지스터의 게이트에는 제2 도전형의 제2 트랜지스터를 통해 전압을 전송하기 때문에, 예를 들면 제1 도전형으로서 n채널형, 제2 도전형으로서 p채널형의 트랜지스터를 이용하면, 제2 트랜지스터의 임계치 전압에 의한 전송 전압의 레벨 저하를 방지할 수 있고, 펌프 회로를 설치하지 않고 제1 트랜지스터의 게이트를 높은 전압으로 설정할 수 있다. 이 결과, 워드선에 고전압을 전위 강하 없이 전송할 수 있다.
따라서, 워드선에 전위 강하 없이 고전압을 전송할 수 있고, 또한 로우 디코더 회로의 패턴 면적을 삭감할 수 있다.
또한, 패턴 면적이 작은 로우 디코더 회로를 실현할 수 있기 때문에, 염가로 신뢰성이 높은 칩을 실현할 수 있다.

또한, 워드선에 전위 강하 없이 고전압을 전송할 수 있어 충분한 데이터 기입 동작을 실현할 수 있다.

<실시예>

도 3은 본 발명의 실시예에 따른 반도체 기억 장치에 대하여 설명하기 위한 것으로, NAND셀형 EEPROM의 개략 구성을 나타내는 블록도이다. 메모리 셀 어레이(101)에는 데이터 기입 · 판독 · 재기입 및 검증 판독을 행하기 위한 비트선 제어 회로(센스 증폭기 겸 데이터 래치)(102)가 접속되어 있다. 이 비트선 제어 회로(102)는 데이터 입출력 버퍼(106)에 접속되고, 어드레스 버퍼(104)로부터의 어드레스 신호를 받는 컬럼 디코더(103)의 출력을 입력으로서 받는다. 또한, 상기 메모리 셀 어레이(101)에는 제어 게이트 및 선택 게이트를 제어 하기 위한 로우 디코더(105) 및 이 메모리 셀 어레이(101)가 형성되는 p형 실리콘 기판(또는, p형 웰 영역)의 전위를 제어하기 위한 기판 전위 제어 회로(107)가 접속되어 있다. 또한, 데이터 기입 동작시, 기입용 고전압 Vpp(약 20V)와 중간 전압 Vmg(약 10V)를 각각 발생시키기 위해서, 기입용 고전압 발생 회로(109)와 기입용 중간 전압 발생 회로(110)가 설치되어 있다. 또한, 데이터 판독시, 판독용 중간 전압 Vread를 발생시키기 위해서, 판독용 중간 전압 발생 회로(111)가 설치되어 있다. 또한, 소거 동작시, 소거용 고전압 Vpp(약 20V)를 발생시키기 위해서, 소거용 고전압 발생 회로(112)가 설치되어 있다.

비트선 제어 회로(102)는 주로 CMOS 플립플롭으로 이루어지고, 기입을 위한 데이터의 래치나 비트선의 전위를 판독하기 위한 센스 동작, 또한 기입 후의 검증 판독을 위한 센스 동작, 또한 재기입 데이터의 래치를 행한다.

도 4a와 도 4b는 각각 상기 메모리 셀 어레이(101)에 있어서의 하나의 NAND셀 부분의 패턴 평면도와 등가 회로도이고, 도 5a와 도 5b는 각각 도 4a의 5A-5A선, 및 5B-5B선을 따른 단면도이다. 소자 분리 산화막(12)으로 둘러싸인 p형 실리콘 기판(또는 p형 웰 영역)(11)에 복수의 NAND셀로 이루어지는 메모리 셀 어레이가 형성되어 있다. 하나의 NAND셀에 주목하여 설명하면, 이 실시예에서는 8개의 메모리 셀 M_1 M_8이 직렬 접속되어 하나의 NAND셀을 구성하고 있다.

메모리 셀 M_1 M_8은 각각 기판(11)에 게이트 절연막(13)을 개재하여 부유 게이트(14)(14_1, 14_2, …, 14_8)가 형성되고, 이 위에 절연막(15)을 개재하여 제어 게이 트(16)(=워드선 : 16_1, 16_2, …, 16_8)가 형성되어 구성되어 있다. 이들 메모리 셀의 소스, 드레인인 n형 확산층(19)(19_0, 19_1, …, 19_{10})은 인접하는 것끼리 공용하는 형으로 접속되고, 이에 따라 메모리 셀이 직렬 접속되어 있다.

NAND셀의 드레인측, 소스측에는 각각 메모리 셀의 부유 게이트, 제어 게이트와 동시에 형성된 선택 게이트(14_9, 16_9, 14_{10}, 16_{10})가 설치되어 있다. 소자 형성된 기판(11) 상은 CVD 산화막(17)에 의해 피복되고, 이 위에 비트선(18)이 배치되어 있다. 비트선(18)은 NAND셀의 일단의 드레인측 확산층(19)에 컨택트시키고 있다. 행 방향으로 배열되는 NAND셀의 제어 게이트(16)는 공통으로 제어 게이트선 CG(1), CG(2), …, CG(8)으로서 배치되어 있다. 이들 제어 게이트는 워드선이 된다. 선택 게이트(14_9, 16_9, 14_{10}, 16_{10})도 각각 행 방향으로 연속적으로 선택 게이트선 SG(1), SG(2)로서 배치되어 있다.

도 6은 이러한 NAND셀이 매트릭스 배열된 메모리 셀 어레이의 등가 회로를 나타내고 있다. 동일한 워드선이나 선택 게이트선을 공유하는 NAND셀군을 블록으로 부르고, 도 6 중의 파선으로 둘러싸인 영역을 1개의 블록으로 정의한다. 통상의 판독 · 기입 동작시는 복수의 블록 중 1개만이 선택(선택 블록으로 부름)된다.

도 7에 본 발명의 제1 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로 및 메모리 셀 어레이의 일부의 구성예를 나타낸다. 도 7에서는 1블록분의 회로 내의 소자가 메모리 셀 블록(2)의 양측에 배치된 경우의 구성을 나타내고 있다. 도 7에 도시한 회로의 특징은 제어 게이트선 CG(1) CG(8) 및 선택 게이트 선 SG(1), SG(2)에 접속되는 트랜지스터 QN0 QN10이 n채널형만인 것, 제어 게이트선 CG(1) CG(8)에 접속되는 트랜지스터 QN1 QN8은 제어 게이트선 1개당 1개인 것, 제어 게이트선 CG(1) CG(8)나 선택 게이트선 SG(1), SG(2)에 접속되는 트랜지스터 QN0 QN10의 게이트 전압을 설정하는 전압 전환 회로(54A)의 출력 노드 N1과 전원 노드 VPPRW 간에 PMOS 트랜지스터 QP11, QP12를 설치한 것이다.

즉, 제어 게이트선 CG(1) CG(8)와 신호 입력 노드 CGD1 CGD8 간에는 각각 NMOS 트랜지스터 QN1 QN8의 전류 통로가 접속된다. 또한, 선택 게이트선 SG(1)와 신호 입력 노드 SGD, SGDS 간에는 각각 NMOS 트랜지스터 QN0, QN9의 전류 통로가 접속된다. 또한, 선택 게이트선 SG(2)와 신호 입력 노드 SGS 간에는 NMOS 트랜지스터 QN10의 전류 통로가 접속된다.

상기 전압 전환 회로(54A)는 PMOS 트랜지스터 QP11, QP12, NMOS 트랜지스터 QN11, QN12 및 인버터(55)를 포함하여 구성되어 있다. 상기 PMOS 트랜지스터 QP11, QP12, NMOS 트랜지스터 QN11, QN12는 플립플롭(56)으로서 기능하도록 접속되어 있고, 상기 PMOS 트랜지스터 QP11, QP12의 전류 통로의 일단 및 백 게이트는 각각 한쪽의 전원 노드 VPPRW에 공통 접속된다. 상기 NMOS 트랜지스터 QN11, QN12의 전류 통로는 상기 PMOS 트랜지스터 QP11, QP12의 전류 통로의 타단과 다른쪽의 전원 노드, 예를 들면 접지점 간에 접속된다. 상기 PMOS 트랜지스터 QP11의 게이트는 상기 PMOS 트랜지스터 QP12의 전류 통로의 타단 및 노드 N1에 접속되고, 상기 PMOS 트랜지스터 QP12의 게이트는 상기 PMOS 트랜지스터 QP11의 전류 통로의 타단에 접속된다. 그리고, 인버터(55)의 출력단이 NMOS 트랜지스터 QN12의 게이트에, 입력단이 NMOS 트랜지스터 QN11의 게이트에 접속되어 있다.

NAND 게이트(57)의 제1 입력단에는 신호 RDEC가 공급되고, 제2 내지 제4 입력단에는 신호 RA1, RA2, RA3이 각각 공급된다. 이 NAND 게이트(57)의 출력단에는 인버터(58)의 입력단 및 노드 N2가 접속된다. 그리고, 상기 인버터(58)의 출력단(노드 N0)에는 상기 인버터(55)의 입력단 및 NMOS 트랜지스터 QN11의 게이트가 접속된다.

또, 도 7 중의 신호 RDEC는 로우 디코더 기동 신호이고, 통상 데이터 기입 · 판독 · 소거 동작 중은 Vcc, 비동작 중은 0V에 있다. 또한, 신호 RA1, RA2, RA3은 각각 블록 어드레스 신호이고, 선택 블록 중에서는 모두 Vcc, 비선택 블록 중에서는 적어도 하나는 0V가 된다. 따라서, 동작 중의 선택 블록만 노드 N0이 Vcc, 비동작 중 혹은 비선택 블록 중에서는 항상 노드 N0은 0V가 된다.

도 7의 회로를 이용한 경우의 데이터 기입, 데이터 판독 및 데이터 소거의 동작을 나타내는 타이밍차트를 각각 도 8 내지 도 10에 도시한다. 이하에 간단하게 각 동작 타이밍에 대해 설명한다. 또, 도 8과 도 9나 이후의 데이터 기입 · 판독 동작에서는 선택 블록 중의 8개의 제어 게이트선 CG(1) CG(8) 중 제어 게이트선 CG(2)가 선택된 경우를 예로 들어 동작 설명을 행하지만, 다른 제어 게이트선이 선택된 경우도 마찬가지다.

도 8에 도시한 데이터 기입 동작에서는, 동작이 개시되면, 우선 선택 블록의 로우 디코더 회로가 선택 상태가 되고, 노드 N0, N1이 Vcc, 노드 N2가 0V로 된다. 또한, 기입 데이터가 "0" 데이터인 비트선이 0V→Vcc로 충전됨과 함께, 선택 블록 내의 SG(1)가 [Vcc-Vtsg]가 된다. 계속해서, 전원 노드 VPPRW가 Vcc→(20V+Vtn)(단, Vtn은 제어 게이트선 CG(1) CG(8)에 직접 접속된 NMOS 트랜지스터 QN1 QN8의 임계치 전압)이 됨으로써, 전압 전환 회로(54A)의 출력 노드 N1도 Vcc→(20V+Vtn)이 된다.

계속해서, 신호 입력 노드 CGD2가 0V→20V, 신호 입력 노드 CGD1, CGD3 CGD8이 0V→10V가 되면, 제어 게이트선에 접속된 NMOS 트랜지스터의 게이트 전압이 이 때는 (20V+Vtn)에 있기 때문에, 신호 입력 노드 CGDi로부터 제어 게이트선 CG(i)로 전위 강하 없이 전압이 전송되고, 제어 게이트선 CG(2)가 0V→20V, 제어 게이트선 CG(1), CG(3) CG(8)가 0V→10V가 된다. 이 때는 "1" 기입 비트선에 접속된 선택 블록 내 NAND셀의 채널부 전압 Vchannel은 0V로 고정되고, "0" 기입 비트선에 접속된 선택 블록 내의 NAND셀의 채널부 전압 Vchannel은 제어 게이트선과의 용량 커플링의 영향에 의해 8V 정도까지 상승한다. 이 상태가 잠시 유지됨으로써, 기입 데이터가 "1"인 메모리 셀의 부유 게이트로의 전자 주입이 행하여져 데이터 기입이 실행된다. 계속해서, 선택 블록 내의 제어 게이트선 CG(1) CG(8)가 전부 0V가 된 후, "0" 데이터 기입 비트선이나 선택 게이트선 SG(1)가 0V가 됨과 함께, 전원 노드 VPPRW가 Vcc로 된다. 마지막으로, 소스선(Cell-Source)이 0V가 됨과 함께, 노드 N0, N1, N2가 각각 0V, 0V, Vcc가 되고, 데이터 기입 동작이 종료된다.

도 9에 도시한 데이터 판독 동작에서는 동작이 개시되면, 우선 선택 블록의 로우 디코더 회로가 선택 상태가 되고, 노드 N0, N1이 Vcc, 노드 N2가 0V가 된다. 또한, 데이터의 판독을 행하는 비트선을 Vcc로 프리차지한다. 계속해서, 전원 노드 VPPRW나 노드 N1이 (4V+Vtn)이 됨과 함께, 신호 입력 노드 CGD1, CGD3 CGD8이나 신호 입력 노드 SGD, SGS가 0V→4V, 신호 입력 노드 CGD2가 0V로 고정되면, 제어 게이트선이나 선택 게이트선에 접속된 NMOS 트랜지스터의 게이트에는 4V보다도 임계치 전압만큼 높은 전압이 인가되어 있기 때문에, 제어 게이트선이나 선택 게이트선에는 전위 강하 없이 전압이 전송된다. 따라서, 이 때는 선택 블록 내의 비선택의 제어 게이트선 CG(1), CG(3) CG(8), 선택 게이트선 SG(1), SG(2)가 0V→4V, 선택된 제어 게이트선은 0V로 고정된다. 이 상태가 잠시 유지됨으로써, 선택된 메모리 셀의 데이터가 판독된다. 계속해서, 선택된 블록 내의 제어 게이트선 CG(1) CG(8) 및 선택 게이트선 SG(1), SG(2)가 모두 0V로 됨과 함께, 전원 노드 VPPRW가 (4V+Vtn)→Vcc, 비트선이 0V가 되며 또한 노드 N0, N1 N2가 각각 0V, 0V, Vcc가 됨으로써 데이터 판독 동작이 종료된다.

도 10에 도시한 데이터 소거 동작에서는 동작이 개시되면, 우선 선택 블록의 로우 디코더 회로가 선택 상태가 되고, 노드 N0, N1이 Vcc, 노드 N2가 0V로 된다. 또한, 신호 입력 노드 SGD, SGS, SGDS가 전부 Vcc가 되기 때문에, 선택 블록 · 비선택 블록의 양방의 선택 게이트선 SG(1), 선택 블록의 선택 게이트선 SG(2)는 전부 (Vcc-Vtn)까지 충전된 후, 부유 상태가 된다. 또한, 이 때는 비선택 블록 중의 제어 게이트선이나 선택 게이트선 SG(2)는 모두 0V 정도의 전압인 채로 부유 상태로 되어 있다. 계속해서, 메모리 셀 어레이가 구성되어 있는 p형 웰 영역(Cell-pwell)이 0V→20V로 되면, 부유 상태에 있는 선택 블록 · 비선택 블록의 양방의 선 택 게이트선 SG(1), SG(2)나 비선택 블록 중의 제어 게이트선은 전부 p형 웰 영역과의 용량 커플링의 영향으로 20V 정도까지 상승하고, 선택 블록 중의 제어 게이트선만 0V로 고정된다. 이 상태가 잠시 유지됨으로써, 선택 블록 중의 메모리 셀의 부유 게이트로부터 p형 웰 영역으로의 전자 방출이 행해지고, 데이터의 소거가 실행된다. 계속해서, p형 웰 영역이 0V가 됨으로써, 부유 상태에 있는 선택 블록 · 비선택 블록의 양방의 선택 게이트선 SG(1), SG(2)나 비선택 블록 중의 제어 게이트선은 전부 p형 웰 영역과의 용량 커플링의 영향으로 0V Vcc 정도의 전압까지 저하되고, 그 후 0V로 고정된다. 마지막으로, 노드 N0, N1, N2가 각각 0V, 0V, Vcc가 되고, 데이터 소거 동작이 종료된다.

상기한 바와 같이, 도 7에 도시한 로우 디코더 회로에서는 데이터 기입 동작시나 데이터 판독 동작시, 제어 게이트선 · 선택 게이트선에 인가하는 최고 전압보다도 Vtn(전압을 전송하는 트랜지스터 QN0 QN10의 임계치 전압) 이상 높은 전압을 전원 노드 VPPRW에 인가함으로써, 1개의 제어 게이트선 · 선택 게이트선에 접속되는 트랜지스터가 NMOS 트랜지스터만이라도, 전위 강하 없이 기입용 고전압이나 판독용 고전압을 제어 게이트선에 인가할 수 있어 신뢰성이 높은 동작을 실현할 수 있다.

또한, 1개의 제어 게이트선에 접속하는 트랜지스터를 NMOS 트랜지스터 1개로 함으로써, 소자수가 적은 로우 디코더 회로를 실현할 수 있고, 로우 디코더 회로의 패턴 면적 축소에 의한 칩 사이즈 축소, 즉 칩 비용 감소를 실현할 수 있다.

또한, 제어 게이트선이나 선택 게이트선에 접속되는 트랜지스터와 역극성인 PMOS 트랜지스터 QP11, QP12를 통해 "High" 레벨 전압이 출력되는 전압 전환 회로(54A)를 이용함으로써, 소자수가 적고 또한 패턴 점유 면적이 작은 전압 전환 회로(54)를 구성할 수 있기 때문에, 소자수가 적고 또한 패턴 점유 면적이 작은 로우 디코더 회로를 실현할 수 있고, 로우 디코더 회로의 패턴 면적 축소에 의한 칩 사이즈 축소, 즉 칩 비용 감소를 실현할 수 있다.

도 11에 본 발명의 제2 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 다른 일부의 구성예를 나타낸다. 도 11의 회로가 도 7과 다른 부분은 전압 전환 회로(54B)의 회로 구성이고, 전원 노드 VPPRW와 트랜지스터 QP11, QP12 간에 디플리션형 NMOS 트랜지스터 QD1이 설치되어 있다. 도 11의 회로를 이용한 경우의 데이터 기입 · 판독 · 소거의 각각의 동작을 나타내는 타이밍차트는 도 8 내지 도 10과 동일하다.

다음에, 상기 트랜지스터 QD1을 설치하는 것에 의한 이점에 대하여 설명한다.

도 7의 회로에서는 PMOS 트랜지스터 QP11, QP12의 소스나 QP11, QP12를 구성하는 n ‐웰 영역에 직접 전원 노드 VPPRW의 전위 레벨이 인가되기 때문에, 선택 블록 · 비선택 블록에 관계없이, 모든 블록 중의 트랜지스터 QP11, QP12의 소스 · n ‐웰 영역을 전원 노드 VPPRW의 전위 레벨로 충전할 필요가 있다. 통상, 블록수는 하나의 칩 내에 수백개 수천개 정도 있기 때문에, 수백 수천개의 소자의 소스나 n ‐웰 영역을 동시에 충전함으로써 전원 노드 VPPRW의 용량치는 매우 큰 값이 된다. 데이터 기입 동작이나 판독 동작에서는, 전원 노드 VPPRW에는 (20V+Vtn)이나 (4V+Vtn) 이라는 승압 전압을 인가하기 때문에, 전원 노드 VPPRW의 용량치가 크면, 승압 전압 발생 회로의 면적 증가, 소비 전력 증가, 승압 전압의 충전 소요 시간이 길어지는 것에 의한 동작의 장시간화 등의 문제가 발생하게 된다.

한편, 도 11의 회로에서는, 선택 블록 중에서는 노드 N0의 전압이 "High" 레벨(=Vcc)이기 때문에, 트랜지스터 QD1의 게이트에 입력되어 있는 노드 N1의 전압이 "High" 레벨(=VPPRW 전위 레벨), 트랜지스터 QP11, QP12의 소스 · n ‐웰 전위인 노드 N3의 전위도 "High" 레벨(=VPPRW 전위 레벨)이 되기 때문에, 트랜지스터 QD1의 유무에 상관없이 도 8 내지 도 10의 동작을 실현할 수 있다. 도 11의 회로 사용시의 비선택 블록 중에서는 노드 N0의 전압이 "Low" 레벨인 0V에 있기 때문에, 트랜지스터 QD1의 게이트에 입력되어 있는 노드 N1의 전압이 0V로 고정되고, 따라서 노드 N3은 Vtd(단, Vtd는 트랜지스터 QD1의 게이트 전압=0V일 때 트랜지스터 QD1을 통해 전송 가능한 전압의 최고치이고, 통상 Vcc 이하의 전압)에 있다.

이와 같이, 도 11의 회로를 이용함으로써, 선택 블록과 비선택 블록에 트랜지스터 QP11, QP12의 소스 · n ‐웰 전위를 변화시킬 수 있다.

상기 트랜지스터 QP11, QP12를 구성하는 n ‐웰 영역의 형상을 도 12a와 도 12b에 도시한다. 도 12a와 도 12b는 각각 도 7과 도 11의 회로 구성을 이용한 경우의 n ‐웰 영역의 형성예를 나타내고 있다. 도 7의 회로에서는 모든 블록 중에 있어서 n ‐웰 전압이 동일 전위이기 때문에, 도 12a에 도시한 바와 같이, 모든 블록 Block1 BlockN에 걸친 1개의 n ‐웰 영역 NW를 형성하고, 이 영역 NW에 PMOS 트랜지스터 QP11, QP12를 형성하는 방식을 통상은 이용한다.

한편, 도 11의 회로에서는 선택 블록 · 비선택 블록 간에 n ‐웰 전압이 다르기 때문에, 도 12b에 도시한 바와 같이, 각 블록 Block1 BlockN마다 1개의 n ‐웰 영역 NW1 NWN을 형성하고, 이들 영역 NW1 NWN에 PMOS 트랜지스터 QP11, QP12를 형성하는 방식이 유효하다. 블록마다 n ‐웰 영역을 분할하고, 선택 n ‐웰 영역만을 전원 전압보다 높은 승압 전압(20V나 4V 등)으로 충전함으로써, 승압 전압의 부하 용량치를 대폭 감소할 수 있다. 따라서, 승압 전압 발생 회로의 면적 삭감, 소비 전력 저감, 승압 전압의 충전 소요 시간의 단축에 의한 동작의 고속화 등을 실현할 수 있다.

도 13에 본 발명의 제3 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 또 다른 일부의 구성예를 나타낸다. 도 13의 회로가 도 7과 도 11의 회로와 다른 것은 전압 전환 회로(54C)의 구성이다. 이 전압 전환 회로(54C)는 디플리션형 NMOS 트랜지스터 QD2, PMOS 트랜지스터 QP13 및 디플리션형 NMOS 트랜지스터 QD3, QD4를 포함하여 구성되어 있다. 상기 NMOS 트랜지스터 QD2의 전류 통로의 일단은 전원 노드 VPPRW에 접속되고, 게이트는 노드 N1에 접속된다. 상기 PMOS 트랜지스터 QP13의 전류 통로의 일단 및 백 게이트는 상기 NMOS 트랜지스터 QD2의 전류 통로의 타단에 접속되고, 전류 통로의 타단은 노드 N1에 접속되고, 게이트는 NAND 게이트(57)의 출력단에 접속된다. 상기 NMOS 트랜지스터 QD3의 전류 통로의 일단은 노드 N1에 접속되고, 게이트에 전원 전압 Vcc가 인가된다. 그리고, 상기 NMOS 트랜지스터 QD4의 전류 통로의 일단은 상기 NMOS 트랜지스터 QD3의 전류 통로의 타단에 접속되고, 전류 통로의 타단은 인버터(58)의 출력단에 접속되고, 게이트에 신호 TRAN이 공급된다.

도 13의 회로의 동작 파형은 도 8 내지 도 10에 도시한 파형과 마찬가지이고, 또한 도 13 중의 노드 N4의 전압은 도 11 중의 노드 N3과 마찬가지가 된다. 따라서, 도 13의 회로를 이용한 경우에도, 도 11의 회로를 이용한 경우와 마찬가지로 선택 블록 · 비선택 블록 간에 노드 N4의 전압이 다르다, 즉 노드 N1에 "High" 레벨(=승압 전압)을 전송하는 PMOS 트랜지스터 QP13의 소스나 n ‐웰 영역의 전압이 선택 · 비선택 블록 간에 다르다. 따라서, 도 12b와 같은 n ‐웰 구성을 이용하는 수 있고, 이 결과 승압 전압의 부하 용량을 감소시킬 수 있다. 또한, 신호 TRAN은 통상은 0V 고정으로서 사용되고, 비선택 블록 중에서는 노드 N0이 0V이기 때문에, 디플리션형 NMOS 트랜지스터 QD4, QD3을 통해 0V가 노드 N1에 전송된다. 또한, 선택 블록 중에서는 노드 N0=Vcc, 노드 N1≥Vcc이기 때문에, NMOS 트랜지스터 QD4는 오프 상태가 되어 노드 N1의 "High" 레벨이 유지된다.

상기 도 13의 회로의 다른 장점으로서는, 첫번째로 도 11의 회로보다도 전압 전환 회로(54C)를 구성하는 소자수가 적어지는(7개(도 11)→4개(도 13)) 점, 두번째로 PMOS 트랜지스터 QP13의 소스 · 드레인 · n ‐웰 영역 간의 전위차가 작아진다고 하는 점이 있다. 후자에 관해서는, 트랜지스터 QP13이 온하고 있는 경우에는 항상 소스=드레인=n ‐웰 영역, 오프하고 있는 경우에는 소스=n ‐웰 영역=Vtd(단, Vtd는 QD2의 게이트 전압=0V일 때 트랜지스터 QD2를 통해 전송 가능한 전압의 최고치이고, 통상 Vcc 이하의 전압) 또한 드레인=0V이기 때문에, 기입용 고전압(약 20V)이 인가되는 동작이 있음에도 불구하고, 소스 · 드레인 · n ‐웰 영역 간의 전위차는 최고라도 Vcc 정도밖에 도달하지 않는다.

또, 상기 실시예에서는, 도 7, 도 11과 도 13에 도시한 바와 같이, 하나의 블록 내의 제어 게이트선 · 선택 게이트선을 구동하는 로우 디코더 회로가 메모리 셀 어레이의 양측에 배치된 경우를 예로 들어 본 발명의 설명을 행했지만, 다른 경우, 예를 들면 도 14와 같이, 하나의 블록에 대응하는 로우 디코더 회로가 메모리 셀 어레이의 편측에 배치된 경우에도 본 발명은 유효하다. 도 14에서는 전압 전환 회로(54D)로서는 구체적인 회로 구성은 나타내고 있지 않지만, 예를 들면 도 7, 도 11과 도 13의 회로와 같이 여러 가지의 회로 구성이 사용 가능하다.

다음에, 로우 디코더 회로의 배치예를 도 15 내지 도 17에 도시한다. 도 15는 하나의 블록 내의 제어 게이트선 · 선택 게이트선을 구동하는 로우 디코더 회로가 메모리 셀 어레이의 양측에 배치된 경우를 나타내고, 도 11과 도 13의 실시

예에 상당한다. 도 16과 도 17은 모두 하나의 블록에 대응하는 로우 디코더 회로가 메모리 셀 어레이의 편측에 배치된 경우를 나타내고, 도 14에 상당한다. 1블록분의 로우 디코더의 패턴을 작성하는 폭(피치)으로서는 도 15의 방식을 이용한 경우에는 1개의 NAND셀 길이(1개의 NAND셀의 비트선 방향의 길이)인 데 대하여, 도 16과 도 17의 방식을 이용한 경우에는 2개의 NAND셀 길이가 되기 때문에 넓은 피치를 확보할 수 있다.

상기 도 15 내지 도 17에 PNlOS 트랜지스터 형성용 n ‐웰 영역을 가한 것을 도 18 내지 도 20에 도시한다. 도 15 내지 도 17은 각각 도 18 내지 도 20에 대응한다. 도 18 내지 도 20으로부터도 알 수 있는 바와 같이, 도 14의 방식을 이용한 경우에는 도 11과 도 13을 이용한 경우에 비해 로우 디코더 회로의 패턴 형성용의 피치가 2배가 되고, 이 경우에는 PMOS 트랜지스터 형성용 n ‐웰 영역의 피치도 2배가 된다. 이 때문에, 디자인 룰을 완화할 수 있어 보다 신뢰성이 높고 수율도 높은 칩을 실현할 수 있다. 또한, 장래적으로 더 디자인 룰이 축소된 경우라도, 도 14의 방식을 이용한 경우에는 도 11과 도 13의 방식을 이용한 경우보다도 블록마다 n ‐웰 영역을 분할하여 형성할 수 있는 가능성이 높다(혹은 확률이 높다)라는 특징이 있다.

그런데, 상기 n ‐웰 영역의 배치는 상기한 배치 이외에도 생각할 수 있고, 예를 들면 도 21a 내지 도 21e에 도시한 바와 같이 배치해도 좋다. 도 21a 내지 도 21e는 로우 디코더 영역을 나타내는 도면이고, 로우 디코더의 패턴 형성 영역에 인접한 블록만이 도시되어 있다.

도 21a는 도 18, 도 19와 도 20의 방식(=도 21a의 방식을 도 15 내지 도 17 의 블록 배치에 대하여 적용한 방식)을 나타낸 것이고, 인접한 블록인 Block-i, Block-j의 각각의 영역 내에 n ‐웰 영역 NWi, NWj가 형성된다.

도 21b, 도 21c와 도 21d는 각 블록에 대응하는 로우 디코더 영역에 대하여, n ‐웰 영역 NWi, NWj가 복수의 블록 Block-i, Block-j에 걸쳐 형성되는 경우이고, n ‐웰 영역 NWi, NWj 주위의 디자인 룰이 로우 디코더 형성용의 1블록분의 피치에 들어가지 않은 경우에는 도 21b, 도 21c와 도 21d와 같이 2블록분의 영역 내에서 1개의 n ‐웰 영역을 형성하는 방법이 유효하다.

장래적으로 또한 디자인 룰이 엄격해질 때는 도 21e와 같이, 4블록 Block-i Block-1만큼의 영역 내에 1개의 n ‐웰 영역 NWi NWl을 형성하면 좋고, 또한 3개나 5개 이상의 블록만큼의 영역 내에 1개의 n ‐웰 영역을 형성하는 등, 여러 가지의 방식에 응용할 수 있다.

이와 같이, 도 21b 내지 도 21e의 방식을 도 15 내지 도 17의 블록 배치에 대하여 적용하는 방식은 디자인 룰 축소시는 대단히 유효하다. 특히, 상기 PMOS 트랜지스터 QP11, QP12, QP13 등과 같이, 전원 전압보다 높은 전압(승압 전압 등)이 인가되는 n ‐웰 영역은 디자인 룰 축소가 곤란하기 때문에, 상기 방법에 의한 피치 증가 · 디자인 룰 완화는 매우 효과가 높은 방법이다.

또한, 도 11, 도 12a, 도 12b, 도 13과 도 14, 도 18 내지 도 20과 도 21a 내지 도 21e에서는 1블록분의 로우 디코더 회로에 대하여 1개의 비율로 PMOS 트랜지스터 형성용 n ‐웰 영역을 설치하는 경우의 실시예를 설명하였다. 그러나, 본 발명은, 다른 경우, 예를 들면 인접 블록 간에서 1개의 n ‐웰 영역을 공유하는 경우 등에도 유효하다.

도 22 내지 도 25에 상기한 회로의 경우 및 인접 블록 간에서 1개의 n ‐웰 영역을 공유하는 경우의 인접하는 2블록분의 로우 디코더 회로 중, 어드레스 디코드부 · 전압 전환 회로부(54)(54A, 54B, 54C, 54D)의 회로 구성예를 나타낸다. 도 22는 도 11의 회로에 상당하고, 도 23은 도 13의 회로에 상당한다. 도 24는 인접 블록 간에서 1개의 n ‐웰 영역을 공유하는 경우의 회로 구성예이고, 도 11의 회로를 베이스로 한 것에 상당한다. 도 25는 인접 블록 간에서 1개의 n ‐웰 영역을 공유하는 경우의 회로 구성예이고, 도 13의 회로를 베이스로 한 것에 상당한다. 도 24는 도 22로부터의 소자수 증가는 없지만, 도 25는 도 23에 대하여 1블록당 1개의 디플리션형 NMOS 트랜지스터가 추가되어 있다.

도 24와 도 25에 도시한 회로를 사용할 때는 n ‐웰 영역을 공유하는 2블록 중의 어느 하나, 혹은 양방이 선택된 경우에는 n ‐웰 영역은 선택시 전압(기입시 20V+Vtn, 판독시 4V+Vtn, 소거시 Vcc)이 되고, 다른 경우에는 n ‐웰 영역은 비선택시 전압 Vtd로 설정된다. 이 경우도, 승압 전압이 인가되는 n ‐웰 영역은 선택 블록을 포함하는 것만으로 이루어지지 때문에, 승압 전압의 부하 용량이 종래의 경우(도 12a에 상당)보다도 대폭 저감할 수 있는 장점이 있다.

또, 도 22 내지 도 25에서는 인접 블록으로서 Block-i와 Block-(i+1)이라는 연속된 어드레스의 블록이 로우 디코더 회로 영역에 있어서 인접한 경우를 예로 들어 본 발명의 설명을 행하고 있지만, 연속 어드레스의 블록이 아닌 경우라도 로우 디코더 회로 영역에 있어서 인접한 블록 간에서 n ‐웰 영역을 공통화하는 경우는 본 발명이 유효해지는 것은 물론이다.

도 26 내지 도 28에 도 24와 도 25에 도시한 회로 구성의 사용시의 n ‐웰 영역의 형성예가 도시되어 있고, 인접 블록 간에서 1개의 n ‐웰 영역을 공유하는 구성으로 되어 있다. 도 24, 도 25 및 도 26 내지 도 28의 방식을 이용함으로써, 도22, 도 23 및 도 18 내지 도 20을 이용하는 경우보다도 n ‐웰 영역 형성의 피치를 넓힐 수 있고, 따라서 n ‐웰 영역 주위의 디자인 룰이 완화되기 때문에, 신뢰성의 향상이나 수율 향상 등을 실현할 수 있다. 특히, 상기 PMOS 트랜지스터 QP11, QP12, QP13 등과 같이 전원 전압보다 높은 전압(승압 전압 등)이 인가되는 n ‐웰 영역은 디자인 룰 축소가 곤란하기 때문에, 상기 방법에 의한 피치 증가 · 디자인 룰 완화는 매우 효과가 높은 방법이다.

또한, 도 24, 도 25 및 도 26 내지 도 28의 방법을 이용하면, n ‐웰 영역수가 반감하기 때문에, 로우 디코더 회로의 패턴 면적 축소를 실현할 수 있는 장점이 있다. 또한 디자인 룰을 완화하는 방법으로서, 도 29a와 도 29b와 같이, 2블록 공통의 n ‐웰 영역을 3 4블록 피치에 1개 설치하는 방법이 있고, 이것은 도 18 내지 도 20에 대한 도 21b 내지 도 21d의 방식과 마찬가지의 방식이다. 도 29a와 도 29b의 방법도 매우 효과적이다.

도 30에 본 발명의 제5 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 다른 일부의 구성예를 나타낸다. 이 도 30에 도시한 회로는 도 14에 도시한 회로에 전압 전환 회로(54E)를 부가한 구성으로 되어 있다. 즉, NAND 게이트(57)의 제1 입력단에는 로우 디코더 기동 신호 RDEC가 공급되고, 제2 내지 제4 입력단에는 블록 어드레스 신호 RA1, RA2, RA3이 각각 공급된다. 이 NAND 게이트(57)의 출력단에는 인버터(58)의 입력단이 접속되고, 이 인

버터(58)의 출력 신호 in1이 전압 전환 회로(54D, 54E)에 공급된다. 상기 전압 전환 회로(54E)에는 동작 전원 전압으로서 전압 Vm이 인가되어 있다. 그리고, 상기 전압 전환 회로(54E)의 출력 신호 out1이 전압 전환 회로(54D)에 공급되도록 되어 있다. 다른 회로부는 도14에 도시한 회로와 마찬가지이기 때문에, 동일 부분에 동일 부호를 붙이고 그 상세한 설명은 생략한다.

도 31a 내지 도 31d는 각각 상기 도 30에 도시한 회로에 있어서의 전압 전환 회로(54E)의 구체적인 구성예를 나타내는 회로도이다. 어떠한 전압 전환 회로(54E)에도 인버터(58)의 출력 신호 in1이 입력되고, 이 신호 in1이 "high" 레벨일 때 0V, 신호 in1이 "low" 레벨일 때 Vm 레벨의 신호 out1을 출력하도록 되어 있다.

도 31a에 도시한 회로는 인버터 INVa, NMOS 트랜지스터 QN13, QN14 및 PMOS 트랜지스터 QP14, QP15로 구성되어 있다. 인버터(58)의 출력 신호 in1은 인버터 INVa의 입력단 및 NMOS 트랜지스터 QN14의 게이트에 각각 공급된다. 상기 인버터 INVa의 출력단에는 NMOS 트랜지스터 QN13의 게이트가 접속되어 있다. NMOS 트랜지스터 QN13, QN14의 소스는 다른쪽의 전원 노드, 예를 들면 접지점에 접속되고, 각 드레인과 전압 노드 Vm 간에는 각각 PMOS 트랜지스터 QP14, QP15의 드레인, 소스 간이 접속되어 있다. 상기 PMOS 트랜지스터 QP14의 게이트는 PMOS 트랜지스터 QP15와 NMOS 트랜지스터 QN14의 드레인 공통 접속점에 접속되고, 상기 PMOS 트랜지스터 QP15의 게이트는 PMOS 트랜지스터 QP14와 NMOS 트랜지스터 QN13의 드레인 공통 접속점에 접속된다. 그리고, 상기 트랜지스터 QP15, QN14의 드레인 공통 접속점으로부터 얻은 출력 신호 out1을 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.

또한, 도 31b에 도시한 회로는 인버터 INVb, NMOS 트랜지스터 QN15, QN16, PMOS 트랜지스터 QP16, QP17 및 디플리션형 NMOS 트랜지스터 QD5로 구성되어 있다. 인버터(58)의 출력 신호 in1은 인버터 INVb의 입력단 및 NMOS 트랜지스터 QN16의 게이트에 각각 공급된다. 상기 인버터 INVb의 출력단에는 NMOS 트랜지스터 QN15의 게이트가 접속되어 있다. NMOS 트랜지스터 QN15, QN16의 소스는 접지점에 공통 접 속되고, 각 드레인에는 PMOS 트랜지스터 QP16, QP17의 드레인이 각각 접속되어 있다. 상기 PMOS 트랜지스터 QP16의 게이트는 PMOS 트랜지스터 QP17과 NMOS 트랜지스터 QN16의 드레인 공통 접속점에 접속되고, 상기 PMOS 트랜지스터 QP17의 게이트는 PMOS 트랜지스터 QP16과 NMOS 트랜지스터 QN15의 드레인 공통 접속점에 접속된다. 상기 PMOS 트랜지스터 QP16, QP17의 소스와 전압 노드 Vm 간에는 디플리션형 NMOS 트랜지스터 QD5의 드레인, 소스 간이 접속되고, 그 게이트는 트랜지스터 QP17, QN16의 드레인 공통 접속점에 접속된다. 그리고, 상기 트랜지스터 QP17, QN16의 드레인 공통 접속점으로부터 얻은 출력 신호 out1을 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.

도 31c에 도시한 회로는 NMOS 트랜지스터 QN17, PMOS 트랜지스터 QP18 및 디플리션형 NMOS 트랜지스터 QD6으로 구성되어 있다. 상기 각 트랜지스터 QN17, QP18, QD6의 전류 통로는 접지점과 전압 노드 Vm 간에 직렬 접속되어 있고, 상기 인버터(58)의 출력 신호 in1은 상기 트랜지스터 QN17, QP18의 게이트에 공급된다. 또한, 상기 트랜지스터 QD6의 게이트는 상기 트랜지스터 QN17, QP18의 드레인 공통 접속점에 접속된다. 그리고, 상기 트랜지스터 QN17, QP18의 드레인 공통 접속점으로부터 얻은 출력 신호 out1을 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.

또한, 도 31d에 도시한 회로는 인버터 INVd, NMOS 트랜지스터 QN18, PMOS 트랜지스터 QP19 및 디플리션형 NMOS 트랜지스터 QD7로 구성되어 있다. 인버터(58)의 출력 신호 in1은 인버터 INVd의 입력단 및 PMOS 트랜지스터 QP19의 게이트에 공 급된다. 상기 인버터 INVd의 출력단에는 NMOS 트랜지스터 QN18의 전류 통로의 일단이 접속되고, 이 트랜지스터 QN18의 게이트에는 전원 전압 Vcc가 인가된다. 상기 트랜지스터 QN18의 전류 통로의 타단과 전압 노드 Vm 간에는 PMOS 트랜지스터 QP19 및 디플리션형 NMOS 트랜지스터 QD7의 전류 통로가 직렬 접속된다. 상기 트랜지스터 QD7의 게이트는 상기 트랜지스터 QN18과 QP19의 전류 통로의 접속점에 접속된다. 그리고, 상기 트랜지스터 QN18, QP19의 전류 통로의 접속점으로부터 얻은 출력 신호 out1을 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.

또, 상기 전압 전환 회로(54D)의 회로 구성으로서는, 도 7에 도시한 회로에 있어서의 전압 전환 회로(54A), 도 11에 도시한 회로에 있어서의 전압 전환 회로(54B), 도 13에 도시한 회로에 있어서의 전압 전환 회로(54C), 혹은 도 22 내지 도 25에 도시한 방식의 어떠한 회로도 적용 가능하다.

상기 도 30에 도시한 회로에 있어서의 전압 노드 Vm의 전압은, 예를 들면 전원 전압[혹은 NAND 게이트(57)나 인버터(58)의 전원 전압]보다도 높고, 전원 노드 VPPRW의 최고 전압 레벨(통상은 기입용 고전압 Vpp의 레벨)보다도 낮은 전압을 사용할 수 있다. 도 30의 방식을 이용한 경우, 전압 전환 회로(54D)에 입력되는 2개의 신호 중 한쪽(도 30 중의 out1에 상당하는 신호)의 "high" 상태시의 전압 레벨이 전원 전압으로부터 전압 Vm으로 높아진다. 즉, 비선택 블록에 대응하는 로우 디코더 회로 내에서는 NAND 게이트(57)의 출력은 "high"가 되기 때문에, 인버터(58)로부터 출력되는 신호 in1은 "low" 레벨이 되기 때문에, 신호 out1은 Vm 레벨이 된다. 이 결과, 전압 전환 회로(54D)에 Vm 레벨의 신호가 입력된다.

상기 도 30과 같은 회로 방식을 이용한 경우에 특히 효과가 있는 것은 전압전환 회로(54D)로서 도 13에 도시한 회로에 있어서의 전압 전환 회로(54C), 혹은 도 23과 도 25에 도시한 바와 같은 회로 구성을 이용하는 경우이다.

다음에, 상기 전압 전환 회로(54D)로서, 도 13에 도시한 회로에 있어서의 전압 전환 회로(54C)를 이용하는 경우를 예로 들어 이 효과를 설명한다. 도 30과 같은 회로 구성을 이용하는 경우에는 비선택 블록에 대응하는 로우 디코더에서는 트랜지스터 QP13의 게이트에 입력되는 전압이 전원 전압으로부터 Vm 레벨로 높아지기 때문에, 트랜지스터 QP13을 통한 누설 전류를 저감할 수 있는 장점이 있다. 통상, 로우 디코더 회로는 칩 중에 수백 수만개 정도 설치되기 때문에, 1개의 로우 디코더 회로 내에서는 누설 전류가 그다지 크지 않은 경우라도 칩 전체로서는 큰 전류가 된다. 이 때문에, 도 30에 도시한 바와 같은 회로를 이용한 누설 전류 저감 방식은 큰 효과가 얻어진다. 이 효과는, 도 13에 도시한 회로에 있어서의 전압 전환 회로(54C)를 도 30의 전압 전환 회로(54D)에 적용한 경우뿐만 아니라, 도 23과 도 25

의 회로 방식에 적용한 경우도 마찬가지로 얻어진다.
더구나, 도 31b 내지 도 31d에 도시한 회로에서는 디플리션형 NMOS 트랜지스터 QD5 QD7이 사용되고 있다. 이들 트랜지스터 QD5 QD7에 인가되는 전압 레벨의 최고치 Vm은 도 11과 도 13, 도 22 내지 도 25에 도시한 회로에 있어서의 디플리션형 NMOS 트랜지스터 QD1 QD4에 인가되는 전압 레벨의 최고치인 VPPRW 최고 레벨(통상은 Vpp)보다도 낮다. 이 때문에, 트랜지스터 QD5 QD7의 게이트 산화막 두께는 트랜지스터 QD1 QD4의 게이트 산화막 두께보다도 얇게 할 수 있다. 따라서, 게이트 산화막 두께가 두꺼운 경우보다도 트랜지스터 QD5 QD7의 면적을 작게 할 수 있는(인가 최고 전압이 낮을 수록 게이트 산화막 두께의 박막화에 의한 단위 면적당의 트랜지스터의 전류량이 증가하기 때문에, 트랜지스터의 패턴 점유 면적의 축소가 가능) 특징이 있다.
마찬가지의 이유에 의해, 트랜지스터 QP14 QP19, QN13 QN18의 게이트 산화막 두께도 트랜지스터 QP11 QP13, QN13 QN18의 게이트 산화막 두께보다도 얇게 할 수 있다. 따라서, 이 경우에는 트랜지스터의 패턴 점유 면적을 게이트 산화막 두께가 얇은 경우보다도 작게 할 수 있다고 하는 특징이 있다.
지금까지는, 도 30 및 도 31a 내지 도 31d를 이용하여 제5 실시예의 설명을 행했지만, 본 발명은 여러 가지 변경 가능하고, 예를 들면 도 32 및 도 33a 내지 도 33d와 같은 회로 구성을 이용하는 경우에도 본 발명은 유효하다.
도 32는 본 발명의 제6 실시예에 따른 반도체 기억 장치에 있어서의 로우 디코더 회로의 일부의 구성예를 나타내고 있다. 이 도 32에 도시한 회로는 상기 도 30에 도시한 회로에 있어서의 인버터(58)의 출력 신호 in1과 NAND 게이트(57)의 출력 신호 in2를 각각 전압 전환 회로(54F)에 공급하고, 이 전압 전환 회로(54F)의 출력 신호 out1, out2를 전압 전환 회로(54D)에 공급하는 것이다.
도 33a 내지 도 33d는 각각 상기 도 32에 도시한 회로에 있어서의 전압 전환 회로(54F)의 구체적인 구성예를 나타내는 회로도이다. 이들 전압 전환 회로(54F)에는 인버터(58)의 출력 신호 in1과 NAND 게이트(57)의 출력 신호 in2가 입력되고, 도 33a와 도 33b에 도시한 회로에서는 신호 in1이 "high" 레벨(신호 in2는 "low" 레벨)일 때 신호 out1이 0V, 신호 out2가 Vm 레벨이 되고, 신호 in1이 "low" 레벨(신호 in2는 "high" 레벨)일 때 신호 out1이 Vm 레벨, 신호 out2가 0V가 된다. 또한, 도 33c와 도 33d에 도시한 회로에서는 신호 in1이 "high" 레벨(신호 in2는 "low" 레벨)일 때 신호 out1이 0V, 신호 out2가 Vcc 레벨이 되고, 신호 in1이 "low" 레벨(신호 in2는 "high" 레벨)일 때 신호 out1이 Vm 레벨, 신호 out2가 0V가 된다.
도 33a에 도시한 회로는 NMOS 트랜지스터 QN13, QN14 및 PMOS 트랜지스터 QP14, QP15로 구성되어 있다. 인버터(58)의 출력 신호 in1은 NMOS 트랜지스터 QN14의 게이트에 공급되고, NAND 게이트(57)의 출력 신호 in2는 NMOS 트랜지스터 QN13의 게이트에 공급된다. 상기 NMOS 트랜지스터 QN13, QN14의 소스는 접지점에 접속되고, 드레인과 전압 노드 Vm 간에는 각각 PMOS 트랜지스터 QP14, QP15의 드레인, 소스 간이 접속되어 있다. 상기 PMOS 트랜지스터 QP14의 게이트는 PMOS 트랜지스터 QP15와 NNIOS 트랜지스터 QN14의 드레인 공통 접속점에 접속되고, 상기 PMOS 트랜지스터 QP15의 게이트는 PMOS 트랜지스터 QP14와 NMOS 트랜지스터 QN13의 드레인 공통 접속점에 접속된다. 그리고, 상기 트랜지스터 QP15, QN14의 드레인 공통 접속점으로부터 얻은 출력 신호 out1 및 상기 트랜지스터 QP14, QN13의 드레인 공통 접속점으로부터 얻은 출력 신호 out2를 각각 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.
또한, 도 33b에 도시한 회로는 NMOS 트랜지스터 QN15, QN16, PMOS 트랜지스터 QP16, QP17 및 디플리션형 NMOS 트랜지스터 QD5로 구성되어 있다. 인버터(58) 의 출력 신호 in1은 NMOS 트랜지스터 QN16의 게이트에 공급되고, NAND 게이트(57)의 출력 신호 in2는 NMOS 트랜지스터 QN15의 게이트에 공급된다. 상기 NMOS 트랜지스터 QN15, QN16의 소스는 접지점에 접속되고, 드레인에는 각각 PMOS 트랜지스터 QP16, QP17의 드레인이 접속되어 있다. 상기 PMOS 트랜지스터 QP16의 게이트는 PMOS 트랜지스터 QP17과 NMOS 트랜지스터 QN16의 드레인 공통 접속점에 접속되고, 상기 PMOS 트랜지스터 QP17의 게이트는 PMOS 트랜지스터 QP16과 NMOS 트랜지스터 QN15의 드레인 공통 접속점에 접속된다. 상기 PMOS 트랜지스터 QP16, QP17의 소스와 전압 노드 Vm 간에는 디플리션형 NMOS 트랜지스터 QD5의 드레인, 소스 간이 접속되고, 그 게이트는 트랜지스터 QP17, QN16의 드레인 공통 접속점에 접속된다. 그리고, 상기 트랜지스터 QP17, QN16의 드레인 공통 접속점으로부터 얻은 출력 신호 out1 및 상기 트랜지스터 QP16, QN15의 드레인 공통 접속점으로부터 얻은 출력 신호 out2를 각각 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.
도 33c에 도시한 회로는 인버터 INVc, NMOS 트랜지스터 QN17, PMOS 트랜지스터 QP18 및 디플리션형 NMOS 트랜지스터 QD6으로 구성되어 있다. 상기 각 트랜지스터 QN17, QP18, QD6의 전류 통로는 접지점과 전압 노드 Vm 간에 직렬 접속되어 있고, 상기 인버터(58)의 출력 신호 in1은 상기 트랜지스터 QN17, QP18의 게이트에 공급된다. 또한, 트랜지스터 QD6의 게이트는 상기 트랜지스터 QN17, QP18의 드레인 공통 접속점에 접속된다. 또한, 상기 NAND 게이트(57)의 출력 신호 in2는 인버터 INVe의 입력단에 공급된다. 그리고, 상기 트랜지스터 QN17, QP18의 드레인 공통 접속점으로부터 얻은 출력 신호 out1 및 상기 인버터 INVe의 출력단으로부터 출 력되는 출력 신호 out2를 각각 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.
또한, 도 33d에 도시한 회로는 인버터 INVf, NMOS 트랜지스터 QN18, PMOS 트랜지스터 QP19 및 디플리션형 NMOS 트랜지스터 QD7로 구성되어 있다. 인버터(58)의 출력 신호 in1은 PMOS 트랜지스터 QP19의 게이트에 공급되고, NAND 게이트(57)의 출력 신호 in2는 NNIOS 트랜지스터 QN18의 전류 통로의 일단 및 인버터 INVf의 입력단에 각각 공급된다. 상기 트랜지스터 QN18의 게이트에는 전원 전압 Vcc가 인가되어 있고, 이 트랜지스터 QN18의 전류 통로의 타단과 전압 노드 Vm 간에는 PMOS 트랜지스터 QP19 및 디플리션형 NMOS 트랜지스터 QD7의 전류 통로가 직렬 접속된다. 상기 트랜지스터 QD7의 게이트는 상기 트랜지스터 QN18과 QP19의 전류 통로의 접속점에 접속된다. 그리고, 상기 트랜지스터 QN18, QP19의 드레인 공통 접속점으로부터 얻은 출력 신호 out1 및 상기 인버터 INVf의 출력단으로부터 출력되는 신호 out2를 각각 전압 전환 회로(54D)의 입력단에 공급하도록 되어 있다.

상기 도 32 및 도 33a 내지 도 33d와 같은 회로 구성을 이용한 경우에도, 도 30 및 도 31a 내지 도 31d에 의해 상술한 회로 구성과 마찬가지의 특징이 있어 실질적으로 동일한 작용 효과가 얻어진다.
또, 상기 도 31a 내지 도 31d 및 도 33a 내지 도 33d에 도시한 회로에 있어서의 PMOS 트랜지스터 QP14 QP19를 구성하기 위한 n - 웰 영역으로서는, 도 31a 내지 도 33a에 도시한 회로의 경우에는 각 블록 간에 공통으로 n - 웰 영역에 전압 VPPRW가 인가되기 때문에, 상술한 도 12a와 같은 구성이 적합하다. 한편, 도 31b 내지 도 31d 및 도 33b 내지 도 33d에 도시한 구성에서는 n - 웰 전압이 공통이 아니기 때문에, 도 12b, 도 18, 도 19, 도 20 및 도 21a 내지 도 21e, 도 26, 도 27, 도 28 및 도 29a와 도 29b에 도시한 바와 같은 구성이 적합하다.
도 34와 도 35는 각각 본 발명의 다른 실시예에 따른 반도체 기억 장치에 대하여 설명하기 위한 것으로, 상술한 제1 내지 제5 실시예에 있어서의 전압 전환 회로(54)(54A 54D)에 전압 VPPRW를 제공하는 회로부를 추출하여 나타내고 있다. 이들 회로는 신호 Active에 의해 스탠바이시와 액티브시에서 전원 노드 VPPRW의 상태를 전환하는 것이다.
즉, 도 34에 도시한 회로부는 고전압 발생 회로(60), 인버터(61), PMOS 트랜지스터 QP20 및 디플리션형 NMOS 트랜지스터 QD8로 구성되어 있다. 상기 고전압 발생 회로(60)의 출력단에는 전압 전환 회로(54)의 전원 노드 VPPRW가 접속되어 있고, 이 노드 VPPRW와 전원 전압 Vcc 간에 상기 트랜지스터 QD8, QP20의 전류 통로가 직렬 접속되어 있다. 상기 PMOS 트랜지스터 QP20의 게이트에는 신호 Active가 인버터(61)를 통해 공급되고, 상기 디플리션형 NMOS 트랜지스터 QD8의 게이트에는 상기 신호 Active가 공급된다.
상기한 바와 같은 구성에 있어서, 신호 Active는, 스탠바이시는 0V, 액티브시는 Vcc 레벨로 되는 신호이고, 예를 들면 /CE 핀으로부터 입력되는 칩 인에이블 신호에 기초하여 생성된다. 또한, 상기 고전압 발생 회로(60)는 스탠바이시는 비 동작 상태가 되도록 구성되어 있다.
스탠바이시는 상기 신호 Active의 0V에 의해 트랜지스터 QP20이 오프 상태가 되므로, 전원 노드 VPPRW는 부유 상태가 된다. 이것에 대하여, 액티브시 신호 Active가 Vcc 레벨로 되면, 트랜지스터 QP20이 온 상태가 되므로, 노드 VPPRW는 전원 전압 Vcc로 충전된다. 그 후, 고전압 발생 회로(60)에 의해, 노드 VPPRW가 고전압으로 설정됨과 함께, 신호 Active가 0V로 되어 트랜지스터 QD8이 오프 상태가 되어 전원 노드 VPPRW가 전원 Vcc로부터 분리된다.
따라서, 스탠바이시는 누설 전류의 발생을 억제하고, 또한 액티브시는 (Vcc까지의 고속 충전이 가능해지기 때문에) 전원 노드 VPPRW의 전압 상승을 빠르게 할 수 있다.
한편, 도 35에 도시한 회로부는 고전압 발생 회로(60)와 디플리션 NMOS 트랜지스터 QD9로 구성되어 있다. 고전압 발생 회로(60)의 출력단에는 전압 전환 회로(54)의 전원 노드 VPPRW가 접속되어 있고, 이 노드 VPPRW와 전원 Vcc 간에 트랜지스터 QD9의 전류 통로가 접속되어 있다. 그리고, 상기 디플리션형 NMOS 트랜지스터 QD9의 게이트에는 신호 Active가 공급되도록 되어 있다.
이러한 구성에 있어서도, 상술한 도 34의 회로와 마찬가지의 동작을 행하여 동일한 작용 효과가 얻어진다.
이상, 실시예를 이용하여 본 발명의 설명을 행하였지만, 본 발명은 상기 실시예뿐만 아니라, 여러 가지로 변경할 수 있다.
예를 들면, 상기 실시예에서는 선택 워드선에 0V 이상의 전압을 전송하는 경 우를 예로 들어 본 발명의 설명을 행하였지만, 극성이 역인 경우, 즉 선택 워드선에 0V 이상의 전압을 전송하는 경우에도 본 발명은 유효하고, 이 경우에는 상기한 전압 전환 회로 내의 NMOS 트랜지스터를 PMOS 트랜지스터로, 또한 상기한 전압 전환 회로 내의 PMOS 트랜지스터를 NMOS 트랜지스터로 바꿈과 함께 워드선에 직접 접속되는 트랜지스터를 NMOS 트랜지스터로부터 PMOS 트랜지스터로 바꾸는 등과 같이 극성을 역으로 하는 등의 방법으로 본 발명을 적용할 수 있다.
또한, 상기 실시예에서는 로우 디코더 회로에 본 발명을 적용한 경우를 예로 들어 본 발명의 설명을 행하였지만, 다른 경우, 예를 들면 다른 주변 회로에 있어서, 상기 실시예 중의 전압 전환 회로나 워드선 접속 트랜지스터의 구성 · 접속 관계를 이용하여 전압 전송을 행하는 경우 등, 여러 가지로 변경할 수 있다.
또한, 상기 실시예에서는 1개의 NAND셀 중에서 직렬 접속된 메모리 셀의 수가 8개인 경우에 대하여 설명하였지만, 직렬 접속하는 메모리 셀의 수가 8개가 아니고, 예를 들면 2, 4, 16, 32, 64개 등의 경우에 있어서도 마찬가지로 본 발명은 적용 가능하다. 또한, 선택 게이트 트랜지스터 간에 있는 메모리 셀수가 1개인 경우에 대해서도 마찬가지로 본 발명을 적용할 수 있다. 또한, 상기 실시예 중에는 NAND셀형 EEPROM을 예로 들어 본 발명의 설명을 행하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라 다른 디바이스, 예를 들면 NOR셀형 EEPROM, DINOR셀형 EEPROM, AND셀형 EEPROM, 선택 트랜지스터를 갖는 NOR셀형 EEPROM 등에 있어서도 적용 가능하다.
도 36에 NOR셀형 EEPROM에 있어서의 메모리 셀 어레이의 등가 회로도를 나타 낸다. 이 메모리 셀 어레이는 워드선 WLj, WLj+1, WLj+2, …와 비트선 BL0, BL1, …, BLm과의 각 교차 위치에 NOR셀 Mj0 Mj+2m이 설치되고, 각 NOR셀 Mj0 Mj+2m의 제어 게이트는 행마다 워드선 WLj, WLj+1, WLj+2, …에, 드레인은 열마다 비트선 BL0, BL1, …, BLm에 각각 접속되고, 소스는 소스선 SL에 공통 접속되어 구성되어 있다.
또한, 도 37에 DINOR셀형 EEPROM에 있어서의 메모리 셀 어레이의 등가 회로도를 나타낸다. DINOR셀형의 메모리 셀 어레이에서는 각 메인 비트선 D0, D1, …, Dn에 대응하여 DINOR셀이 설치된다. 각 DINOR셀은 선택 게이트 트랜지스터 SQ0, SQ1, …, SQn과 메모리 셀 M00 M31n으로 구성되어 있고, 상기 선택 게이트 트랜지스터 SQ0, SQ1, …, SQn의 드레인은 각 메인 비트선 D0, D1, …, Dn에, 게이트는 선택 게이트선 ST에, 소스는 로컬 비트선 LB0, LB1, …, LBn에 각각 접속된다. 각 메모리 셀 M00 M31n의 드레인은 열마다 상기 로컬 비트선 LB0, LB1, …, LBn에 접속되고, 제어 게이트는 행마다 워드선 W0 W31에 접속되고, 소스는 소스선 SL에 공통 접속된다.
도 38은 AND셀형 EEPROM에 있어서의 메모리 셀 어레이의 등가 회로도를 나타내고 있다. AND셀형의 메모리 셀 어레이에 있어서는 각 메인 비트선 D0, D1, …, Dn에 대응하여 AND셀이 설치된다. 각 AND셀은 제1 선택 게이트 트랜지스터 SQ10, SQ11, …, SQ1n, 메모리 셀 M00 M31n 및 제2 선택 게이트 트랜지스터 SQ20, SQ21, …, SQ2n으로 구성되어 있고, 상기 제1 선택 게이트 트랜지스터 SQ10, SQ11, …, SQ1n의 드레인은 각 메인 비트선 D0, D1, …,

Dn에, 게이트는 제1 선택 게이트선 ST1에, 소스는 로컬 비트선 LB0, LB1, …, LBn에 각각 접속된다. 각 메모리 셀 M00 M31n의 드레인은 열마다 로컬 비트선 LB0, LB1, …, LBn에 접속되고, 제어 게이트는 행마다 워드선 W0 W31에 접속되고, 소스는 로컬 소스선 LS0, LS1, …, LSn에 접속된다. 상기 제2 선택 게이트 트랜지스터 SQ20, SQ21, …, SQ2n의 드레인은 각 로컬 소스선 LS0, LS1, …, LSn에 각각 접속되고, 게이트는 제2 선택 게이트선 ST2에, 소스는 메인 소스선 MSL에 공통 접속된다.
또한, 도 39에 선택 트랜지스터를 갖는 NOR셀형 EEPROM에 있어서의 메모리 셀 어레이의 등가 회로도를 나타낸다. 이 메모리 셀 어레이는 선택 트랜지스터 SQ와 메모리 셀 트랜지스터 M으로 이루어지는 메모리 셀 MC가 매트릭스 배열되어 구성된다. 각 선택 트랜지스터 SQ의 드레인은 열마다 비트선 BL0, BL1, …, BLn에 접속되고, 게이트는 행마다 선택 게이트선 ST에 접속되고, 소스는 대응하는 메모리 셀 트랜지스터 M의 드레인에 접속된다. 상기 메모리 셀 트랜지스터 M의 제어 게이트는 행마다 워드선 WL에 접속되고, 소스는 소스선 SL에 공통 접속된다.
또, DINOR셀형 EEPROM의 상세에 관해서는 "H. Onoda et al., IEDM Tech. Digest, 1992, pp.599-602"를, 상기 AND셀형 EEPROM의 상세에 관해서는 "H. Kume et al., IEDM Tcch. Digest, 1992, pp.991-993"을 참조한다.
또한, 상기 각 실시예에서는 전기적으로 재기입이 가능한 불휘발성 반도체 기억 장치를 예로 들어 본 발명의 설명을 행하였지만, 본 발명은 다른 디바이스라도 사용 가능하고, 예를 들면 다른 불휘발성 기억 장치나 DRAM, SRAM 등의 디바이스에서도 마찬가지로 적용 가능하다.
이상 실시예를 이용하여 본 발명의 설명을 행하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 실시 단계에서는 그 요지를 일탈하지 않는 범위에서 여러 가지로 변형하는 것이 가능하다. 또한, 상기 실시예에는 여러 가지의 단계의 발명이 포함되어 있고, 개시되는 복수의 구성 요건의 적절한 조합에 의해 여러 가지의 발명을 추출할 수 있다. 예를 들면 실시예에 설명된 모든 구성 요건으로부터 몇 개의 구성 요건이 삭제되어도, 발명이 해결하고자 하는 과제란에서 상술한 과제 중 적어도 하나를 해결할 수 있고, 발명의 효과란에서 상술되고 있는 효과 중 적어도 하나를 얻을 수 있는 경우에는 이 구성 요건이 삭제된 구성이 발명으로서 추출될 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 로우 디코더 회로 내에 PMOS 트랜지스터를 포함하는 전압 전환 회로를 설치함으로써, 로우 디코더 회로 내에 워드선에 접속하는 트랜지스터를 워드선 1개당 NMOS 트랜지스터를 1개만으로 하는 경우에도 펌프 회로를 설치하지 않고 NMOS 트랜지스터의 게이트를 높은 전압으로 설정할 수 있다.
따라서, 워드선에 전위 강하 없이 고전압을 전송할 수 있고, 또한 로우 디코더 회로의 패턴 면적을 삭감할 수 있는 반도체 기억 장치가 얻어진다.
또한, 패턴 면적이 작은 로우 디코더 회로를 실현할 수 있기 때문에, 염가로 신뢰성이 높은 칩을 실현할 수 있는 반도체 기억 장치가 얻어진다.
또한, 워드선에 전위 강하 없이 고전압을 전송할 수 있어 충분한 데이터 기 입 동작을 실현할 수 있는 반도체 기억 장치가 얻어진다.

(57) 청구의 범위

청구항 1.
반도체 기억 장치에 있어서,
메모리 셀이 매트릭스 배열된 메모리 셀 어레이, 및
상기 메모리 셀 어레이의 워드선을 선택함과 함께, 워드선에 전압을 전송하는 로우 디코더 회로를 포함하고,
상기 로우 디코더 회로는,
전류 통로의 일단이 각각의 워드선에 각각 직접적으로 접속된 제1 도전형의 복수의 제1 트랜지스터, 및
선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전압을 전송하는, 제1 도전형과는 역극성의 제2 도전형의 제2 트랜지스터를 포함하고,
상기 선택한 워드선으로의 전압의 전송은, 제1 도전형의 제1 트랜지스터만으로 행하는 반도체 기억 장치.

청구항 2.
제1항에 있어서,
상기 선택한 워드선에 전압을 전송하는 동작시, 상기 제1 트랜지스터의 게이트에 상기 제2 트랜지스터를 통해 선택한 워드선보다도 높은 전압을 전송하는 반도체 기억 장치.

청구항 3.
제1항에 있어서,
상기 로우 디코더 회로 내에 설치되어 상기 제1 트랜지스터의 게이트에 전압을 인가하는 전압 전환 회로를 더 포함하고,
상기 제2 트랜지스터는 상기 전압 전환 회로 내에 설치되어, 상기 선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선의 전압보다도 높은 전압을 상기 전압 전환 회로에 입력하고, 상기 제2 트랜지스터를 통해 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전송하는 반도체 기억 장치.

청구항 4.
제3항에 있어서,

상기 전압 전환 회로는 상기 제2 트랜지스터와 상기 선택한 워드선의 전압보다도 높은 전압 노드 간에 접속된 제1 도전형의 제3 트랜지스터를 더 포함하고, 상기 제3 트랜지스터의 게이트를 상기 제1 트랜지스터의 게이트와 동일 전위로 설정하는 반도체 기억 장치.

청구항 5.

제1항에 있어서,
상기 메모리 셀 어레이는 복수의 블록에 의해 구성되고, 각 블록은 1개 혹은 복수의 워드선에 접속된 메모리 셀로 구성됨과 함께, 상기 로우 디코더 회로는 블록마다 설치되는 반도체 기억 장치.

청구항 6.

제5항에 있어서,
상기 제2 트랜지스터가 형성되는 웰 영역은 제1 도전형이고, 상기 웰 영역은 상기 블록마다 분리되어 형성되는 반도체 기억 장치.

청구항 7.

제5항에 있어서,
상기 제2 트랜지스터가 형성되는 웰 영역은 제1 도전형이고, 상기 로우 디코더 회로의 패턴 영역이 인접한 두개의 블록에 대하여 1개의 비율로 상기 웰 영역이 형성되고, 상기 두개의 블록에 대응하는 로우 디코더 회로 내 소자만이 상기 웰 영역에 형성되는 반도체 기억 장치.

청구항 8.

제5항에 있어서,
상기 각 블록에 대응하는 상기 로우 디코더 회로를 구성하는 소자는 상기 각 블록에 있어서의 워드선의 일측단에 통합하여 배치되는 반도체 기억 장치.

청구항 9.

제1항에 있어서,
상기 워드선에 직접 접속되는 트랜지스터는 제1 도전형만인 반도체 기억 장치.

청구항 10.

제1항에 있어서,
상기 워드선에 직접 접속되는 트랜지스터는 제1 도전형의 1개의 트랜지스터만인 반도체 기억 장치.

청구항 11.

제1항에 있어서,
상기 선택한 워드선에 전압을 전송하는 동작시의 상기 제1 트랜지스터의 게이트 전압은 선택된 워드선의 전압과 상기 제1 트랜지스터의 임계치 전압과의 합 이상의 전압인 반도체 기억 장치.

청구항 12.

제1항에 있어서,
상기 선택한 워드선에 전압을 전송하는 동작은 데이터 기입 동작인 반도체 기억 장치.

청구항 13.

제1항에 있어서,
상기 메모리 셀은 선택 게이트 트랜지스터를 포함하는 불휘발성 반도체 기억 장치의 메모리 셀인 반도체 기억 장치.

청구항 14.

제1항에 있어서,
상기 메모리 셀은 NAND형 EEPROM의 메모리 셀인 반도체 기억 장치.

청구항 15.

반도체 기억 장치에 있어서,
메모리 셀이 매트릭스 배열된 메모리 셀 어레이, 및
상기 메모리 셀 어레이의 워드선을 선택함과 함께, 워드선에 전압을 전송하 는 로우 디코더 회로를 포함하고,
상기 로우 디코더 회로는,
전류 통로의 일단이 각각의 워드선에 각각 직접적으로 접속된 제1 도전형의 복수의 제1 트랜지스터, 및
선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전압을 전송하는 제1 도전형과는 역극성의 제2 도전형의 제2 트랜지스터를 포함하고,
상기 선택한 워드선으로의 전압의 전송은 제1 도전형의 제1 트랜지스터만으로 행하고, 또한 비선택 블록 중의 상기 제2 트랜지스터의 게이트에 인가되는 전압이 전원 전압보다도 높은 전압이 되는 동작을 포함하는 반도체 기억 장치.

청구항 16.

제15항에 있어서,
블록 어드레스 신호를 받아 블록의 선택 · 비선택의 판정 결과에 대응하는 판정 신호를 출력하는 논리 회로와, 상기 제2 트랜지스터를 포함하며, 상기 논리 회로로부터 출력되는 판정 신호를 받아 상기 제1 트랜지스터의 게이트 전압을 각각 설정하는 제1 전압 전환 회로와, 상기 논리 회로로부터 출력되는 판정 신호를 받아 상기 제1 전압 전환 회로에 상기 판정 신호의 레벨을 변환하여 공급하는 제2 전압 전환 회로를 더 포함하고,
상기 비선택 블록 중의 상기 제2 트랜지스터의 게이트에 인가되는 전압은 상기 제2 전압 전환 회로로부터 출력되는 판정 신호의 전압 레벨인 반도체 기억 장 치.

청구항 17.

제16항에 있어서,
상기 비선택 블록 중의 상기 제2 트랜지스터의 게이트로의 인가 전압이 상기 전원 전압보다도 높은 전압이 되는 동작 시에는, 상기 인가 전압은 상기 논리 회로 내의 최고 전압보다도 높은 전압이 되는 반도체 기억 장치.

청구항 18.
제15항에 있어서,
블록 어드레스 신호를 받아 블록의 선택 · 비선택의 판정 결과에 대응하는 판정 신호를 출력하는 논리 회로와, 상기 제2 트랜지스터를 포함하며, 상기 제1 트랜지스터의 게이트 전압을 각각 설정하는 제1 전압 전환 회로와, 상기 논리 회로로부터 출력되는 판정 신호를 받아 상기 제1 전압 전환 회로에 상기 판정 신호의 레벨을 변환하여 공급하는 제2 전압 전환 회로를 더 포함하고,
상기 비선택 블록 중의 상기 제2 트랜지스터의 게이트에 인가되는 전압은 상기 제2 전압 전환 회로로부터 출력되는 판정 신호의 전압 레벨인 반도체 기억 장치.

청구항 19.
제18항에 있어서,
상기 비선택 블록 중의 상기 제2 트랜지스터의 게이트로의 인가 전압이 상기 전원 전압보다도 높은 전압이 되는 동작 시에는, 상기 인가 전압은 상기 논리 회로 내의 최고 전압보다도 높은 전압이 되는 반도체 기억 장치.

청구항 20.
제15항에 있어서,
상기 전원 전압보다도 높은 전압이 되는 동작은 데이터 기입 동작인 반도체 기억 장치.

청구항 21.
제15항에 있어서,
상기 비선택 블록 중의 상기 제2 트랜지스터의 게이트로의 인가 전압이 상기 전원 전압보다도 높은 전압이 되는 동작에 있을 때, 상기 인가 전압의 레벨이 선택 블록 중의 상기 제1 트랜지스터의 전압 레벨보다도 낮은 반도체 기억 장치.

청구항 22.
반도체 기억 장치에 있어서,
메모리 셀이 매트릭스 배열된 메모리 셀 어레이, 및
상기 메모리 셀 어레이의 워드선을 선택함과 함께, 워드선에 전압을 전송하는 로우 디코더 회로를 포함하고,
상기 로우 디코더 회로는,
전류 통로의 일단이 각각의 워드선에 각각 직접적으로 접속된 제1 도전형의 복수의 제1 트랜지스터와,
선택한 워드선에 전압을 전송하는 동작시, 선택한 워드선에 접속된 상기 제1 트랜지스터의 게이트에 전압을 전송하는 제1 도전형과는 역극성의 제2 도전형의 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터의 게이트에 전압을 인가하는 제1 전압 전환 회로,
로우 어드레스 신호를 받아 블록의 선택 · 비선택의 판정 결과를 출력하는 논리 회로, 및
상기 논리 회로의 출력 신호를 받아 상기 제1 전압 전환 회로에 신호를 출력하는 제2 전압 전환 회로를 포함하고,
상기 선택한 워드선으로의 전압의 전송은 제1 도전형의 제1 트랜지스터만으로 행하고, 또한 상기 제2 전압 전환 회로 중의 최고 전압 레벨은 상기 제1 전압 전환 회로 중의 최고 전압 레벨보다도 낮은 반도체 기억 장치.

청구항 23.
제22항에 있어서,
상기 제1 전압 전환 회로 중에 설치된 제1 디플리션형 트랜지스터와, 상기 제2 전압 전환 회로 중에 설치된 제2 디플리션형 트랜지스터를 더 포함하고, 상기 제1 디플리션형 트랜지스터의 게이트 산화막은 상기 제2 디플리션형 트랜지스터의 게이트 산화막보다도 두꺼운 반도체 기억 장치.

청구항 24.
제22항에 있어서,
상기 제2 전압 전환 회로는 제2 도전형의 제3 트랜지스터를 포함하고, 상기 제2 트랜지스터의 게이트 산화막은 상기 제3 트랜지스터의 게이트 산화막보다도 두꺼운 반도체 기억 장치.

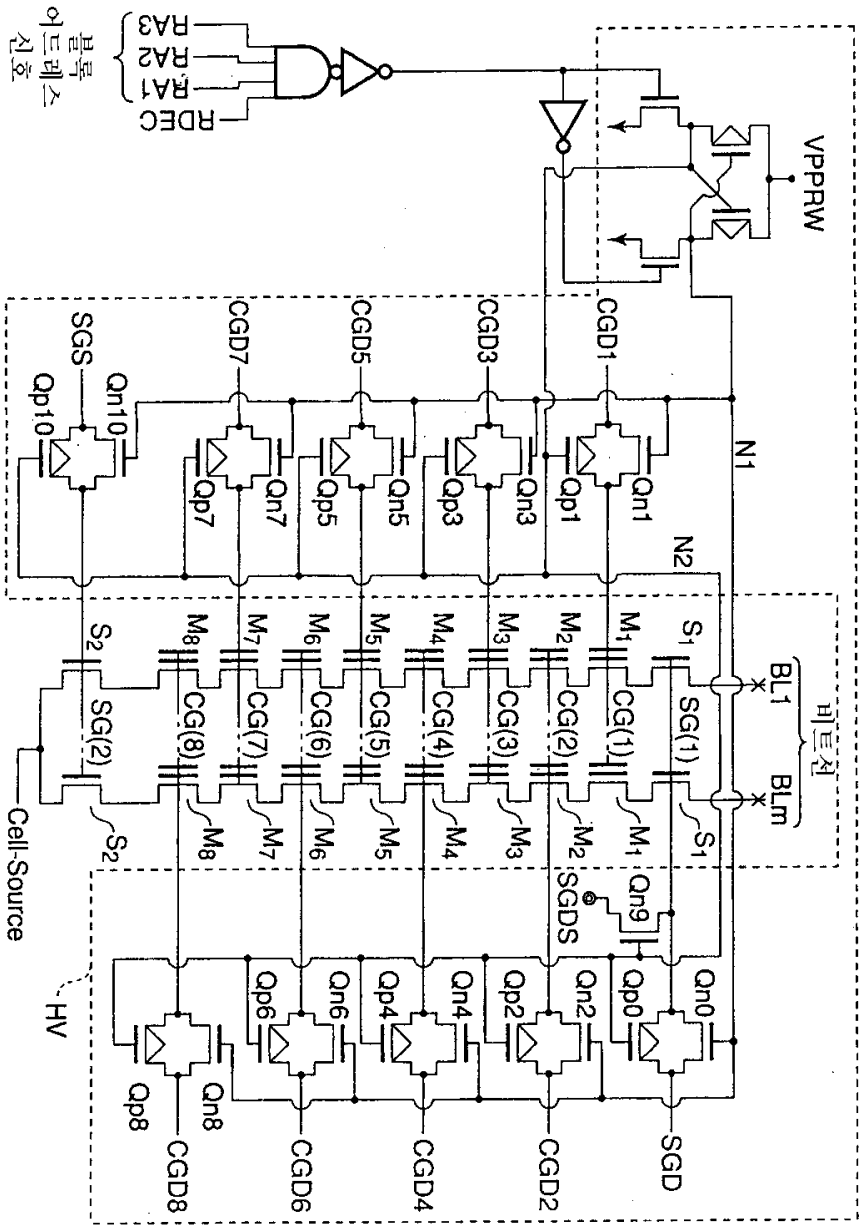
청구항 25.
제22항에 있어서,
상기 제1 디플리션형 트랜지스터에 상기 제1 전압 전환 회로의 최고 전압이 인가되는 제1 동작 및 상기 제2 디플리션형 트랜지스터에 상기 제2 전압 전환 회로의 최고 전압이 인가되는 제2 동작을 포함하는 반도체 기억 장치.

청구항 26.
제25항에 있어서,
상기 제1 동작과 상기 제2 동작은 모두 데이터 기입 동작인 반도체 기억 장치.

도면

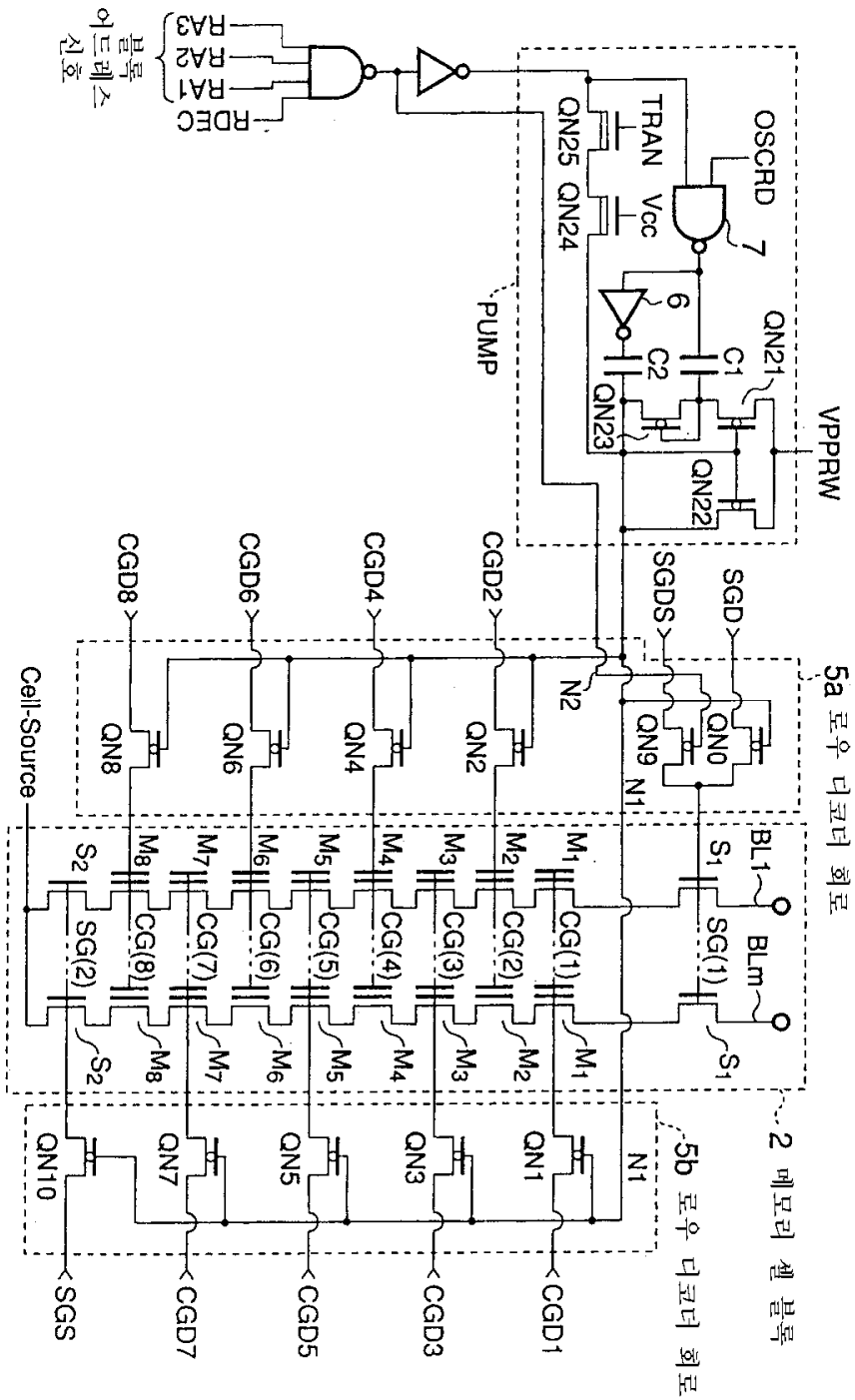
도면1

(종래 기술)

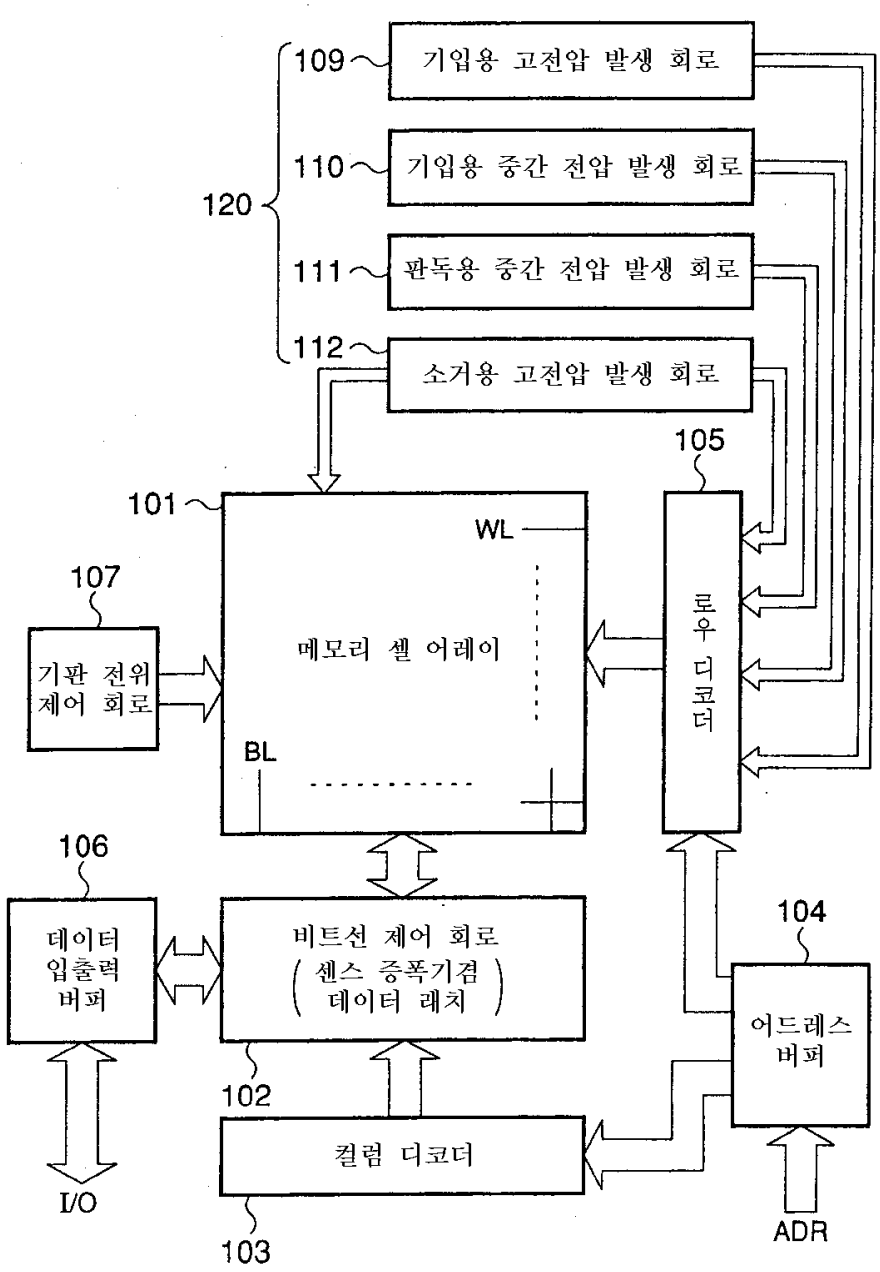

블록 어드레스 신호
RA3
RA2
RA1
RDEC
VPPRW
SGS
Qp10
Qn10
CGD7
CGD5
CGD3
CGD1
Qp7
Qn7
Qp5
Qn5
Qp3
Qn3
Qp1
Qn1
N1
N2
S2
M8
M7
M6
M5
M4
M3
M2
M1
S1
SG(2)
CG(8)
CG(7)
CG(6)
CG(5)
CG(4)
CG(3)
CG(2)
CG(1)
SG(1)
BL1
BLm
비트선
Cell-Source
SGDS
Qn9
HV
Qp8
Qn8
Qp6
Qn6
Qp4
Qn4
Qp2
Qn2
Qp0
Qn0
CGD8
CGD6
CGD4
CGD2
SGD

도면2

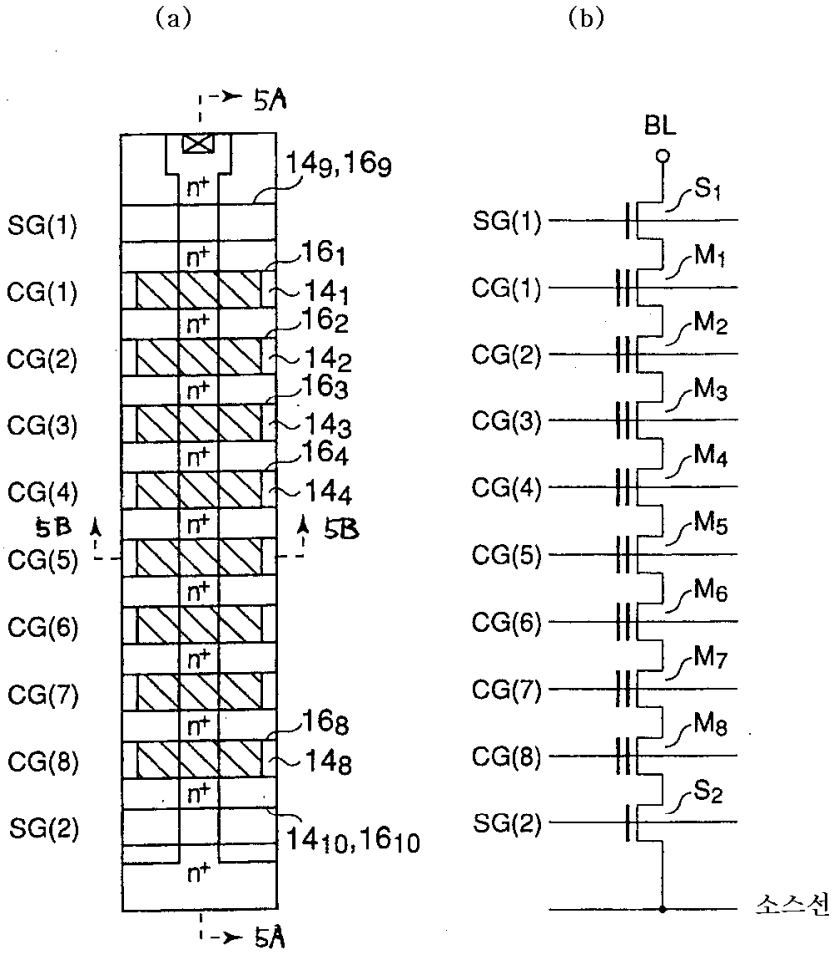
(종래 기술)


블록 어드레스 신호
RA3
RA2
RA1
RDEC
PUMP
TRAN
Vcc
QN25
QN24
OSCRD
7
6
C1
C2
QN21
QN23
QN22
VPPRW
CGD8
CGD6
CGD4
CGD2
SGDS
SGD
N2
QN8
QN6
QN4
QN2
QN9
QN0
N1
5a 로우 디코더 회로
Cell-Source
S2
M8
M7
M6
M5
M4
M3
M2
M1
S1
BL1
BLm
SG(2)
CG(8)
CG(7)
CG(6)
CG(5)
CG(4)
CG(3)
CG(2)
CG(1)
SG(1)
2 메모리 셀 블록
QN10
QN7
QN5
QN3
QN1
5b 로우 디코더 회로
SGS
CGD7
CGD5
CGD3
CGD1

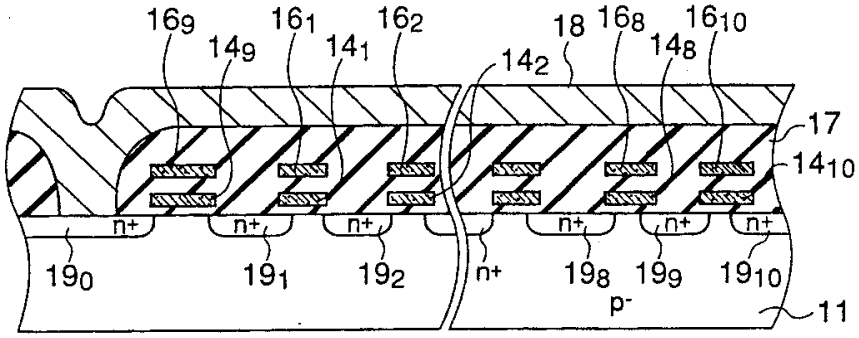
도면3


109
기입용 고전압 발생 회로
110
기입용 중간 전압 발생 회로
120
111
판독용 중간 전압 발생 회로
112
소거용 고전압 발생 회로
105
101
WL
107
로우 디코더
기판 전위 제어 회로
메모리 셀 어레이
BL
106
104
데이터 입출력 버퍼
비트선 제어 회로
(센스 증폭기겸 데이터 래치)
어드레스 버퍼
102
컬럼 디코더
I/O
ADR
103

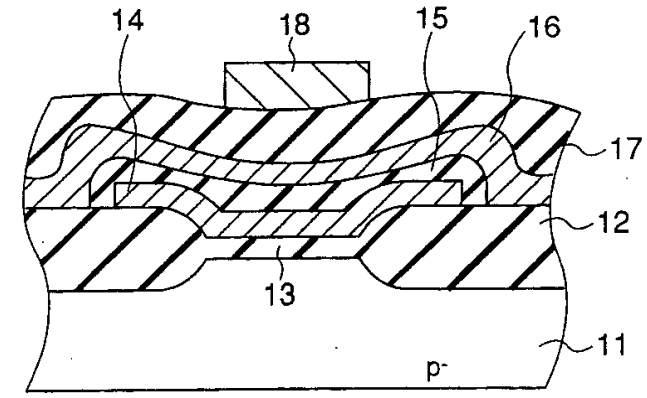
도면4


(a)
(b)
5A
5A
5B
5B
SG(1)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
n+
14_9,16_9
16_1
14_1
16_2
14_2
16_3
14_3
16_4
14_4
16_8
14_8
14_{10},16_{10}
BL
S_1
M_1
M_2
M_3
M_4
M_5
M_6
M_7
M_8
S_2
소스선

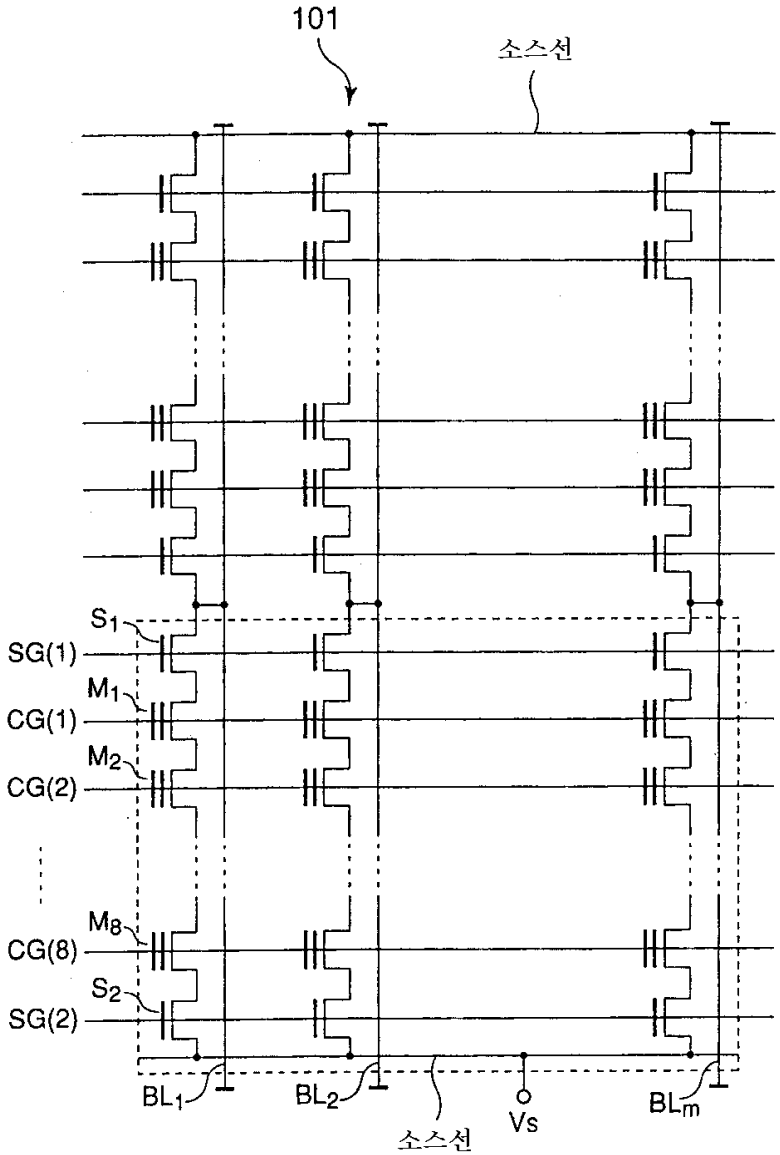
도면5a


16_9
14_9
16_1
14_1
16_2
14_2
18
16_8
14_8
16_{10}
17
14_{10}
n+
19_0
19_1
19_2
19_8
19_9
19_{10}
p-
11

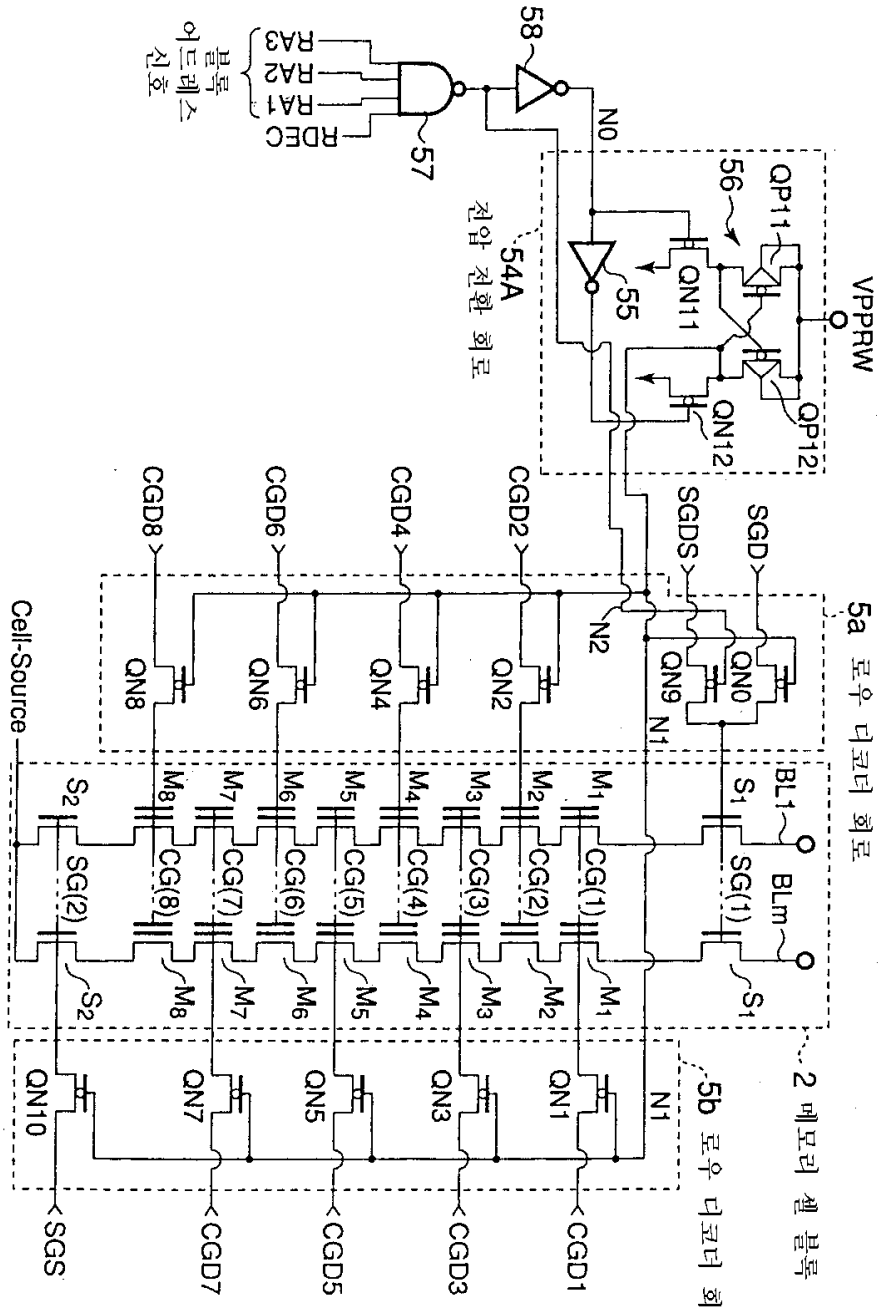
도면5b


14
18
15
16
17
12
13
11
p-

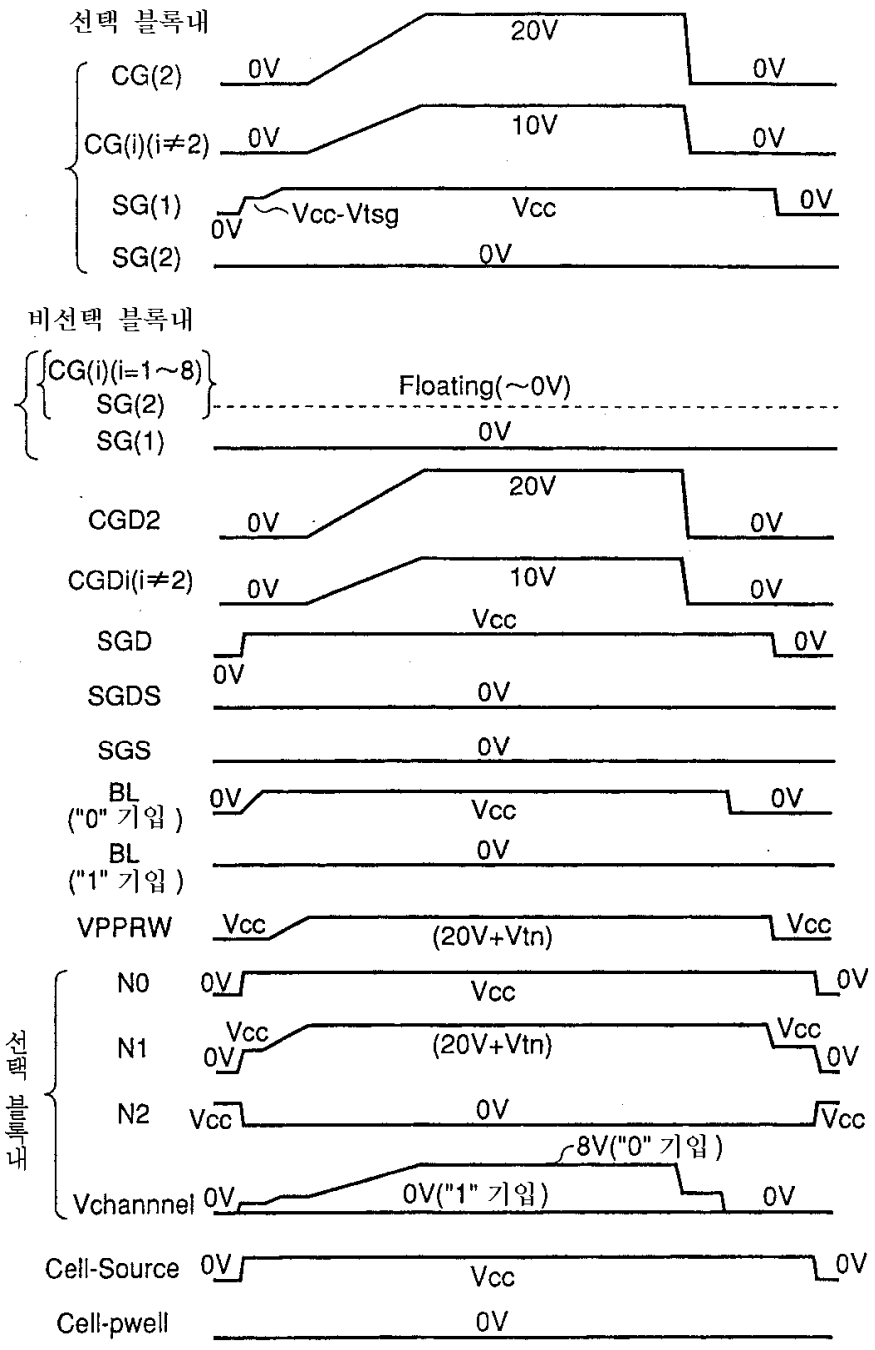
도면6


101
소스선
S1
SG(1)
M1
CG(1)
M2
CG(2)
M8
CG(8)
S2
SG(2)
BL1
BL2
소스선
Vs
BLm

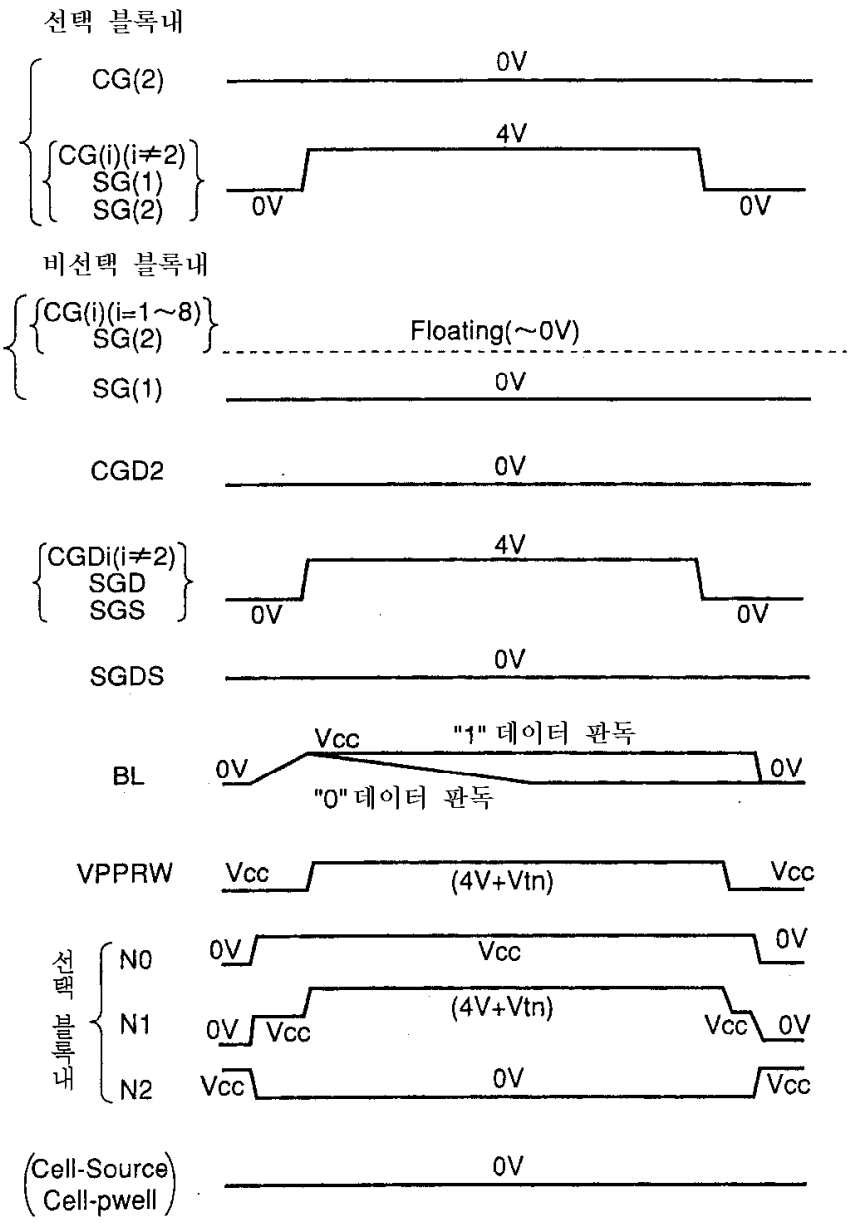
도면7


블록 어드레스 신호
RA3
RA2
RA1
RDEC
57
58
N0
54A
전압 전환 회로
56
QP11
QN11
55
QN12
QP12
VPPRW
SGDS
SGD
CGD8
CGD6
CGD4
CGD2
N2
5a 로우 디코더 회로
QN8
QN6
QN4
QN2
QN0
QN9
N1
Cell-Source
S2
M8
M7
M6
M5
M4
M3
M2
M1
S1
BL1
BLm
SG(2)
CG(8)
CG(7)
CG(6)
CG(5)
CG(4)
CG(3)
CG(2)
CG(1)
SG(1)
2 메모리 셀 블록
5b 로우 디코더 회로
QN10
QN7
QN5
QN3
QN1
SGS
CGD7
CGD5
CGD3
CGD1

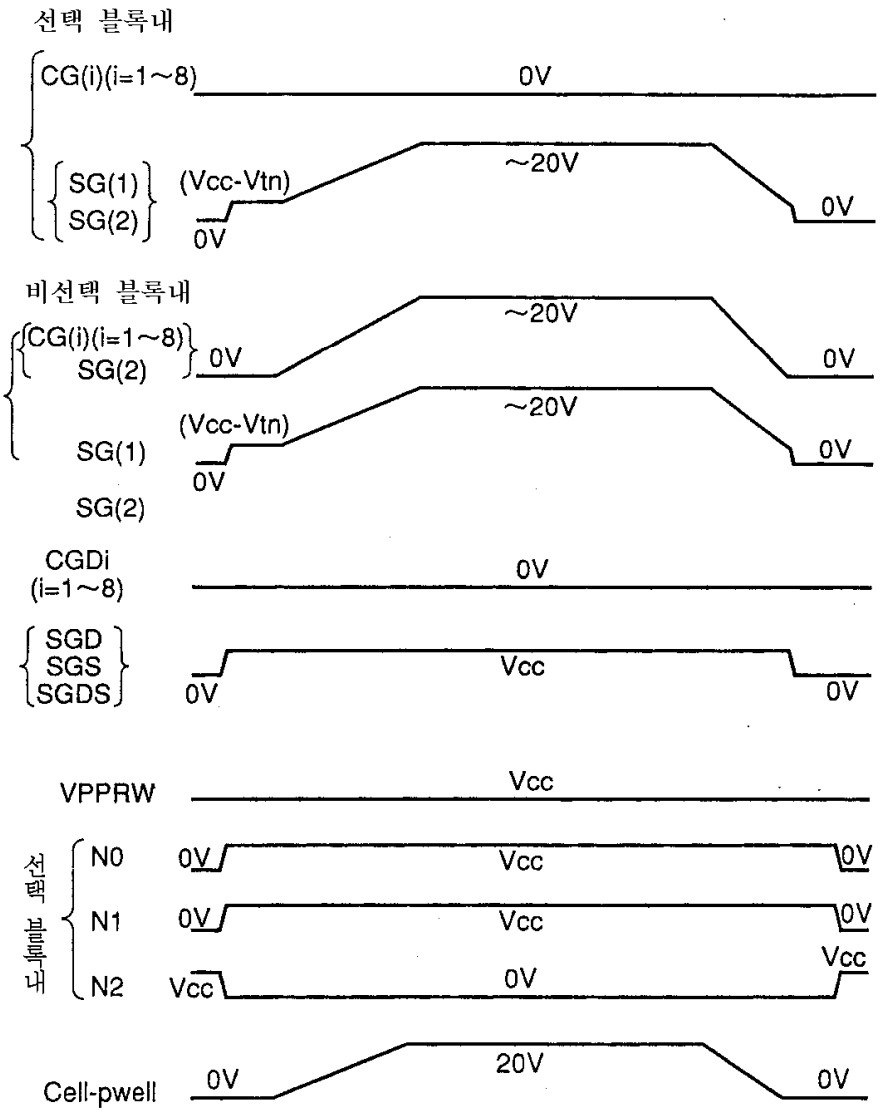
도면8


선택 블록내
CG(2)
CG(i)(i≠2)
SG(1)
SG(2)
0V
20V
10V
Vcc-Vtsg
Vcc
비선택 블록내
CG(i)(i=1~8)
SG(2)
SG(1)
Floating(~0V)
CGD2
CGDi(i≠2)
SGD
SGDS
SGS
BL ("0" 기입)
BL ("1" 기입)
VPPRW
(20V+Vtn)
선택 블록내
N0
N1
N2
Vchannnel
8V("0" 기입)
0V("1" 기입)
Cell-Source
Cell-pwell

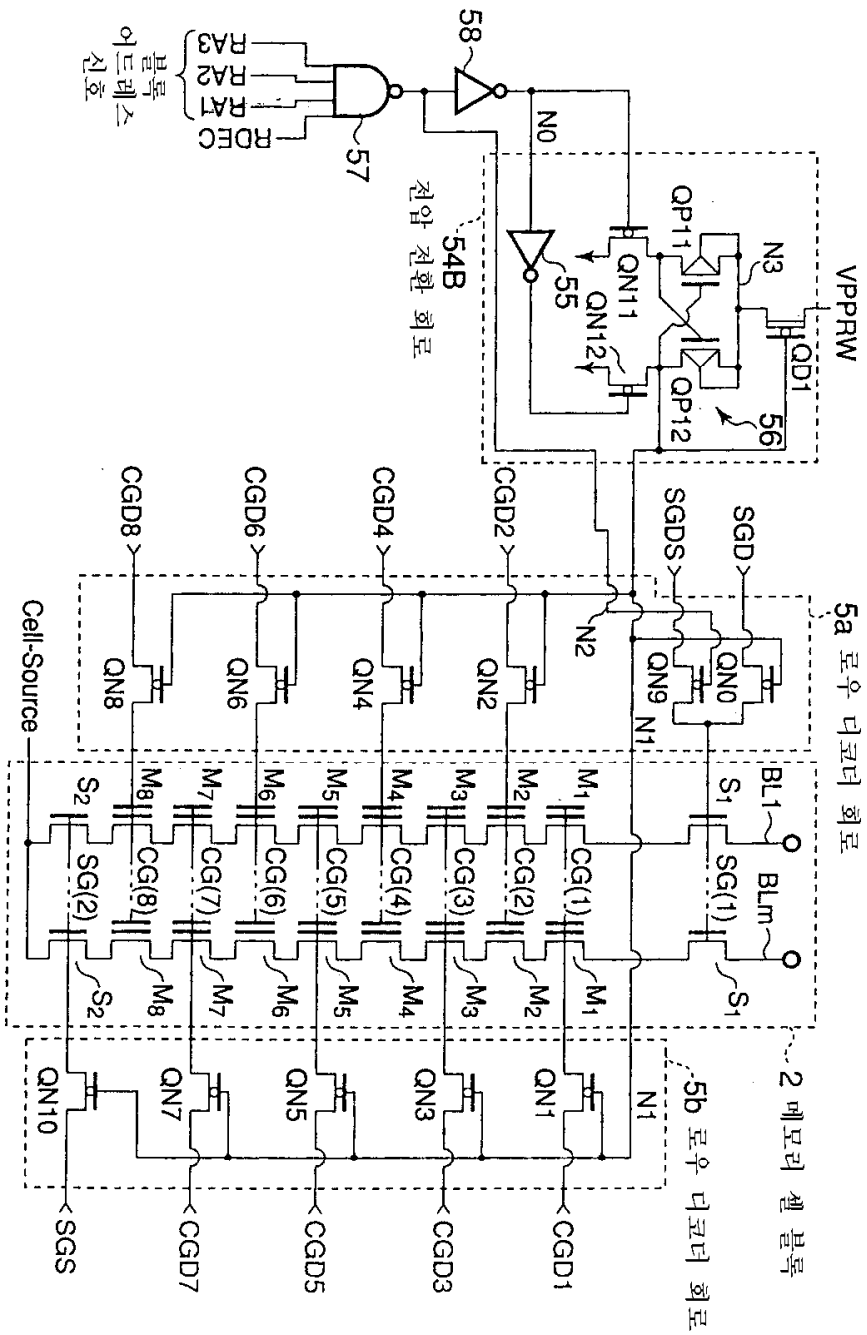
도면9


선택 블록내
CG(2)
0V
CG(i)(i≠2)
SG(1)
SG(2)
4V
0V
0V
비선택 블록내
CG(i)(i=1~8)
SG(2)
Floating(~0V)
SG(1)
0V
CGD2
0V
CGDi(i≠2)
SGD
SGS
4V
0V
0V
SGDS
0V
BL
Vcc
"1" 데이터 판독
0V
0V
"0" 데이터 판독
VPPRW
Vcc
(4V+Vtn)
Vcc
선택 블록내
N0
0V
Vcc
0V
N1
0V
Vcc
(4V+Vtn)
Vcc
0V
N2
Vcc
0V
Vcc
Cell-Source
Cell-pwell
0V

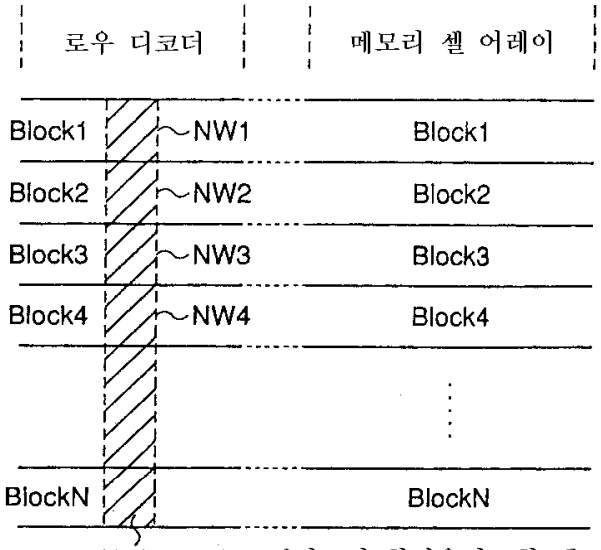
도면10


선택 블록내
CG(i)(i=1~8)
0V
SG(1)
SG(2)
(Vcc-Vtn)
~20V
0V
0V
비선택 블록내
CG(i)(i=1~8)
SG(2)
0V
~20V
0V
SG(1)
(Vcc-Vtn)
~20V
0V
0V
SG(2)
CGDi
(i=1~8)
0V
SGD
SGS
SGDS
Vcc
0V
0V
VPPRW
Vcc
선택 블록내
N0
0V
Vcc
0V
N1
0V
Vcc
0V
N2
Vcc
0V
Vcc
Cell-pwell
0V
20V
0V

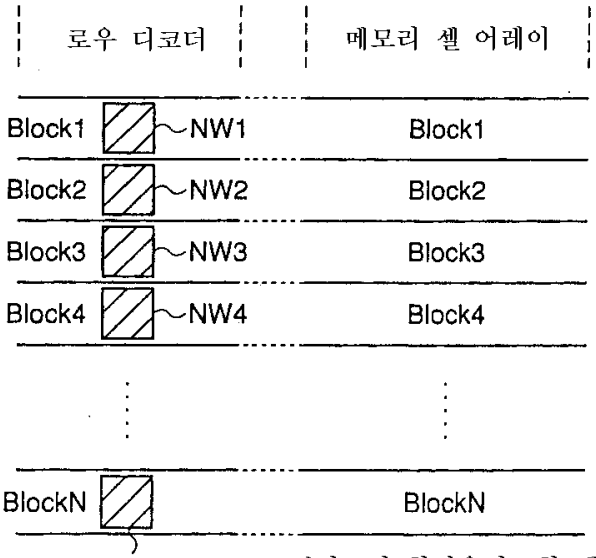
도면11


블록 어드레스 신호
RA3
RA2
RA1
RDEC
57
58
N0
54B
전압 전환 회로
VPPRW
QP11
QN11
55
QN12
QP12
QD1
56
N3
CGD8
CGD6
CGD4
CGD2
SGDS
SGD
N2
5a 로우 디코더 회로
QN8
QN6
QN4
QN2
QN9
QN0
N1
Cell-Source
BL1
BLm
S1
SG(1)
M1
CG(1)
M2
CG(2)
M3
CG(3)
M4
CG(4)
M5
CG(5)
M6
CG(6)
M7
CG(7)
M8
CG(8)
SG(2)
S2
2 메모리 셀 블록
5b 로우 디코더 회로
QN10
QN7
QN5
QN3
QN1
N1
SGS
CGD7
CGD5
CGD3
CGD1

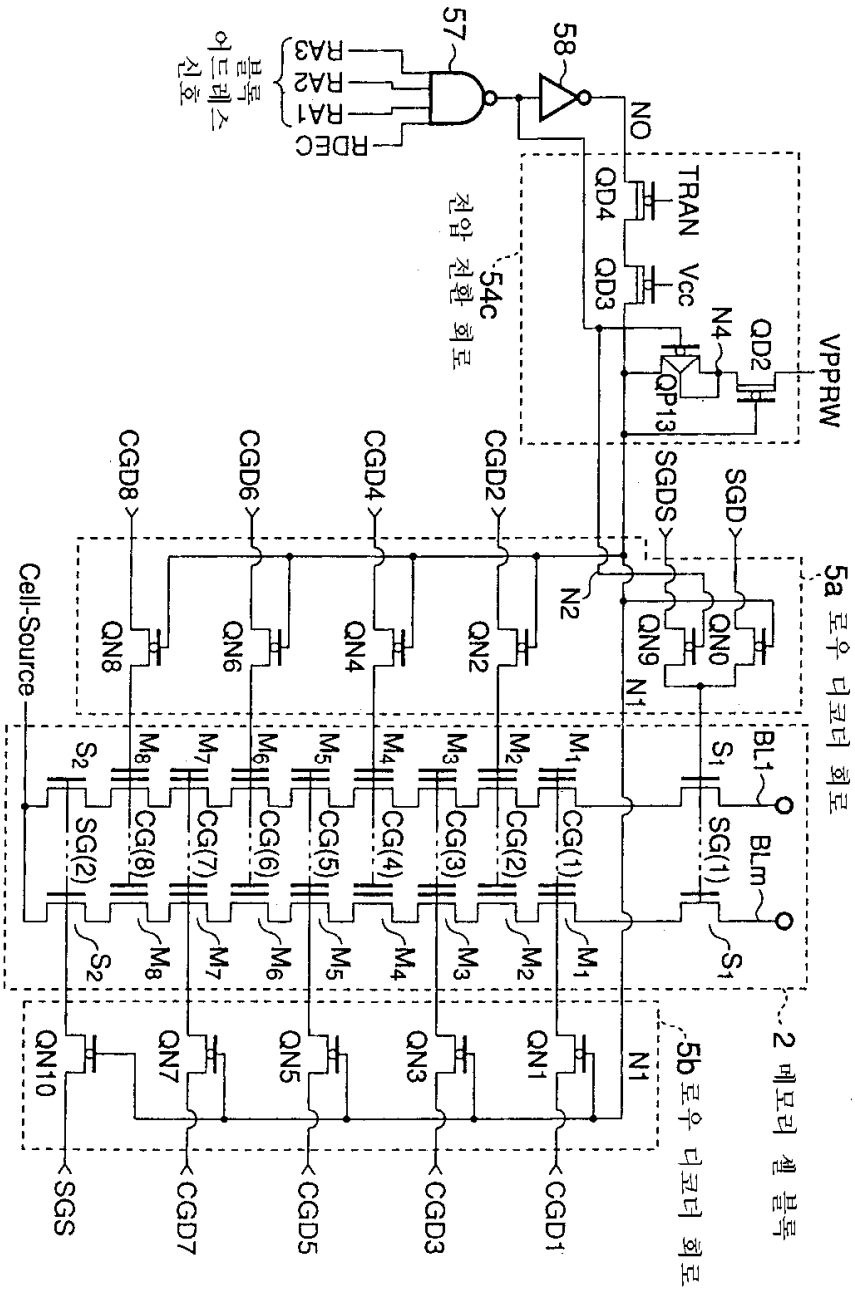
도면12a


로우 디코더
메모리 셀 어레이
Block1
NW1
Block1
Block2
NW2
Block2
Block3
NW3
Block3
Block4
NW4
Block4
BlockN
BlockN
NW:PMOS 트랜지스터 형성용의 n형 웰 영역

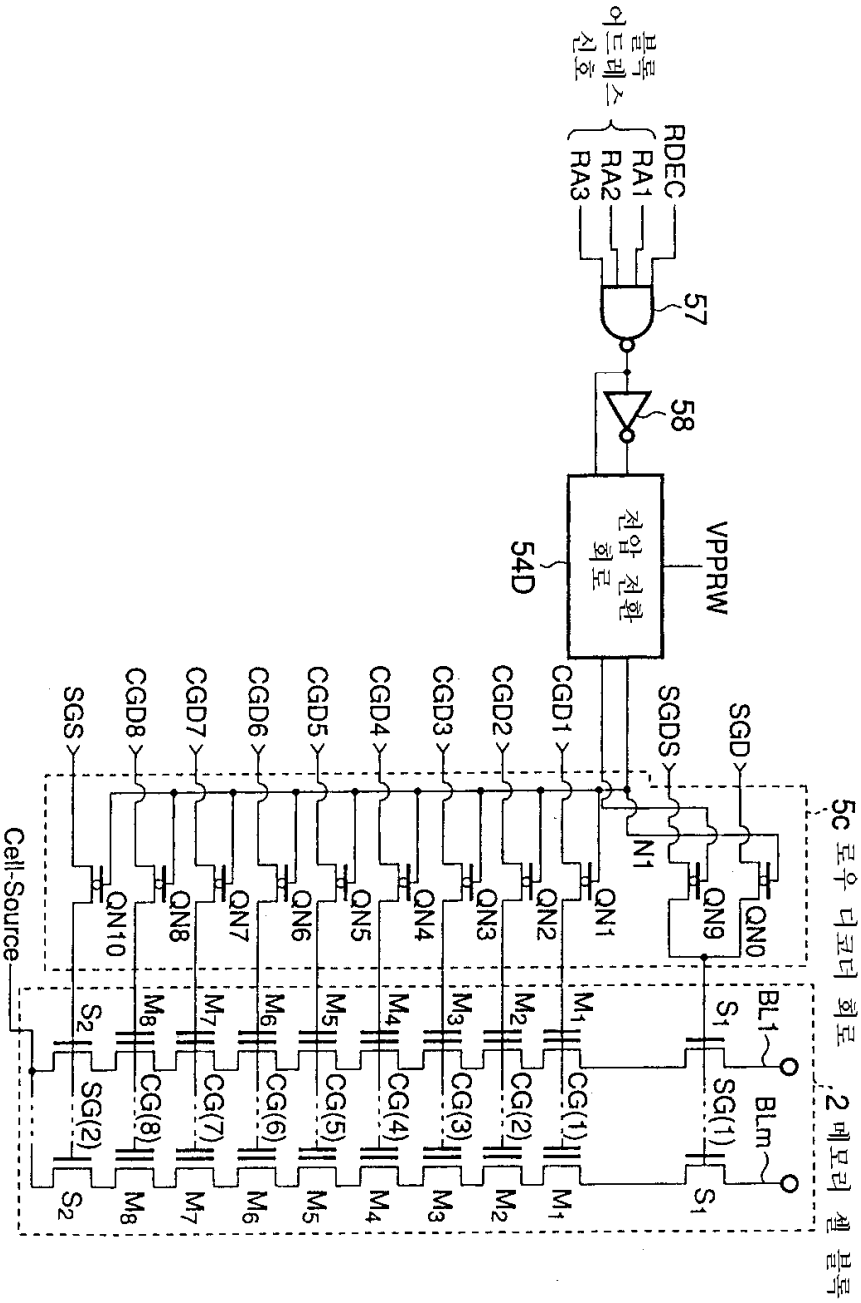
도면12b


로우 디코더
메모리 셀 어레이
Block1
NW1
Block1
Block2
NW2
Block2
Block3
NW3
Block3
Block4
NW4
Block4
BlockN
BlockN
NWN:PMOS 트랜지스터 형성용의 n형 웰 영역

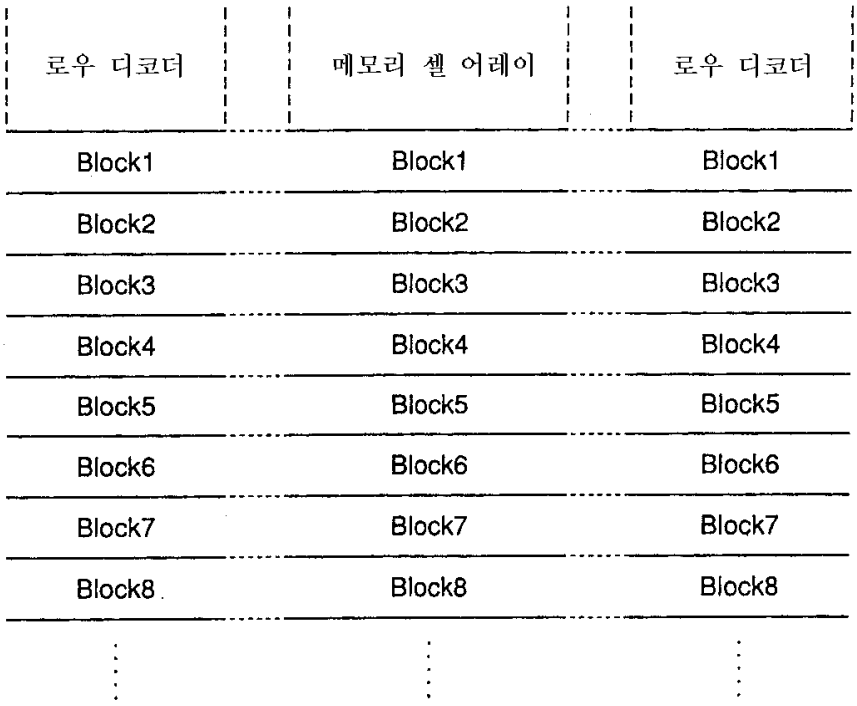
도면13


57
58
블록 어드레스 신호
RA3
RA2
RA1
RDEC
NO
TRAN
Vcc
QD4
QD3
QD2
QP13
N4
VPPRW
54c
전압 전환 회로
SGDS
SGD
CGD8
CGD6
CGD4
CGD2
N2
5a 로우 디코더 회로
QN8
QN6
QN4
QN2
QN0
QN9
N1
Cell-Source
BL1
BLm
S1
SG(1)
M1
CG(1)
M2
CG(2)
M3
CG(3)
M4
CG(4)
M5
CG(5)
M6
CG(6)
M7
CG(7)
M8
CG(8)
SG(2)
S2
2 메모리 셀 블록
5b 로우 디코더 회로
QN10
QN7
QN5
QN3
QN1
SGS
CGD7
CGD5
CGD3
CGD1

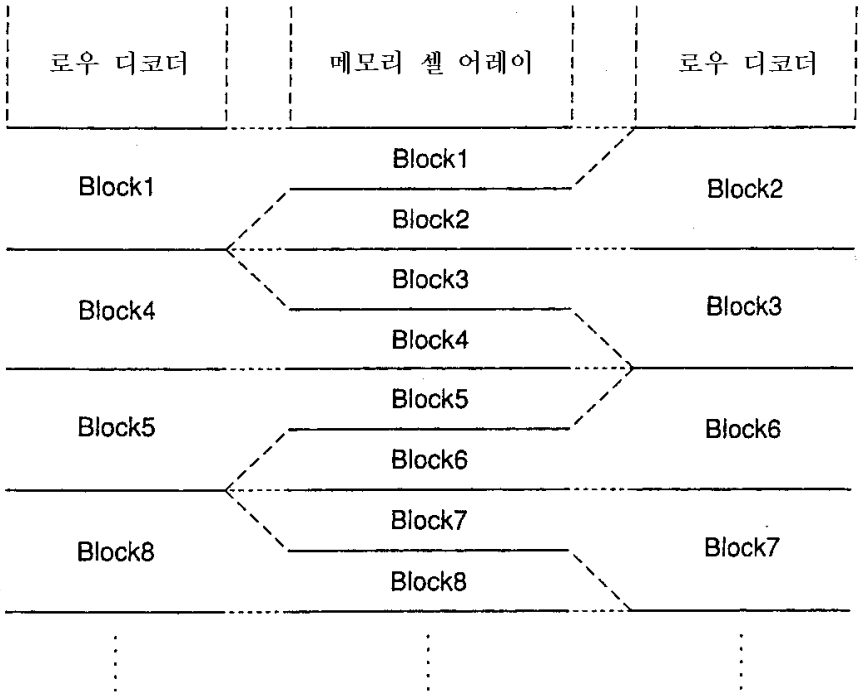
도면14


블록 어드레스 신호
RDEC
RA1
RA2
RA3
57
58
전압 전환 회로
54D
VPPRW
SGD
SGDS
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
N1
QN0
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN9
QN10
5c 로우 디코더 회로
2 메모리 셀 블록
BL1
BLm
S1
SG(1)
M1
CG(1)
M2
CG(2)
M3
CG(3)
M4
CG(4)
M5
CG(5)
M6
CG(6)
M7
CG(7)
M8
CG(8)
SG(2)
S2
Cell-Source

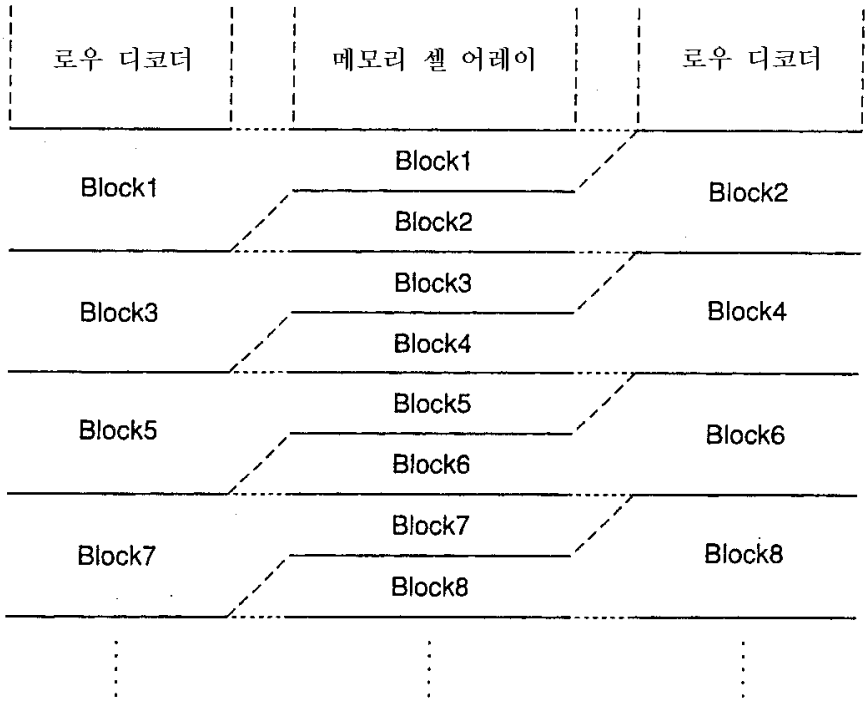
도면15


로우 디코더
메모리 셀 어레이
로우 디코더
Block1
Block1
Block1
Block2
Block2
Block2
Block3
Block3
Block3
Block4
Block4
Block4
Block5
Block5
Block5
Block6
Block6
Block6
Block7
Block7
Block7
Block8
Block8
Block8

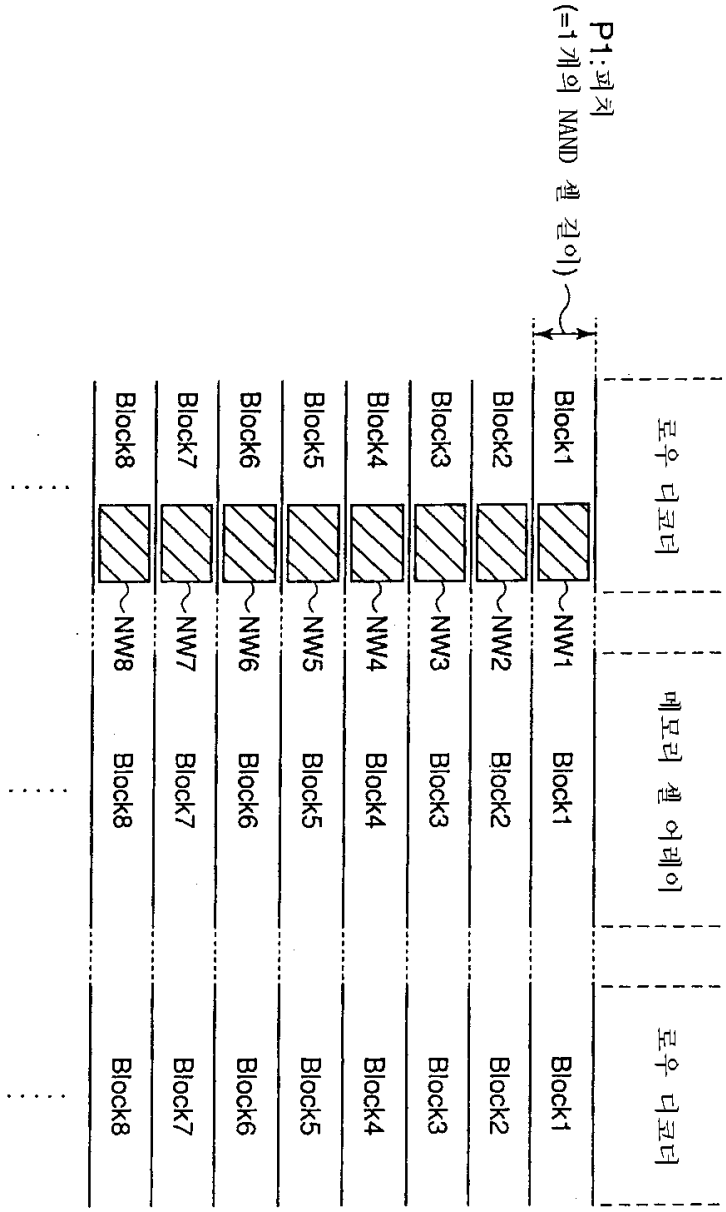
도면16


로우 디코더
메모리 셀 어레이
로우 디코더
Block1
Block1
Block2
Block2
Block4
Block3
Block4
Block3
Block5
Block5
Block6
Block6
Block8
Block7
Block8
Block7

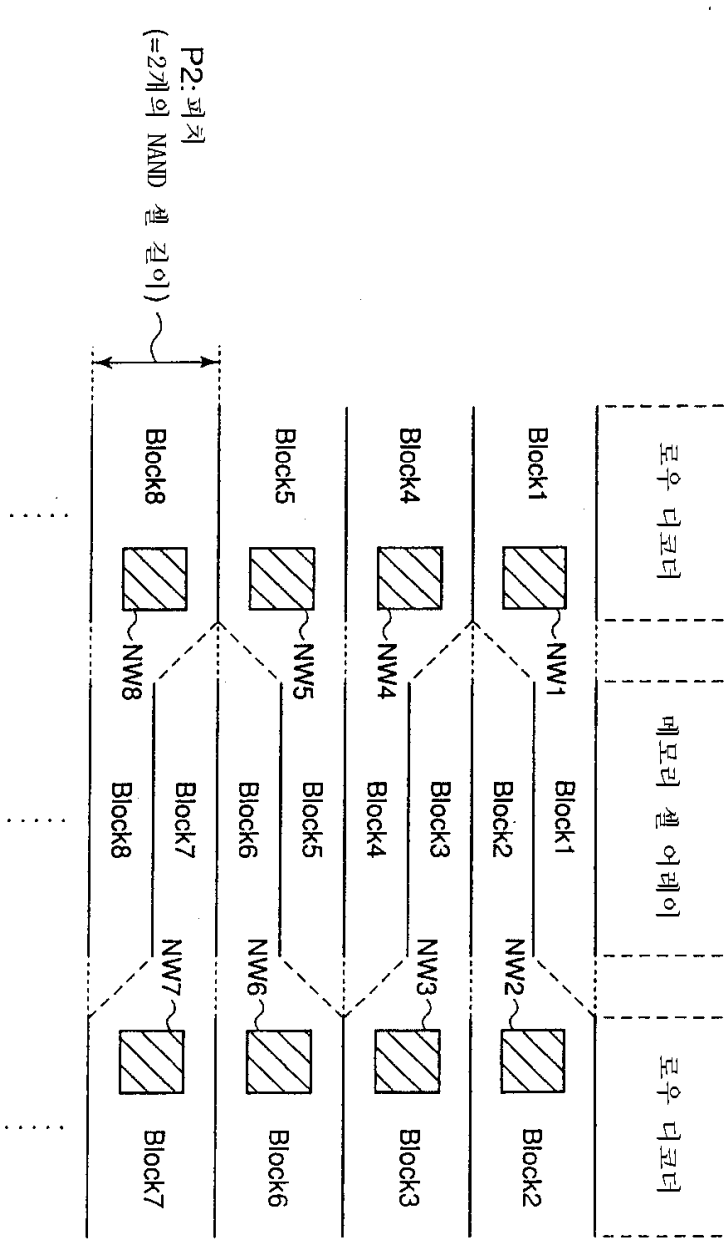
도면17


로우 디코더
메모리 셀 어레이
로우 디코더
Block1
Block1
Block2
Block2
Block3
Block3
Block4
Block4
Block5
Block5
Block6
Block6
Block7
Block7
Block8
Block8

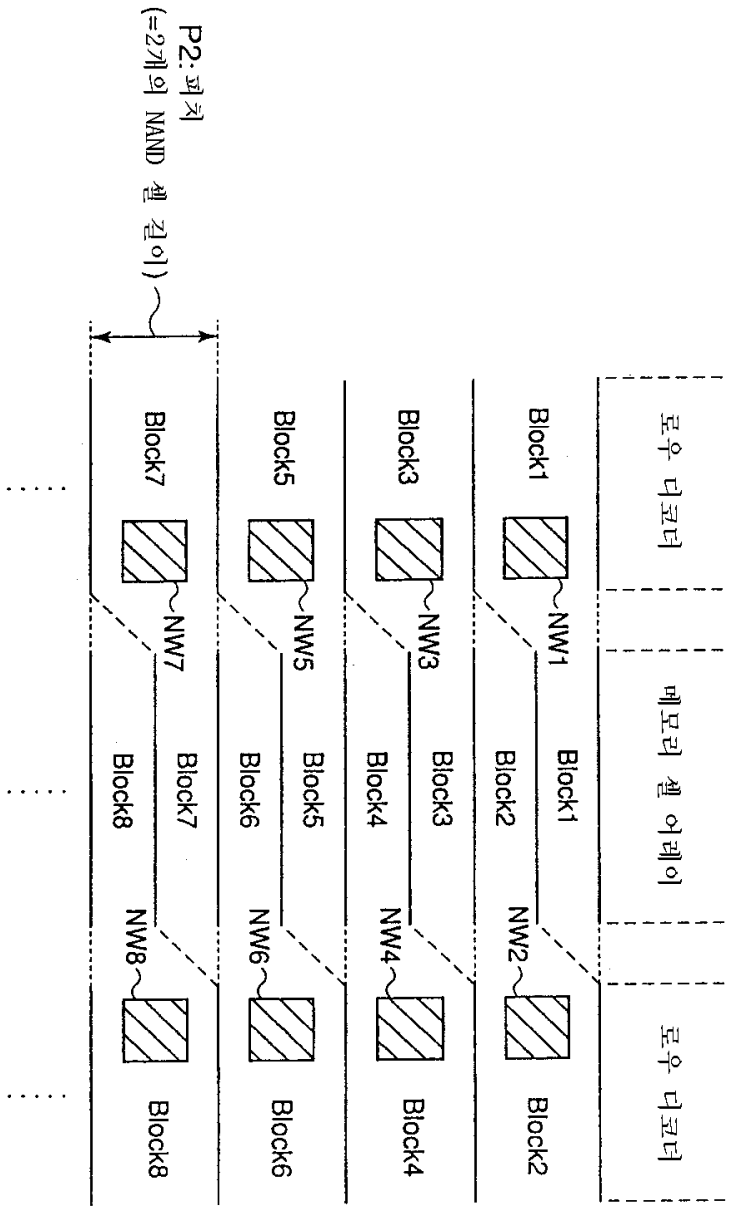
도면18


P1:피치
(=1개의 NAND 셀 길이)
로우 디코더
메모리 셀 어레이
로우 디코더
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW1
NW2
NW3
NW4
NW5
NW6
NW7
NW8

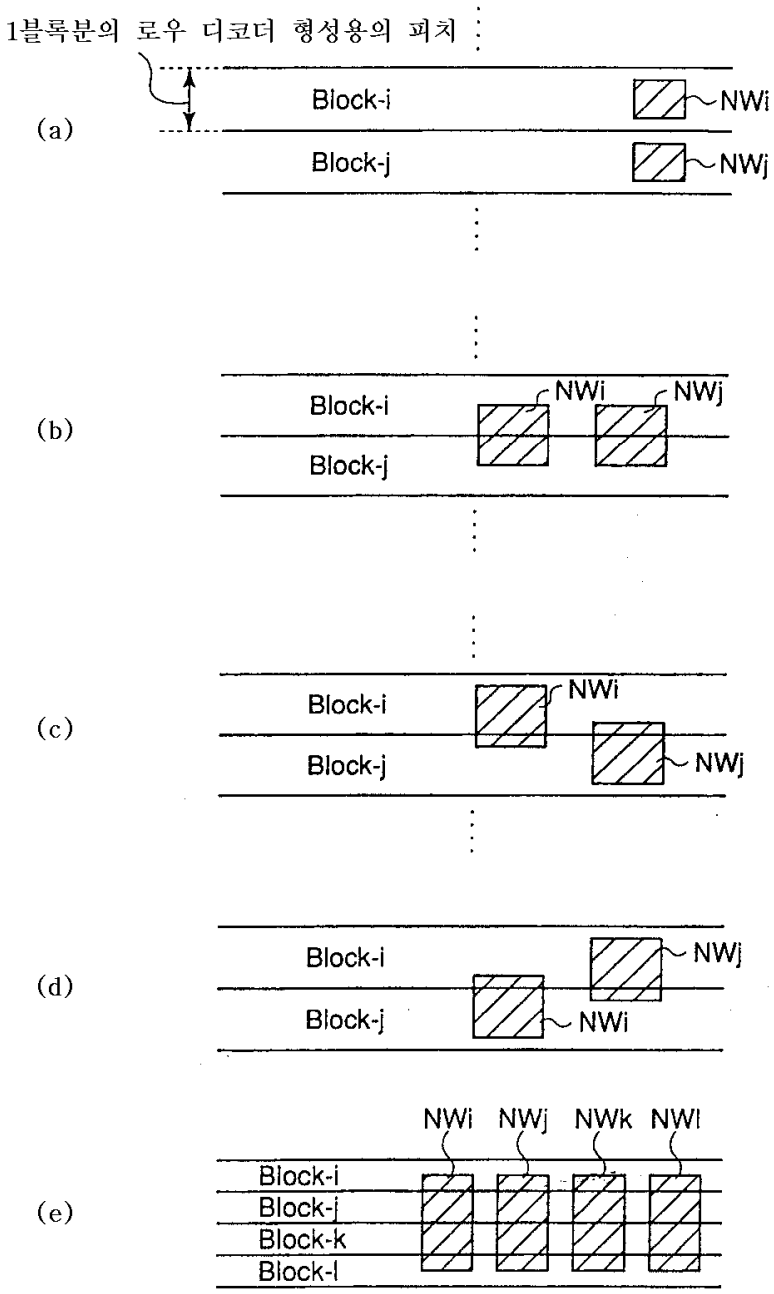
도면19


로우 디코더
메모리 셀 어레이
로우 디코더
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW1
NW2
NW3
NW4
NW5
NW6
NW7
NW8
P2: 피치
(=2개의 NAND 셀 길이)

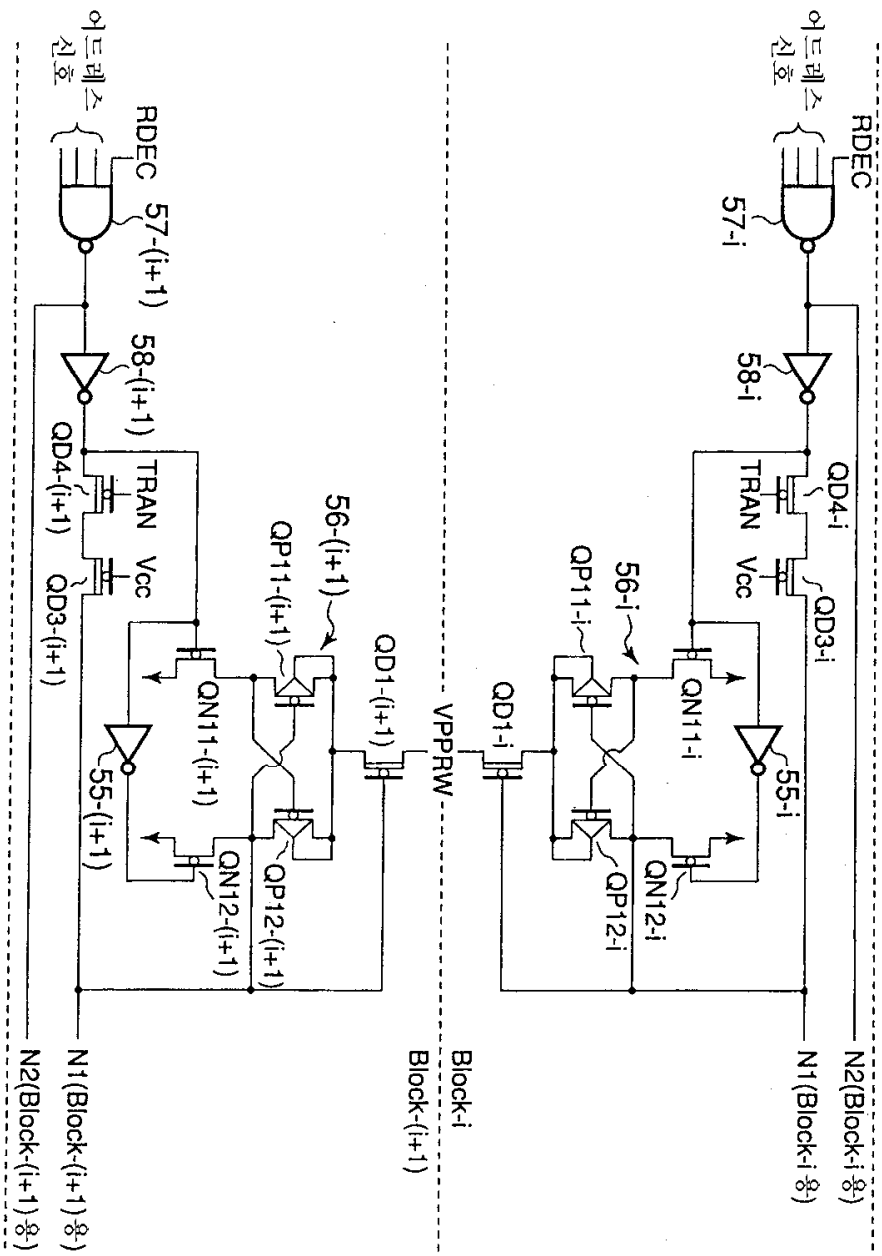
도면20


로우 디코더
메모리 셀 어레이
로우 디코더
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW1
NW2
NW3
NW4
NW5
NW6
NW7
NW8
P2: 피치
(=2개의 NAND 셀 길이)

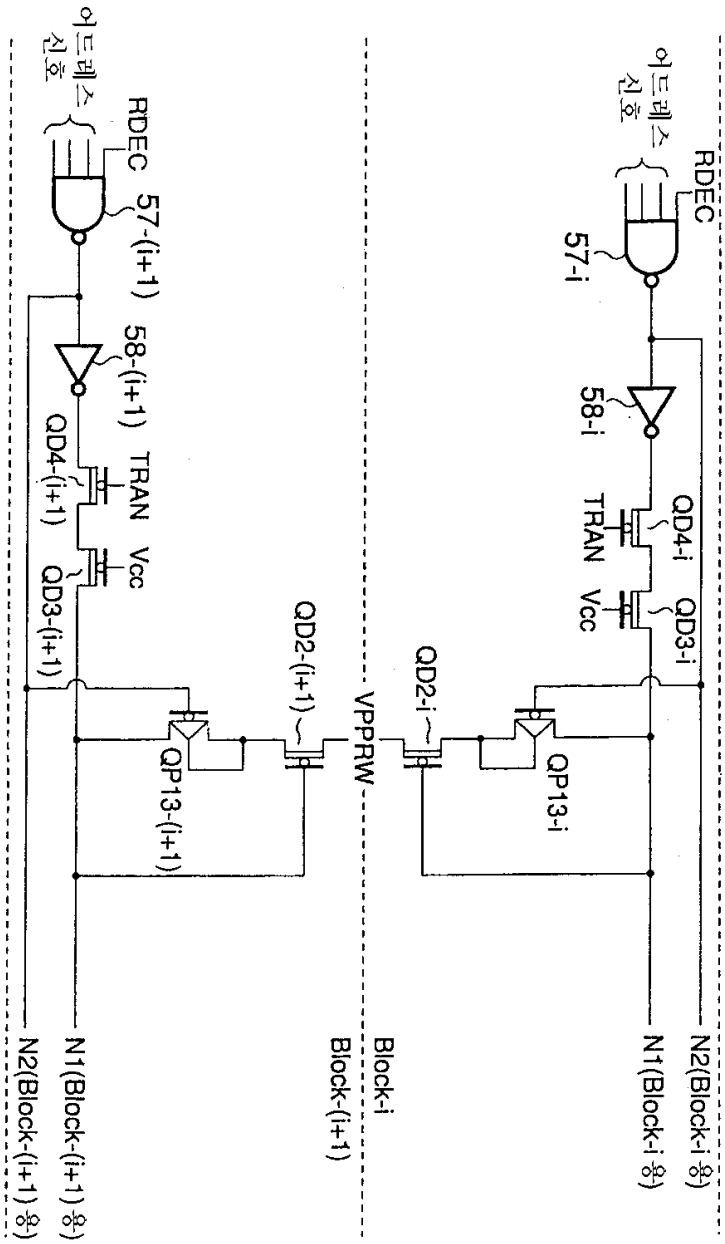
도면21


1블록분의 로우 디코더 형성용의 피치
(a)
Block-i
NWi
Block-j
NWj
(b)
Block-i
NWi
NWj
Block-j
(c)
Block-i
NWi
Block-j
NWj
(d)
Block-i
NWj
Block-j
NWi
(e)
NWi
NWj
NWk
NWl
Block-i
Block-j
Block-k
Block-l

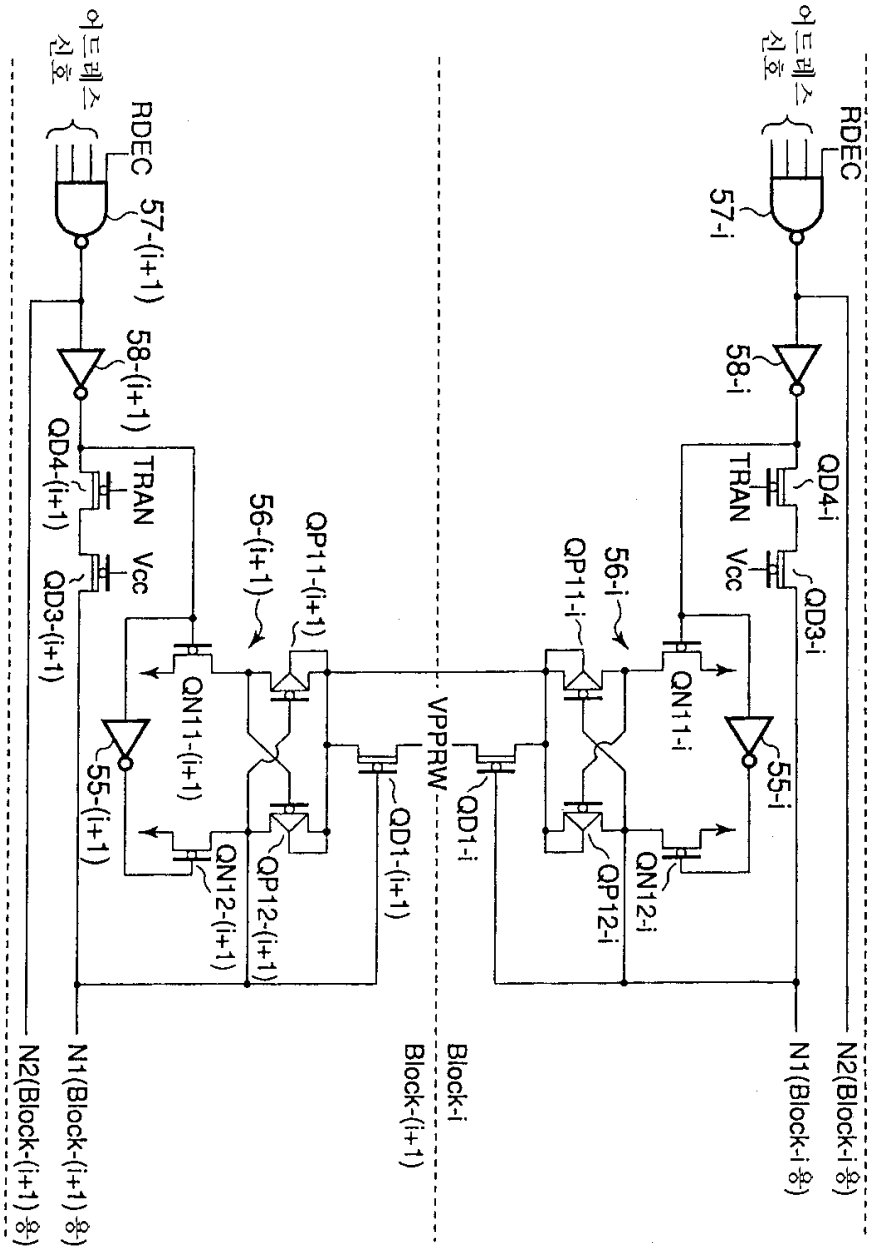
도면22


어드레스 신호
RDEC
57-i
58-i
QD4-i
TRAN
Vcc
QD3-i
56-i
QP11-i
QN11-i
55-i
QD1-i
QP12-i
QN12-i
N2(Block-i 용)
N1(Block-i 용)
Block-i
VPPRW
Block-(i+1)
어드레스 신호
RDEC
57-(i+1)
58-(i+1)
QD4-(i+1)
TRAN
Vcc
QD3-(i+1)
56-(i+1)
QP11-(i+1)
QN11-(i+1)
55-(i+1)
QD1-(i+1)
QP12-(i+1)
QN12-(i+1)
N1(Block-(i+1)용)
N2(Block-(i+1)용)

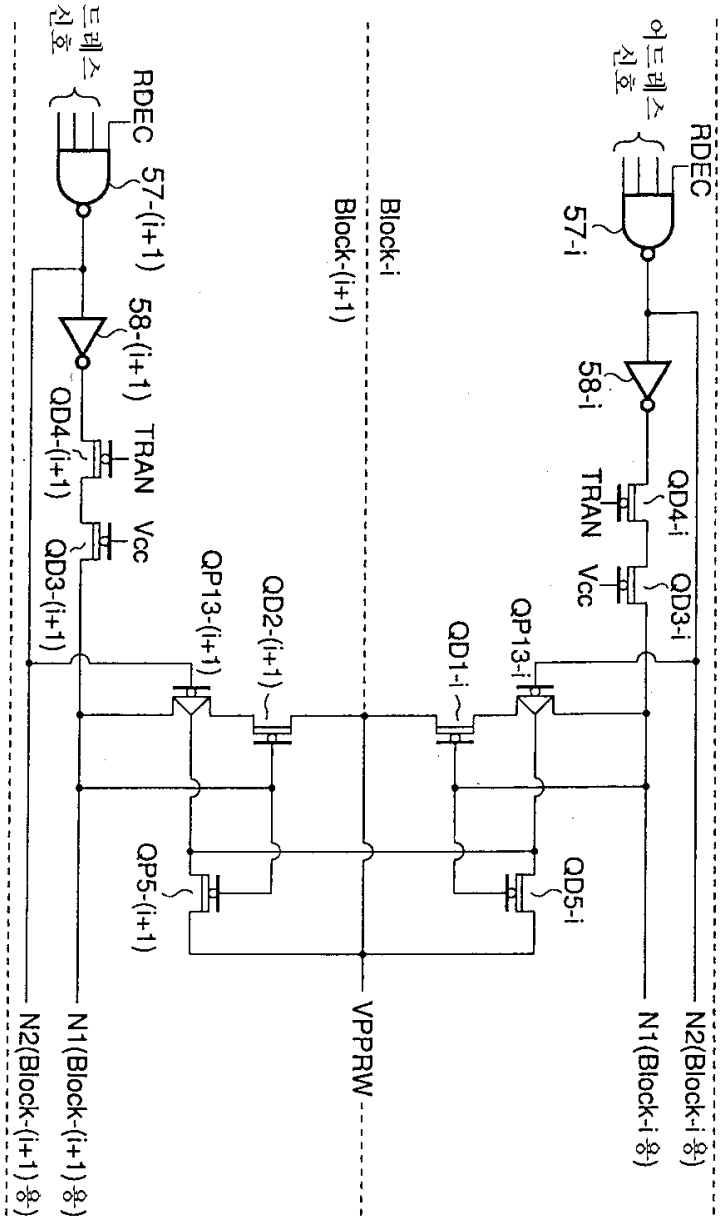
도면23


RDEC
어드레스 신호
57-i
58-i
TRAN
QD4-i
Vcc
QD3-i
QD2-i
QP13-i
N2(Block-i 용)
N1(Block-i 용)
VPPRW
Block-i
Block-(i+1)
RDEC
어드레스 신호
57-(i+1)
58-(i+1)
QD4-(i+1)
TRAN
Vcc
QD3-(i+1)
QD2-(i+1)
QP13-(i+1)
N1(Block-(i+1) 용)
N2(Block-(i+1) 용)

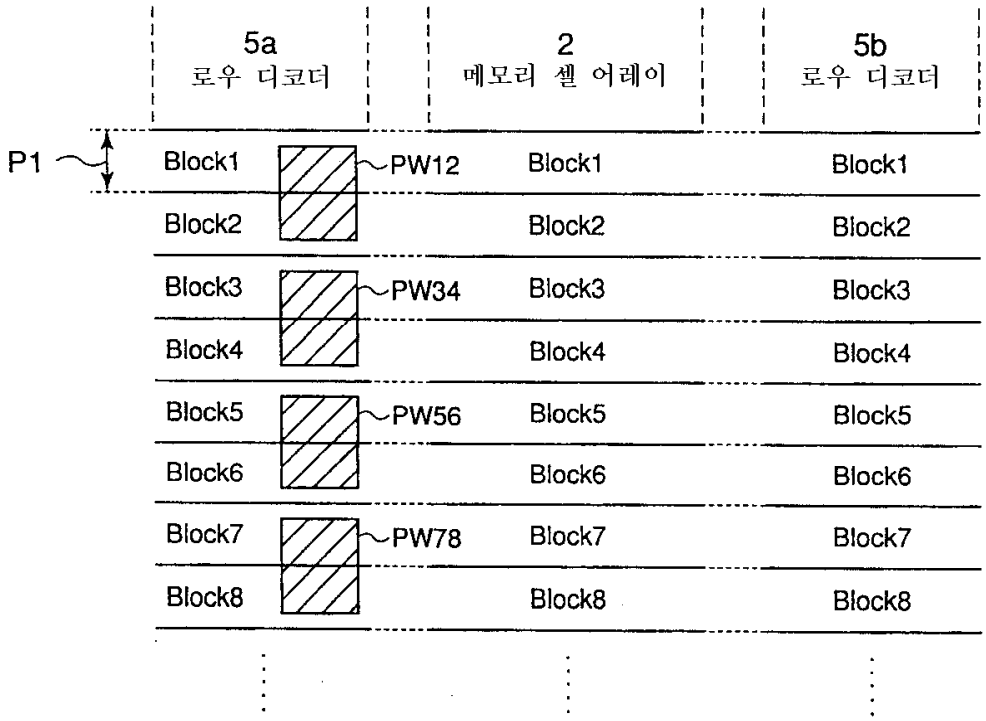
도면24


어드레스 신호
RDEC
57-i
58-i
QD4-i
TRAN
Vcc
QD3-i
56-i
QP11-i
QN11-i
55-i
QN12-i
QP12-i
QD1-i
VPPRW
QD1-(i+1)
QP12-(i+1)
QN12-(i+1)
QN11-(i+1)
55-(i+1)
QD3-(i+1)
QD4-(i+1)
58-(i+1)
57-(i+1)
56-(i+1)
QP11-(i+1)
N2(Block-i용)
N1(Block-i용)
Block-i
Block-(i+1)
N1(Block-(i+1)용)
N2(Block-(i+1)용)

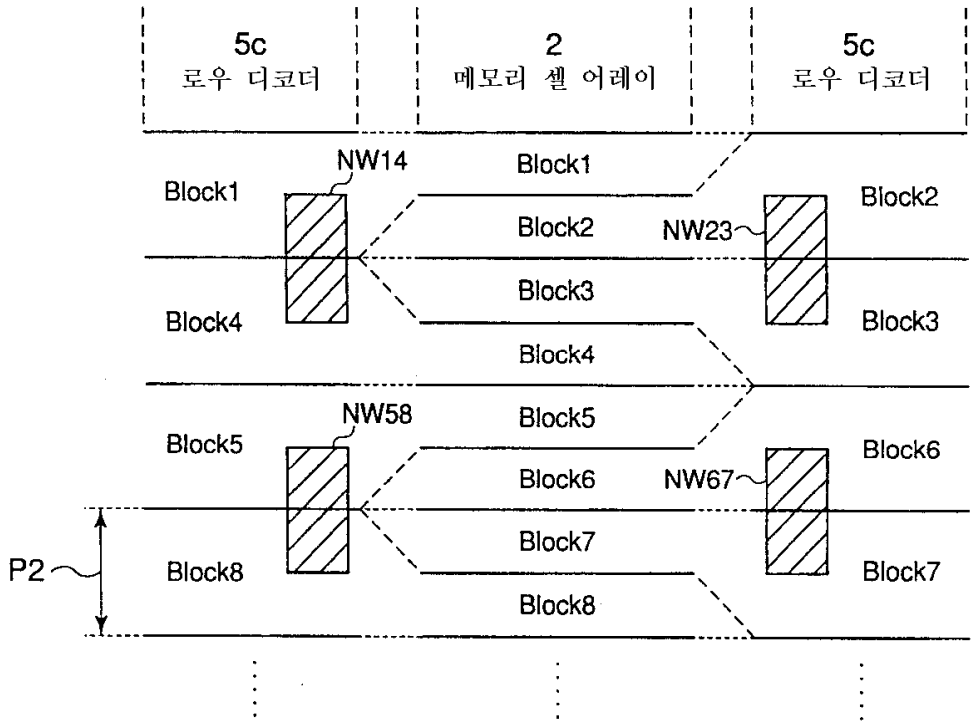
도면25


RDEC
어드레스 신호
57-i
58-i
QD4-i
TRAN
Vcc
QD3-i
QP13-i
QD1-i ~
QD5-i
N1(Block-i 용)
N2(Block-i 용)
Block-i
Block-(i+1)
QD2-(i+1) ~
QP13-(i+1)
QP5-(i+1)
VPPRW
RDEC
어드레스 신호
57-(i+1)
58-(i+1)
QD4-(i+1)
TRAN
Vcc
QD3-(i+1)
N1(Block-(i+1) 용)
N2(Block-(i+1) 용)

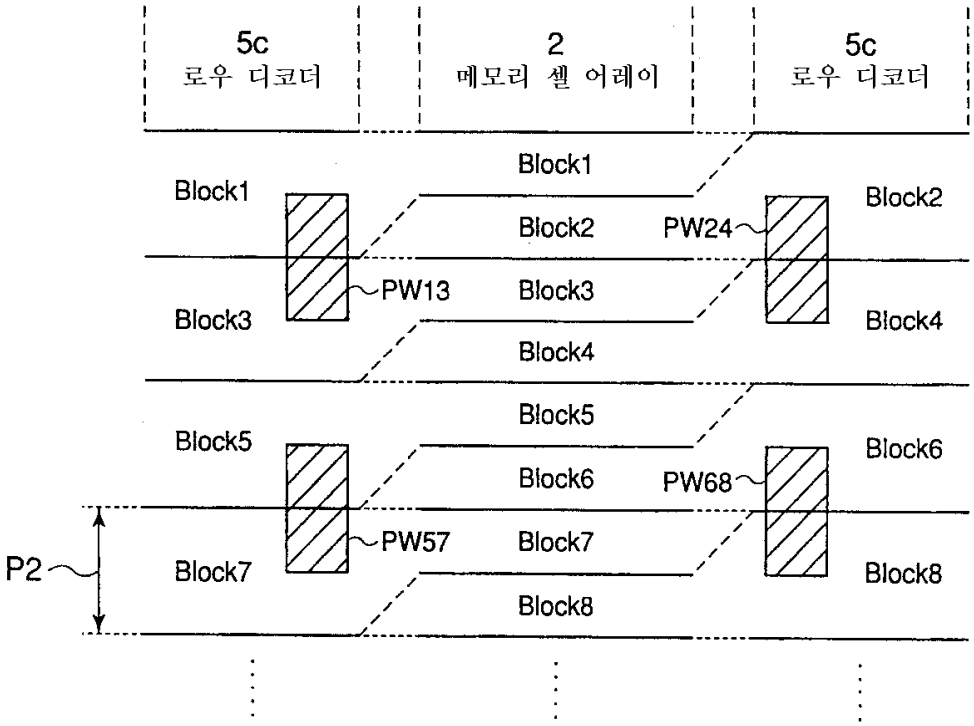
도면26


5a
로우 디코더
2
메모리 셀 어레이
5b
로우 디코더
P1
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
PW12
PW34
PW56
PW78
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8

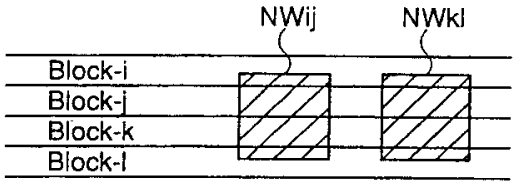
도면27


5c
로우 디코더
2
메모리 셀 어레이
5c
로우 디코더
NW14
NW23
NW58
NW67
P2
Block1
Block4
Block5
Block8
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
Block2
Block3
Block6
Block7

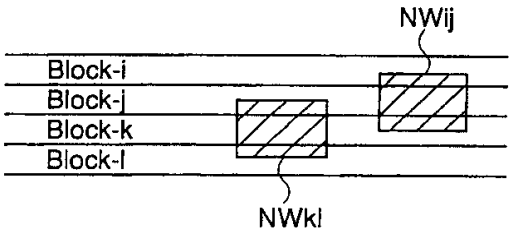
도면28



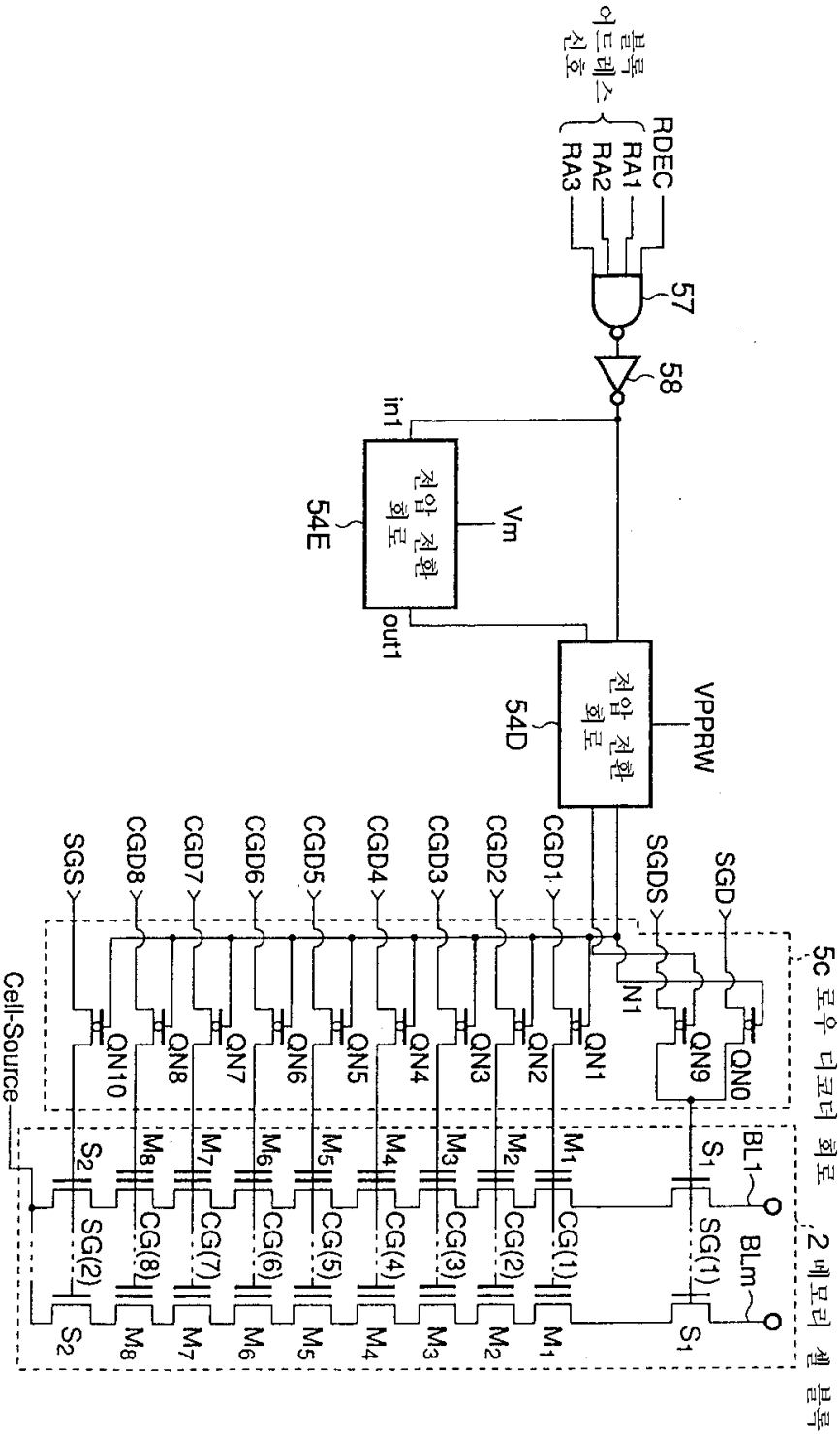
도면29a



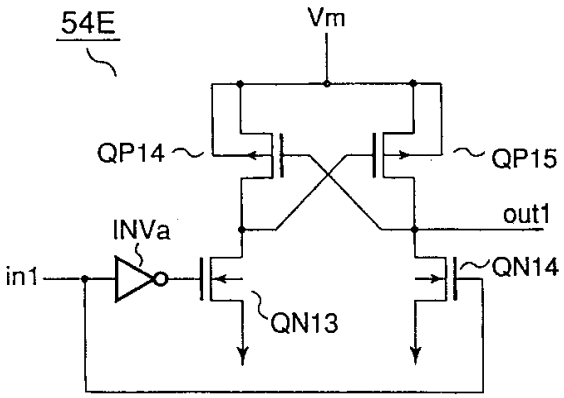
도면29b



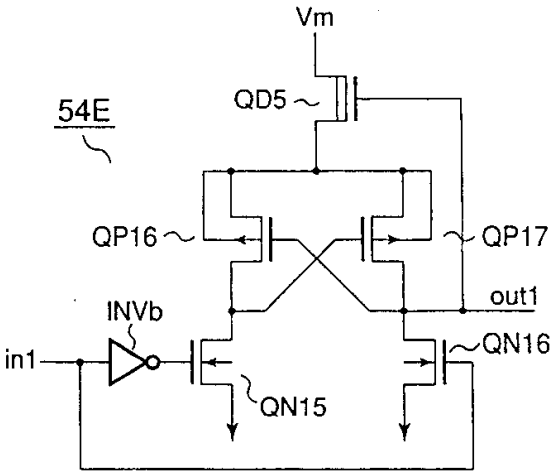
도면30


블록 어드레스 신호
RDEC
RA1
RA2
RA3
57
58
in1
전압 전환 회로
54E
Vm
out1
전압 전환 회로
54D
VPPRW
SGS
CGD8
CGD7
CGD6
CGD5
CGD4
CGD3
CGD2
CGD1
SGDS
SGD
QN10
QN8
QN7
QN6
QN5
QN4
QN3
QN2
QN1
N1
QN9
QN0
Cell-Source
S2
M8
M7
M6
M5
M4
M3
M2
M1
S1
BL1
BLm
SG(2)
CG(8)
CG(7)
CG(6)
CG(5)
CG(4)
CG(3)
CG(2)
CG(1)
SG(1)
5c 로우 디코더 회로
2 메모리 셀 블록

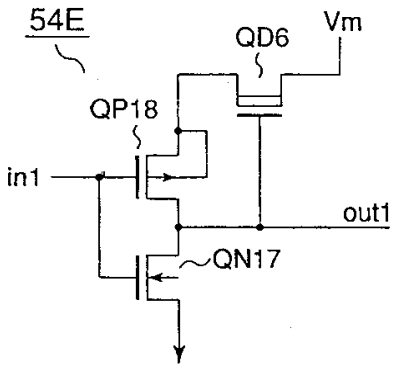
도면31a



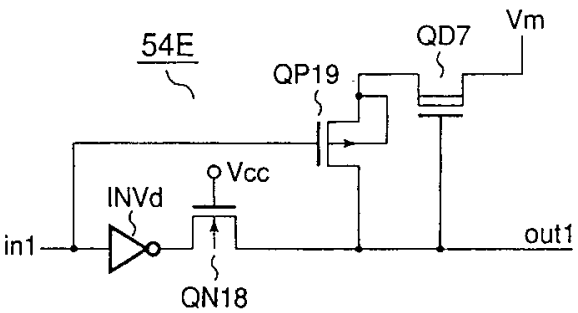
도면31b



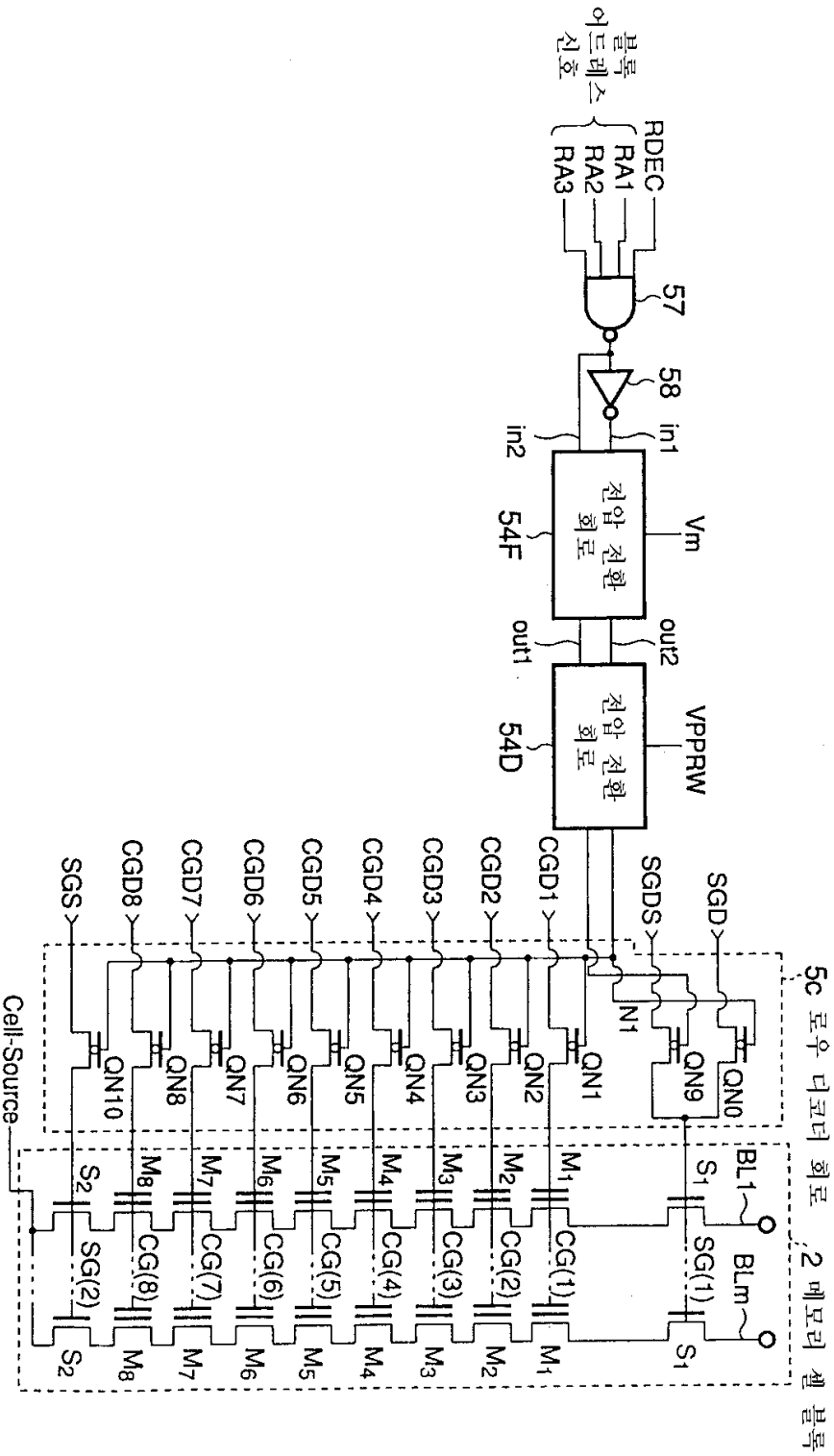
도면31c



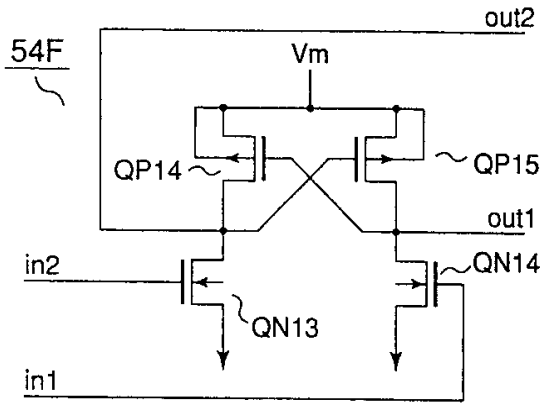
도면31d



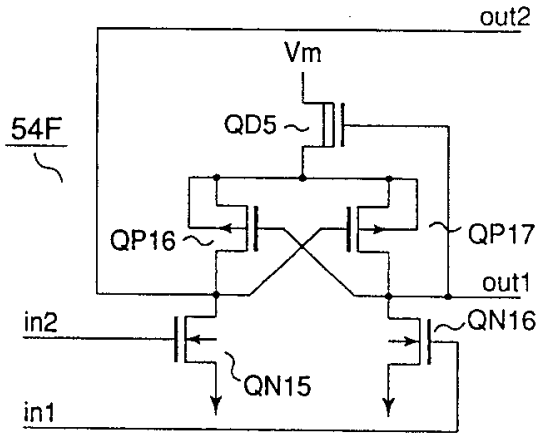
도면32


블록 어드레스 신호
RDEC
RA1
RA2
RA3
57
58
in1
in2
54F
전압 전환 회로
Vm
out1
out2
54D
전압 전환 회로
VPPRW
SGD
SGDS
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
N1
QN0
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN9
QN10
BL1
BLm
S1
S2
M1
M2
M3
M4
M5
M6
M7
M8
SG(1)
SG(2)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
Cell-Source
5c 로우 디코더 회로
2 메모리 셀 블록

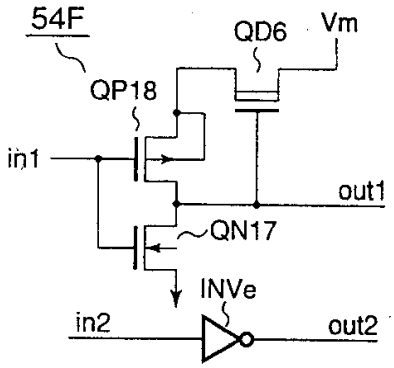
도면33a



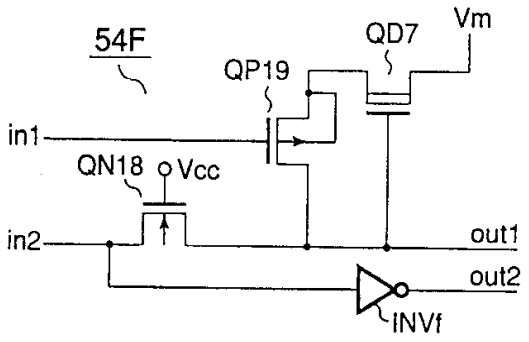
도면33b



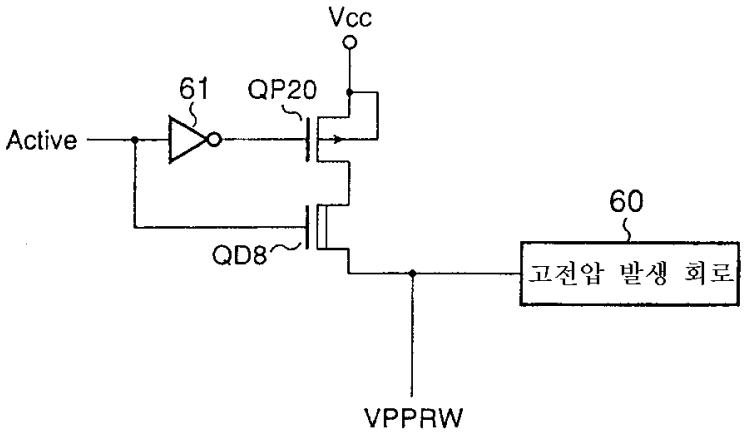
도면33c



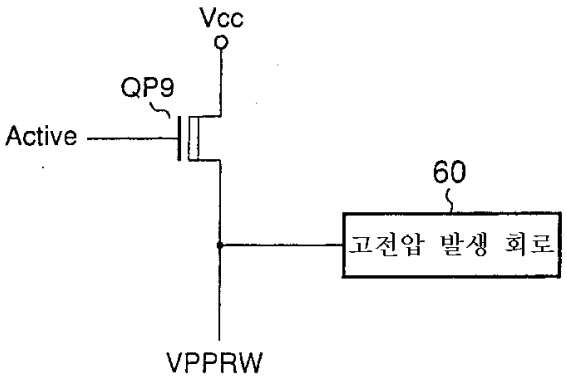
도면33d



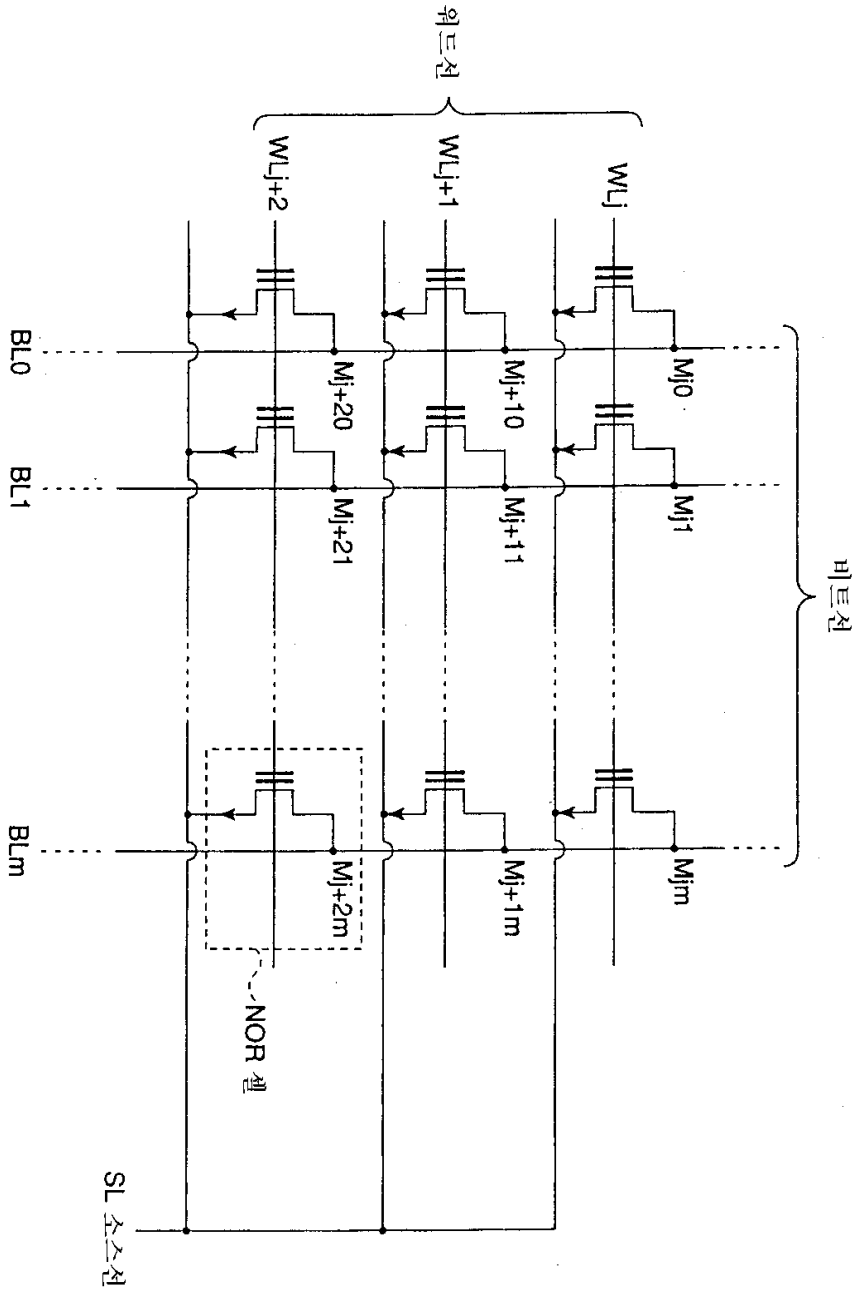
도면34


Vcc
61
QP20
Active
60
QD8
고전압 발생 회로
VPPRW

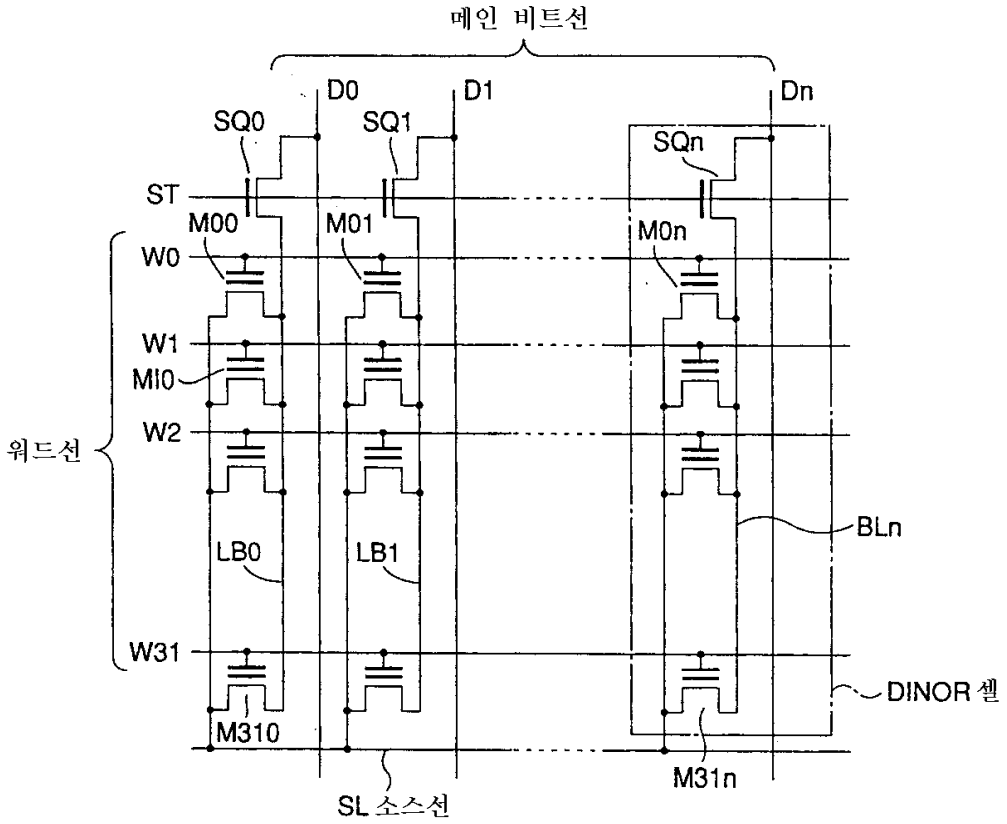
도면35


Vcc
QP9
Active
60
고전압 발생 회로
VPPRW

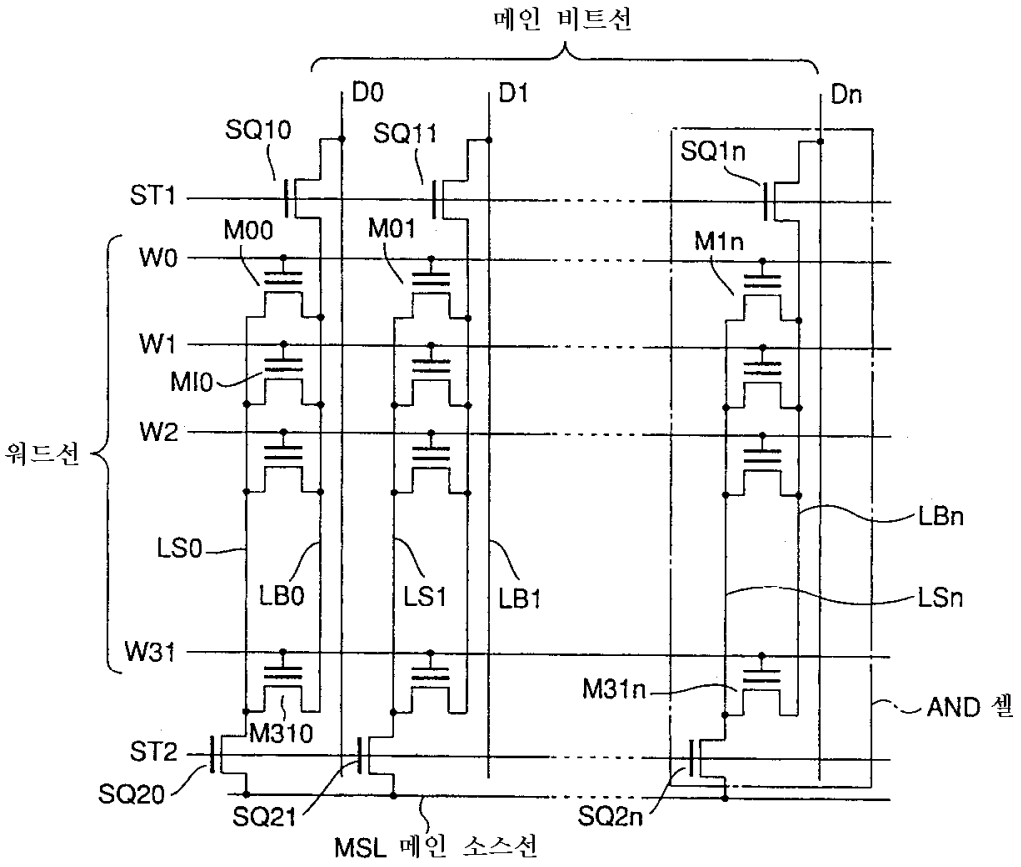
도면36


워드선
WLj
WLj+1
WLj+2
BL0
BL1
BLm
Mj0
Mj1
Mjm
Mj+10
Mj+11
Mj+1m
Mj+20
Mj+21
Mj+2m
비트선
NOR 셀
SL 소스선

도면37


메인 비트선
D0
D1
Dn
SQ0
SQ1
SQn
ST
M00
M01
M0n
W0
W1
MI0
W2
워드선
LB0
LB1
BLn
W31
DINOR 셀
M310
M31n
SL 소스선

도면38


메인 비트선
D0
D1
Dn
SQ10
SQ11
SQ1n
ST1
M00
M01
M1n
W0
W1
MI0
W2
워드선
LBn
LS0
LB0
LS1
LB1
LSn
W31
M31n
AND 셀
M310
ST2
SQ20
SQ21
SQ2n
MSL 메인 소스선

도면39

