

295696

公告本

申請日期	84.12.20
案 號	84113611
類 別	H01L 21/311 Int. C1 ⁶

A4
C4

295696

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	0.5及次於0.5微米極超大型積體電路用之作爲內層間電介質元素之基於倍半氧矽烷氫之流動氧化物
	英 文	HYDROGEN SILSESQUOXANE-BASED FLOWABLE OXIDE AS AN ELEMENT IN THE INTERLEVEL DIELECTRIC FOR 0.5 AND SUB 0.5 MICRON ULSI CIRCUITS
二、發明 創作人	姓 名	1. 亞拜倫 Byron T. Ahlburn 2. 甚索馬 Thomas R. Seha
	國 籍	1. - 2. 爲美國
三、申請人	住、居所	1. 美國德州波蘭市巴度路3324號 3324 Bandolino Lane, Plano, TX 75023 U.S.A. 2. 美國德州達拉市奧迪路11490號 11490 Audelia Road, Apt. 112, Dallas, TX 75023, U.S.A.
	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
三、申請人	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
三、申請人	代 表 人 姓 名	郝威廉 William E. Hiller

裝

訂

線

295696

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

美國(地區) 申請專利，申請日期：1994.12.20案號：

，☐有 ☒無主張優先權

08/359,784

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明背景

發明領域

本發明係關於一種在互連圖樣上形成平面介電層之方法及其完整結構。

習知技藝之簡述

就幾何觀點而言，半導體電路已縮小至0.5微米以下，因此對於在半導體電路中之互連圖樣之內層間介電質（ILD）之需求變成非常嚴苛。ILD膜必需以較高孔徑比充填間隙，且必需提供比現在使用之ILD膜所需更低的介電常數。降低介電常數可降低內層和外層電容，而此兩者可減緩以現今使用於電絕緣之氧化物處理之電路操作。聚所週知的是，當電路之複雜度增加時，減緩效果更顯著。

習知技藝使用旋壓玻璃（SOG）以充填空隙和平面部份或晶片或晶元之所有表面，因此，在多層互連系統中之金屬之第二和後續層可受到曝光，顯影和蝕刻而無需使引線變窄或發生其它已知之問題。在習知技藝中使用之SOG本質上為有機體，一般為甲基甲矽烷。以較小的幾何而言，當有機SOG曝光在通道中時，在導電金屬散佈在通道中下，會釋出溼氣或其它會引起高電阻在通道中發生之物質。此問題稱為通道毒氣，且會發生在使用甲基甲矽烷基旋壓玻璃以充填空隙和具有金屬互連之多層之積體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

電路平面化上。化學蒸氣沉積 (C V D) 鎢沉積在通道中使有機 S O G 曝光在通道側壁上之品質難以符合此嚴苛之要求，通常會導致不完整的充填通道，由通道之頂部而來具有高電阻及金屬成長之通道會引起和其它金屬線之短路。因此，有機 S O G 之有機部份以鎢源材料而作用在相反的效果上。

通道毒氣之問題之標準解答為執行 S O G 之部份電漿蝕回，而只留下 S O G 在金屬引線間或沿著金屬引線。此種解答需要使設置在整個晶元上之半有機玻璃在電漿蝕刻劑中蝕回。此步驟非常緩慢，非常髒，且會在晶元上留下顆粒，並且不均勻。其它的方法，例如使用 S O G 之薄塗層，藉由移動通道至 S O G 層較薄之位置或和細心硬化，蝕刻，經由烘烤和金屬沉積步驟，以改變連續之程度。

現今，從未有解決高寄生電容和降低金屬引線間隔之有效方法。已進行之研究包括氟化氧化物之高密度電漿沉積，C V D parylene，和其它旋壓材料之吸收，但是它們需要特殊的處理。

發明概要

依照本發明，可消除相關於 S O G 之電漿蝕回之步驟和設備，如此可導致循環時間之改善和成本之降低。平面化改善了在 S O G 下之增加 S O G 厚度和降低氧化物之厚度。此外，需用以沉積使用於 S O G 之沉積氧化物層之複雜處理亦可顯著的降低。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

簡言之，本發明使用無機 S O G 之單厚層，並留下所有的無機 S O G 在晶元上。且在金屬沉積步驟時，無需在硬化，或蝕刻上之特別處理。矽氧化物之無機源，其最好為倍半氧矽烷氫(H S Q)，具有化學式為 $(H S i O_{3/2})_n$ ，且已知為 Dow Corning 公司所產製之 9-5115 介電材料，乃使用以取代在旋壓玻璃中之有機甲基甲矽烷。此種材料之使用需配合精心之設計但是卻可提供簡化製造過程和降低介電常數之簡單處理步驟。H S Q 膜之介電常數鏈結至在膜中之 S i H 和 - O H 鍵，且具有比現今使用之內層介電材料之電漿 T E O S 氧化物或臭氧 T E O S 氧化物更低的介電常數。再者，介電膜之密度和多孔性會經由對水之吸收和排除而影響其介電常數。依照本發明，需要使用小於 4.0 之介電常數之無機含矽組成物。S O G 之介電常數可降至約 3.0，而現今使用之材料具有約 4.1 之介電常數。可使用矽酸鹽基 S O G 而不會產生通道毒氣。但是當它們受到硬化處理和經歷未受控制和不可接受之龜裂時，會實質的萎縮。近來亦證明一些有機 S O G 可藉由結合遍佈的氧電漿處理和隨後之熱處理而硬化以避免通道電阻和龜裂，但是如此仍需要額外的處理步驟。

依照本發明之處理流程，其可使用於 D R A M 和邏輯電路製造，包括最初形成互連圖樣在基底上，如同在習知技藝中，而該互連圖樣由例如鎢，鋁，銅等適當之材料形成。電漿原矽酸四乙酯 (T E O S) 氧化物具有厚度約 3 0 0 0 Å 至 5 0 0 0 Å，且最好為 4 0 0 0 Å，於後沉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

積在曝光表面上，留下凹痕或坑洞在介於互連圖樣之部份間之區域中。厚度為 3500Å 至 7300Å ，且最好為 5400Å 之 HSQ 塗層於後形成在 TEOS 氧化物上。而後此結構藉由加熱 375°C 至 425°C ，且最好為 400°C ，30 分鐘至 90 分鐘，最好為 45 分鐘，在約 600 至 760 m Torr 之壓力下，在實質純氮環境中，且無氧氣或溼氣下硬化，以將 HSQ 轉換成實質不具有 -OH 鍵之矽氧化物。含水量愈少，則愈少出現 -OH 鍵，而介於 4.1 至 3.0 之介電常數決定於 -OH 鍵之數目。所得之氧化物具有 SiO_x 結構，其中 $1 \leq x \leq 2$ 。此種氧化物對於溼氣具有相當的不透水性，即使其些微的比典型的 SiO_2 之密度小。矽氧化物之介電常數約為 3.1 ± 0.1 。具有厚度為 2000Å 至 4000Å ，且最好為 3000Å 之 TEOS 氧化物層沉積在 HSQ 上，而後在氮氣中，在 3 Torr 至 15 Torr，且最好為 9 Torr 之壓力下，在 370°C 至 410°C ，且最好為 390°C 之溫度下，在真空室中烘烤以提供具有上述介電質之完整互連層。現在即可以標準的方式對通道蝕刻至互連圖樣，且藉由重覆上述之處理步驟，互連之進一步層可形成在具有上述之介電質之介電層上。

藉由在倍半氧矽烷基氫 SOG 之硬化時，適當的選擇時間，溫度，和環境，可獲得比現今使用之內層介電膜更低之電容，且無需額外的處理時間或增加複雜性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(Submitted on December 2, 1996)

五、發明說明(5)

附圖簡述

圖 1 a 至 1 g 為在 D R A M 之互連圖樣上提供平面介電層之習知技藝之步驟之流程圖；

圖 2 a 至 2 i 為在邏輯電路之互連圖樣上提供平面介電層之習知技藝之步驟之流程圖；和

圖 3 a 至 3 d 為依照本發明可使用在 D R A M 和邏輯電路製造之流程圖。

較佳實施例之說明

參考圖 1 a 至 1 g，其中顯示在 D R A M 之互連圖樣上提供平面介電層之習知技藝之流程。首先，互連圖樣 3 藉由沉積例如鎢之互接金屬而形成在基底 1 上，而後定圖樣和蝕刻如圖 1 a 所示。7000 Å 厚之電漿 T E O S 氧化物層 5 而後沉積在曝光表面上，留下凹痕或坑洞 7 在介於互連圖樣之部份間之區域如圖 1 b 所示。6200 至 6400 Å 厚之有機 S O G 層 8 沉積在圖 1 b 所示之構造上，並硬化如圖 1 c 所示或蝕回而後硬化。而後，如果無先前之蝕回，圖 1 c 之構造乃受到蝕回直到 T E O S 氧化物 5 曝光如圖 1 d 所示，而後，在此結構上收集之任何聚合物 9 由氧氣電漿處理而移去，如圖 1 e 所示。其它剩餘的聚合物和污染物以水沖洗而由表面移去，如圖 1 f 所示。而後此結構在 410 °C 之溫度下烘烤約 2¹/₂ 分鐘，而後 5000 Å 厚之 T E O S 氧化物層 11 沉積在表面上，如圖 1 g 所示，以提供平面表面。

(請先閱讀背面之注意事項再填為本頁)

裝

訂

線

五、發明說明()

參考圖 2 a 至 2 i，其中顯示在邏輯電路之互連圖樣上提供平面介電層之習知技藝之流程。首先，互連圖樣 2 3 藉由沉積例如鋁之互連金屬而形成在基底 2 1 上，而後定圖樣和蝕刻如圖 2 a 所示。由於鋁會形成小丘，而此小丘會引起重疊互連層之短路，其必需提供比 D R A M 實施例中所需更厚之介電層。因此，3 0 0 0 Å 厚之電漿 T E O S 氧化物層 2 5 會沉積在曝光表面上，而留下凹痕或坑洞 2 7 在介於互連圖樣之部份間之區域中，如圖 2 b 所示。而後為氮氣電漿處理，其次為 3 0 0 0 Å 厚之臭氣 T E O S 氧化物層 2 9，如圖 2 c 所示，再次為 4 0 0 0 Å 厚之電漿 T E O S 氧化物層 3 1，如圖 2 d 所示。接下來之步驟和上述對於 D R A M 所述之步驟相同，亦即圖 1 c 至 1 g 相當於圖 2 e 至 2 i。

參考圖 3 a 至 3 d，其中顯示依照本發明而可使用於 D R A M 和邏輯電路製造之流程。首先，互連圖樣 3 3 如同習知技藝般的形成在基底 3 5 上，而該互連圖樣由適當之金屬，如鎢，鋁，和銅所形成，如圖 3 a 所示。而後沉積厚為 4 0 0 0 Å 之電漿 T E O S 氧化物層 3 7 在曝光表面上，留下凹痕或坑洞 3 9 在介於互連圖樣之部份間之區域中，如圖 3 b 所示。而後形成 5 4 0 0 Å 厚之 H S Q 塗層 4 1 在 T E O S 氧化物 3 7 上，如圖 3 c 所示。而後使圖 3 c 之結構硬化且 3 0 0 0 Å 厚之 T E O S 氧化物層 4 3 沉積在 H S Q 上，如圖 3 d 所示，以提供具有上述介

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

電質之完整互連層。於此可以標準方式將孔洞蝕刻至互連圖樣 3 3，且藉由重覆參考圖 3 a 至 3 d 之處理步驟，互連之進一步層可形成在具有上述介電質之介電層上。

由上可知，本發明提供一種具有介電質之金屬互連層，其是平面的，且可克服隱藏在上述之習知技藝中之問題，且其需要比依照習知方法所需更少之處理步驟。

關於進一步之實施例，層 3 7 和 4 3 在沉積時可為氟摻雜以降低這些層之介電常數。藉由增加含氟之標準摻雜劑，而形成層 3 7 和 / 或 4 3 時即可達成上述之效果。典型的可使用之含氟材料為四氟化碳 (CF_4)，其與 TEOS 和氧可形成含矽氧化物之氟。

雖然本發明已參考特殊較佳之實施例而做說明，對於熟悉此項技藝之人士而言仍有許多之變化和修飾之可能性。因此，下述之申請專利範圍應更寬廣的解釋以涵蓋所有的變化和修飾。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:

0.5及次於0.5微米極超大型積體電路用之作爲內層間電介質元素之基於倍半氧矽烷氫之流動氧化物

一種用以在互連圖樣上形成平面介面層之方法，其需要較少的處理步驟，且具有比習知技藝更低之介電常數。此方法包含提供一基底(35)，其上具有電互連圖樣(33)，在互連圖樣上形成介電第一層(37)，最好爲電漿產生TEOS氧化物，形成含矽介電之多孔第二層(41)，其具有低介電(43)常數而與由無機含矽組成，特別是倍半氧矽烷氫所形成之第一介電層上之第一層不同，和形成介電第三層，其與第二介電層上之第二層不同，最好由電漿產生TEOS氧化物所形成。形成第二層之步驟包含之步驟爲沉積無機含矽組成以使其可在第一層之上且熱解轉換爲矽氧化物，並將所得的結構放置在實質純氮且實質無溼氣之環境中，在等於或低於大氣壓力之壓力下，而後加熱此含矽組成由375℃至425℃最好爲400℃，時間爲30分鐘至90分鐘，以將含矽組成轉換成矽氧化物。

英文發明摘要(發明之名稱:

Hydrogen silsesquioxane-based flowable oxide as an element in the interlevel dielectric for 0.5 and sub 0.5 micron ULSI circuits

A method of forming a planar dielectric layer over an interconnect pattern which requires fewer processing steps and has a lower dielectric constant than is obtained in the prior art. The method comprises providing a substrate (35) having an electrical interconnect pattern (33) thereon, forming a first layer of dielectric (37) over the interconnect pattern, preferably by plasma generated TEOS oxide, forming a porous second layer (41) of silicon-containing dielectric with low dielectric (43) constant different from the first layer over the first dielectric layer from an inorganic silicon-containing composition, preferably hydrogen silsesquioxane and forming a third layer of dielectric different from the second layer over the second dielectric layer, preferably by a plasma generated TEOS oxide. The step of forming the second layer comprises the steps of depositing an inorganic silicon-containing

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

composition capable of being pyrolytically converted to a silicon oxide over the first layer and placing the resulting structure in an essentially pure nitrogen and essentially moisture-free environment at a pressure at or below atmospheric pressure and then heating the silicon-containing composition to a temperature of from about 375°C to about 425°C and preferably 400°C for from about 30 minutes to about 90 minutes to convert the silicon-containing composition to silicon oxide.

六、申請專利範圍

1. 一種在互連圖樣之上形成平面介電層之方法，包含之步驟為：

(a) 提供第一基底具有電互連圖樣；

(b) 在該互連圖樣上形成介電質第一層；

(c) 形成含矽介電質第二層，其與由無機含矽組成之在第一介電層上之第一層不同；和

(d) 形成介電第三層，其與第二介電層上之第二層不同。

2. 如申請專利範圍第1項所述之方法，其中該第一層為電漿產生TEOS氧化物。

3. 如申請專利範圍第1項所述之方法，其中該含矽組成為HSQ。

4. 如申請專利範圍第2項所述之方法，其中該含矽組成為HSQ。

5. 如申請專利範圍第1項所述之方法，其中該第三層為電漿產生TEOS氧化物。

6. 如申請專利範圍第2項所述之方法，其中該第三層為電漿產生TEOS氧化物。

7. 如申請專利範圍第3項所述之方法，其中該第三層為電漿產生TEOS氧化物。

8. 如申請專利範圍第4項所述之方法，其中該第三層為電漿產生TEOS氧化物。

9. 如申請專利範圍第1項所述之方法，其中形成該第二層之步驟包含之步驟為：沉積可受到電解轉換為矽氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

化物之無機含矽組成在由步驟(b)而來之結構上，並放置所得之結構在實質純氮且無溼氣之環境中，在等於或低於大氣壓力之壓力下，而後加熱含矽組成在由 375 °C 至 425 °C 之溫度下約 30 至 90 分鐘以轉換該含矽組成爲矽氧化物。

10. 如申請專利範圍第 9 項所述之方法，其中該含矽組成爲 H S Q。

11. 如申請專利範圍第 9 項所述之方法，其中該溫度約爲 400 °C 且加熱約 45 分鐘。

12. 如申請專利範圍第 10 項所述之方法，其中該溫度約爲 400 °C 且加熱約 45 分鐘。

13. 如申請專利範圍第 1 項所述之方法，其中形成第三層之步驟包含之步驟爲：設置由步驟(c)而來之結構在真空室中，並在氮氣週圍中加熱，壓力由 3 Torr 至 15 Torr，溫度爲 350 °C 至 430 °C，加熱時間爲 30 秒至 90 秒，而後在該結構上沉積厚度爲 2000 Å 至 4000 Å 之電漿產生 T E O S 氧化物層。

14. 如申請專利範圍第 13 項所述之方法，其中該溫度約爲 390 °C，加熱時間約爲 60 秒。

15. 如申請專利範圍第 13 項所述之方法，其中壓加約爲 9 Torr。

16. 如申請專利範圍第 13 項所述之方法，其中厚度約爲 3000 Å。

17. 一種多層互連圖樣，包含：

六、申請專利範圍

- (a) 一基底具有電互連圖樣；
 - (b) 介電第一層在該互連圖樣之上；
 - (c) 含矽之介電第二層，其與在第一介電層上之第一層不同，該第一介電層由可形成矽氧化物之無機含矽組成所形成；
 - (d) 介電第三層，其與在第二介電層上之第二層不同；
- 和
- (e) 電互連圖樣設置在第三層之上。
18. 如申請專利範圍第17項所述之圖樣，其中該含矽組成爲HSQ。
19. 如申請專利範圍第17項所述之圖樣，其中第二層具有之介電常數小於4.0。
20. 如申請專利範圍第18項所述之圖樣，其中第二層具有之介電常數小於4.0。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

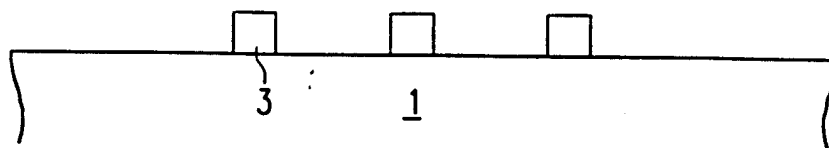
線

295696

W
引線

圖. 1A

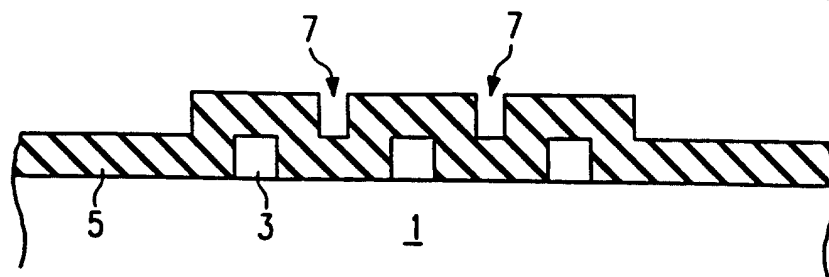
(習知技藝)



PECVD
氧化物

圖. 1B

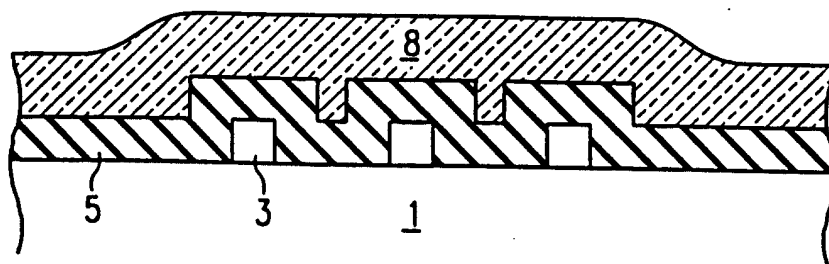
(習知技藝)



塗覆
和硫化

圖. 1C

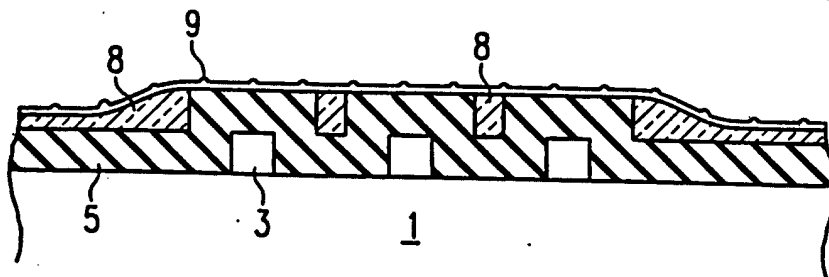
(習知技藝)



SOG 蝕回

圖. 1D

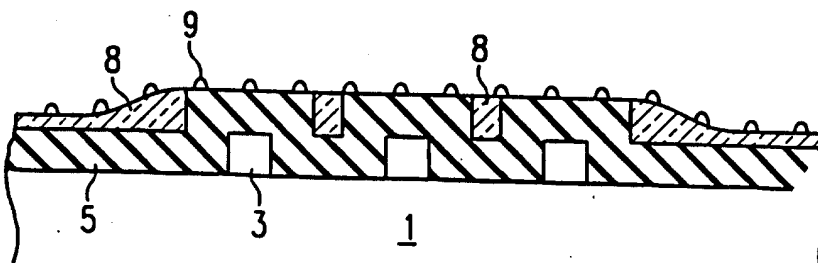
(習知技藝)



移除
聚合物

圖. 1E

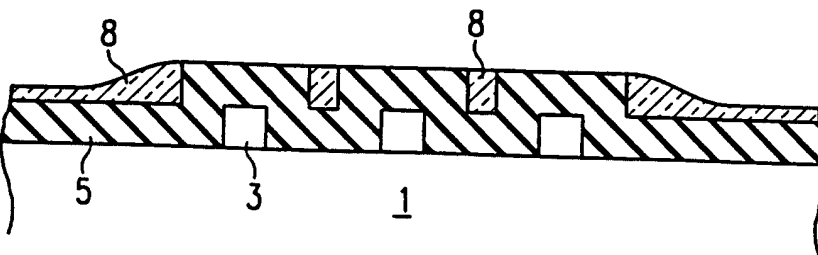
(習知技藝)



H₂O SCRUB

圖. 1F

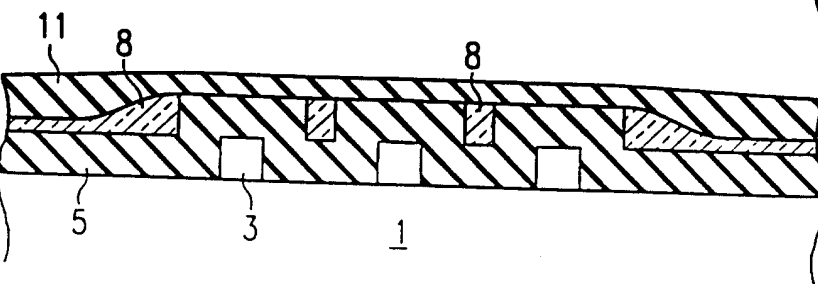
(習知技藝)



PECVD

圖. 1G

(習知技藝)

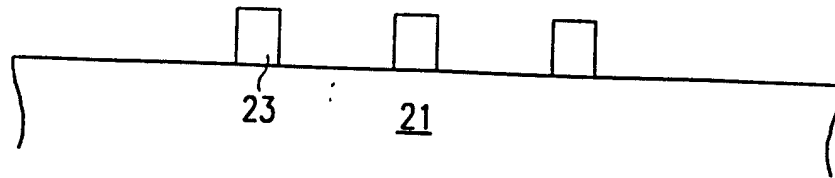


295696

TiN-Al(Cu)
TiN 引線

圖. 2A

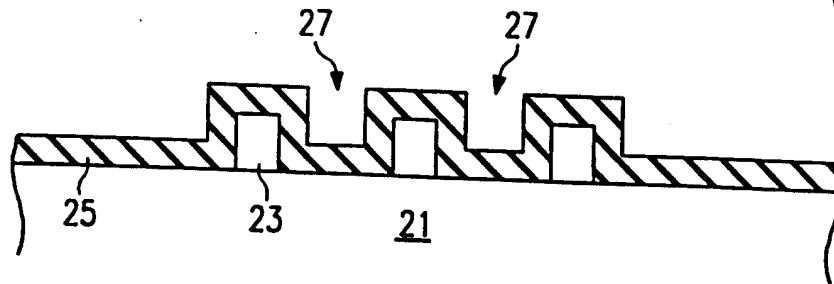
(習知技藝)



PECVD
氧化物

圖. 2B

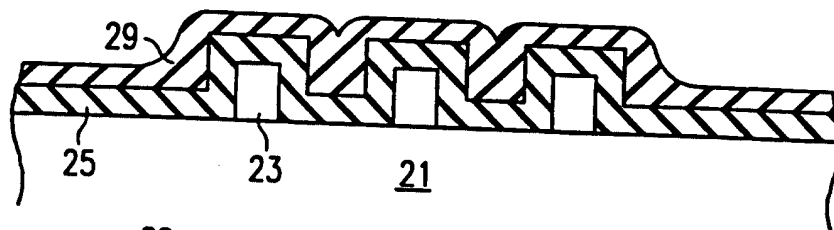
(習知技藝)



O₃/TEOS
氧化物

圖. 2C

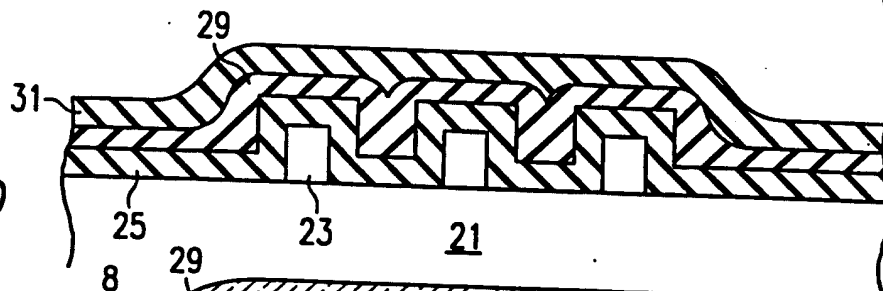
(習知技藝)



PECVD
氧化物

圖. 2D

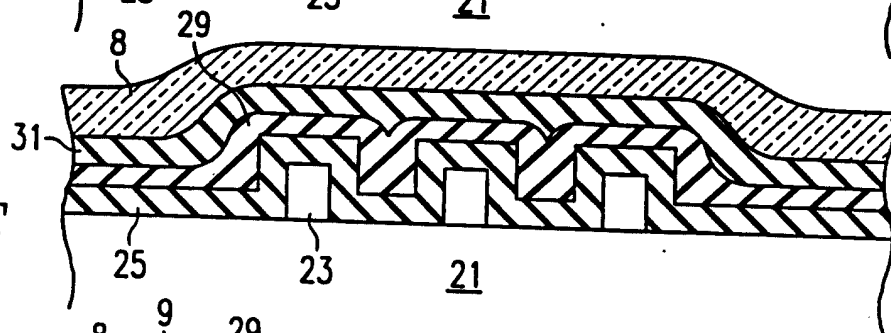
(習知技藝)



SOG塗覆
和硫化

圖. 2E

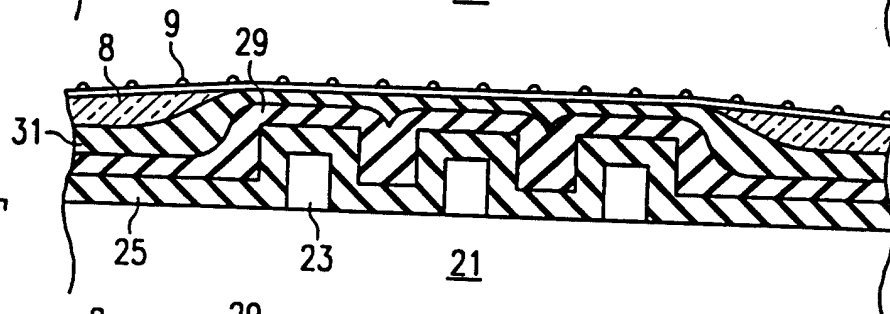
(習知技藝)



SOG 蝕回

圖. 2F

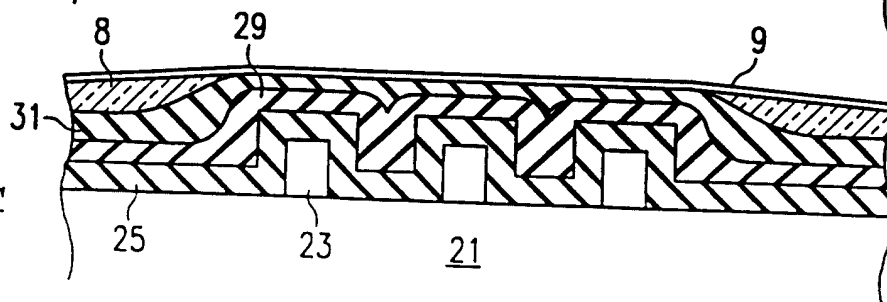
(習知技藝)



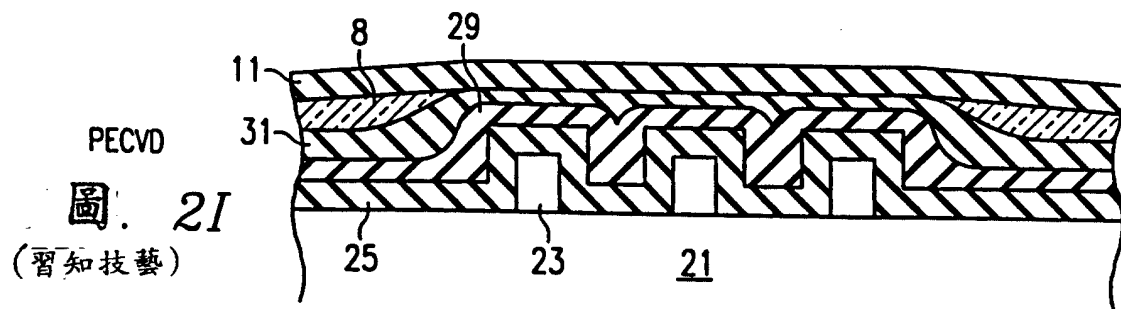
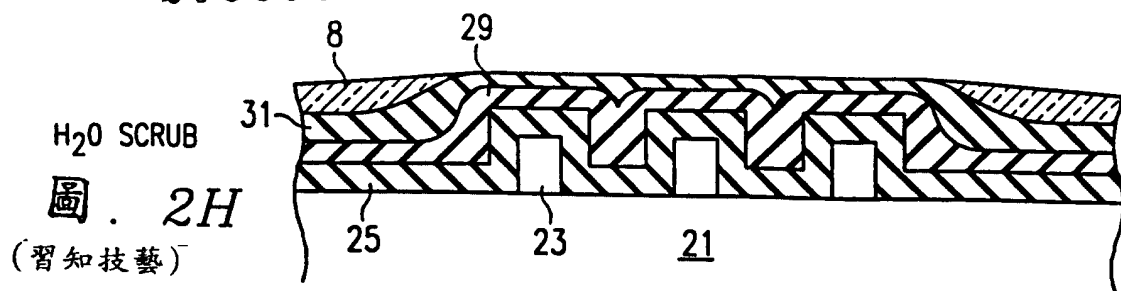
移除
聚合物

圖. 2G

(習知技藝)

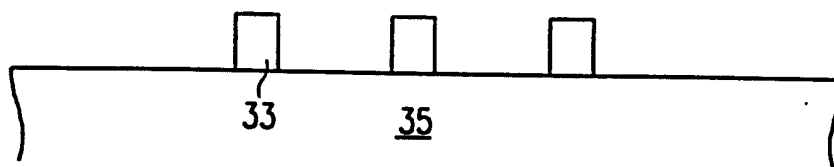


295696



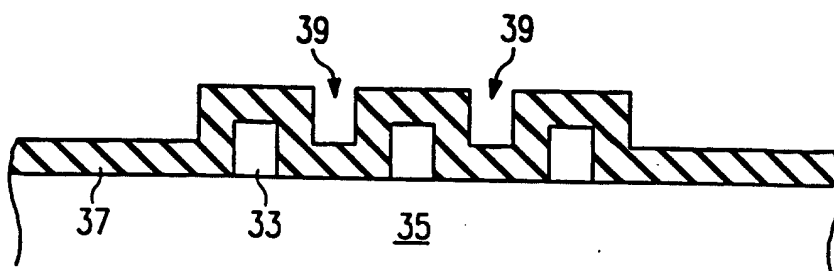
W or TiN-
Al(Cu)-TiN
引線

圖. 3A



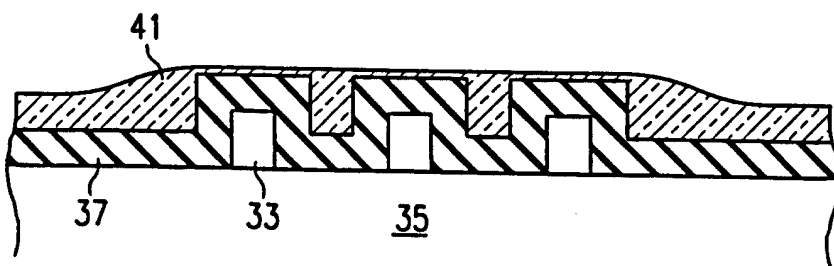
PECVD
氧化物

圖. 3B



流動氧化物
塗覆及轉換

圖. 3C



PECVD

圖. 3D

