

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 11 月 4 日(04.11.2010)

PCT

(10) 国際公開番号
WO 2010/125810 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/8238 (2006.01)
H01L 21/28 (2006.01) H01L 27/088 (2006.01)
H01L 21/285 (2006.01) H01L 27/092 (2006.01)
H01L 21/336 (2006.01) H01L 29/423 (2006.01)
H01L 21/8234 (2006.01) H01L 29/49 (2006.01)
- (21) 国際出願番号: PCT/JP2010/003038
- (22) 国際出願日: 2010 年 4 月 28 日(28.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-108996 2009 年 4 月 28 日(28.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): キヤノンアネルバ株式会社 (CANON ANELVA CORPORATION) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2 丁目 5 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中川隆史 (NAKAGAWA, Takashi) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2 丁目 5 番 1 号 キヤノンアネルバ株式会社内 Kanagawa (JP). 北野尚武 (KITANO, Naomu) [JP/JP]; 〒2158550 神奈川県川

崎市麻生区栗木 2 丁目 5 番 1 号 キヤノンアネルバ株式会社内 Kanagawa (JP). 松尾和昭 (MATSUO, Kazuaki) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2 丁目 5 番 1 号 キヤノンアネルバ株式会社内 Kanagawa (JP). 小須田求 (KOSUDA, Motomu) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2 丁目 5 番 1 号 キヤノンアネルバ株式会社内 Kanagawa (JP). 辰巳徹 (TATSUMI, Toru) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2 丁目 5 番 1 号 キヤノンアネルバ株式会社内 Kanagawa (JP).

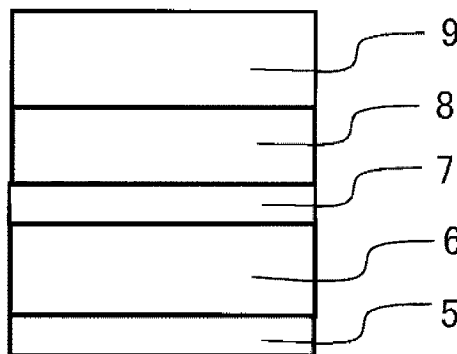
- (74) 代理人: 渡辺 敬介, 外 (WATANABE, Keisuke et al.); 〒1100016 東京都台東区台東四丁目 1 1 番 4 号三井住友銀行御徒町ビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図13]



(57) Abstract: Disclosed is a semiconductor device including a field effect transistor equipped with a gate electrode made of a metal nitride layer and a polysilicon layer, wherein the gate electrode has an excellent thermal stability and can achieve a desired work function. In the semiconductor device, a gate insulating film (6) formed on a silicon substrate (5) has a high-permittivity insulation film made of a metal oxide, a metal silicate, or a nitrogen-doped metal oxide or metal silicate. The gate electrode has a first metal nitride layer (7) including Ti and N and disposed on the gate insulating film (6), a second metal nitride layer (8) including Ti and N, and a polysilicon layer (9). A mol ratio (N/Ti) of Ti and N in the first metal nitride layer (7) is 1.1 or more and a crystal orientation (X_1) is greater than 1.1 and less than 1.8. A mol ratio (N/Ti) of Ti and N in the second metal nitride layer (8) is 1.1 or more and a crystal orientation (X_2) is 1.8 or more.

(57) 要約:

[続葉有]

WO 2010/125810 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則 4.17 に規定する申立て:

- 出願し及び特許を与えられる出願人の資格に関する申立て (規則 4.17(ii))
- 発明者である旨の申立て (規則 4.17(iv))

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

金属窒化物層と多結晶シリコン層からなるゲート電極を具備した電界効果トランジスタを有する半導体装置において、熱安定性に優れ、所望の仕事関数を実現するゲート電極を提供する。シリコン基板 5 上のゲート絶縁膜 6 が、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有し、ゲート電極が、ゲート絶縁膜 6 上に配置された Ti と N を含有する第 1 金属窒化物層 7、Ti と N を含有する第 2 金属窒化物層 8 および多結晶シリコン層 9 を有し、第 1 金属窒化物層 7 の Ti と N のモル比率 (N/Ti) が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ であり、第 2 金属窒化物層 8 の Ti と N のモル比率 (N/Ti) が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ である半導体装置。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は高誘電率絶縁膜と金属ゲート電極を有する半導体装置ならびにその製造方法及び製造プログラムに関するものであり、特にMOSFET (Metal Oxide Semiconductor Field Effect Transistor) の高性能化に関する技術である。

背景技術

[0002] トランジスタの微細化が進む先端CMOS（相補型MOS）デバイス開発では、ポリシリコン（poly-Si）電極の空乏化による駆動電流の劣化とゲート絶縁膜の薄膜化によるゲート電流の増加が問題となっている。そこで、メタルゲートの適用により電極の空乏化を回避すると同時に、ゲート絶縁膜に高誘電体材料を用いて物理膜厚を厚くすることでゲートリーク電流を低減する複合技術が検討されている。メタルゲート電極に用いる材料として、純金属や金属窒化物あるいはシリサイド材料等が検討されているが、いずれの場合においても、N型MOSFET、P型MOSFETのしきい値電圧（ V_{th} ）を適切な値に設定可能でなければならない。従来の多結晶シリコン膜を介したゲート電極を用いる場合、トランジスタのしきい値電圧はチャネル領域の不純物濃度と多結晶シリコン膜中の不純物濃度で決定される。一方、メタルゲート電極を用いる場合には、トランジスタのしきい値電圧は、チャネル領域の不純物濃度とゲート電極の仕事関数で決定される。CMOSトランジスタで ± 0.5 V以下の V_{th} を実現するためには、N型MOSFETでは仕事関数がSiのミッドギャップ（ 4.6 eV）以下、望ましくは 4.4 eV以下の材料を、P型MOSFETでは仕事関数がSiのミッドギャップ（ 4.6 eV）以上、望ましくは 4.8 eV以上の材料をゲート電極に用いる必要がある。

[0003] これらを実現する手段の一つとして、既存のCMOS作製工程と整合性の

高いメタル挿入P o l y - S i 積層構造 (M I P S : M e t a l - i n s e r t e d P o l y - s i l i c o n S t a c k) が検討されている。この方法では、P o l y - S i とゲート絶縁膜の間にメタル膜を挿入したゲート電極を形成し、挿入したゲート電極の仕事関数によってしきい値電圧の調整している。このとき、メタル膜の仕事関数は、熱処理工程におけるゲート絶縁膜やP o l y - S i との相互反応により変化するという課題がある。

[0004] 例えば、特許文献1では、多結晶シリコンとPVD-TiN（第2金属層）とCVD-TiN（第1金属層）の積層構造からなるゲート電極を用いる方法が開示されている。この方法によれば、第1金属層であるTiNをTiCl₄とNH₃を用いた熱CVD法で、450℃以下の低温で形成することで、P型MOSFETのメタルゲートに適した4.8 eV以上の仕事関数を有するTiNが実現できると記載されている。また、第2金属層であるTiNをPVD法で、500℃（第1金属層であるTiNを形成するよりも高い温度）で形成することで、(100)面に配向したTiNが形成されると記載されている。この(100)面に配向したTiNは、ゲート電極の形成後の熱工程（例えば、活性化アニール工程）においてP o l y - S i からTiNへのSiが拡散することによる仕事関数の低下を抑制する効果があると述べられている。

[0005] また、特許文献2では、ゲート絶縁膜と接する部分の平均結晶粒径が30 nm以下である金属ゲート電極を用いる方法が開示されている。この方法によれば、例えばスパッタリング法により形成したTiNをゲート電極として用いる場合、300℃以下の成膜温度で、TiとNの比率が1:1よりも窒素が過剰になるように、Arと窒素の分圧比を制御して形成することにより、TiNの粒径が30 nm以下になり、トランジスタのしきい値電圧のばらつきが抑制できると記載されている。また、TiNの結晶構造については、(111)配向のTiN膜を用いた方が、(111)と(110)配向が共存するTiN膜を用いた場合よりも、しきい値電圧値のばらつきが小さくなると述べられている。

- [0006] また、特許文献3では、ゲート絶縁膜と接する部分の金属ゲート電極の面方位をそろえる方法が開示されている。この文献によると、TiNの仕事関数はTiNの結晶配向性によって変化し、(100)配向で4.3 eV、(111)配向で4.6 eVとなると記載されている。
- [0007] また、特許文献4には、TiNの仕事関数を変化させる方法として、TiNとタングステンの高融点金属の積層構造からなるゲート電極を用い、窒化チタンの含有窒素濃度によって仕事関数を変化させる技術が開示されている。この方法によれば、TiN膜中への窒素のイオン注入や反応性スパッタリングによるTiNの形成時における窒素ガスの流量比を高くし、TiN膜中の窒素含有率を上昇させることで仕事関数を低下できると開示されている。また、反応性スパッタリング時の窒素含有率を100%にすることで、TiN膜の結晶配向性が概ね(200)に変化し、N型チャネル用MOSFETのゲート電極に適した仕事関数の低いTiNが得られると開示されている。
- [0008] また、特許文献5には、TiNを用いたゲート電極と高誘電率ゲート絶縁膜の間に生じる反応を抑制する方法が開示されている。この方法によれば、TiNとタングステンの積層構造からなるゲート電極において、TiNの膜密度を5.0 g/cm³以上にし、かつ結晶構造を(100)配向にし、かつ膜組成Ti/Nを1.0~1.2の範囲に設定することによって、TiNと高誘電率ゲート絶縁膜の相互反応が抑制できると述べられている。

先行技術文献

特許文献

- [0009] 特許文献1：特開2008-16538号公報
特許文献2：特許第3523093号公報
特許文献3：特許第3540613号公報
特許文献4：特開2001-203276号公報
特許文献5：特開2009-59882号公報

発明の概要

発明が解決しようとする課題

- [0010] しかしながら、上述の技術にはそれぞれ以下のような課題が存在する。
- [0011] 特許文献 1 に記載の方法では、高い仕事関数を有する T i N を実現するとともに、ゲート電極の形成後の熱工程における P o l y - S i から T i N へ S i が拡散することによる仕事関数の低減を抑制できる点で効果的な技術であるが、それぞれの T i N の膜組成に関して述べられておらず、組成により仕事関数が増加するという課題がある。また、ゲート絶縁膜と接する領域の T i N に関する最適な結晶配向性についても不明である。また、C V D 法により高い仕事関数を有する T i N を形成した後、P V D 法により S i の拡散を抑制できる T i N を形成しているためゲート電極作成工程数が増加するという課題がある。また、P V D 法により S i の拡散を抑制できる T i N を形成するためには、500℃程度の高温化において成膜をする必要があるため、スループットの低下が懸念される。
- [0012] また、特許文献 2 および特許文献 3 に記載の T i N 膜の結晶粒径や結晶配向性を制御する方法では、最適な仕事関数を得るための膜組成や M I P S 用の金属膜として適用した場合における、ゲート絶縁膜および P o l y - S i との相互反応による仕事関数の変化について何も述べられていない。
- [0013] また、特許文献 4 に記載の方法では、窒化チタンの含有窒素濃度により仕事関数を制御できる効果的な技術ではあるが、M I P S 用の金属膜として適用した場合における、ゲート絶縁膜および P o l y - S i との相互反応による仕事関数の変化について何も述べられていない。また、ゲート絶縁膜として窒化シリコン膜もしくは窒化酸化シリコン膜を用いているため、高誘電率ゲート絶縁膜に最適な T i N 膜の膜組成や結晶配向性に関して述べられていない。
- [0014] また、特許文献 5 に記載の T i N 膜の膜密度、結晶配向性、膜組成を最適化する方法では、T i N とゲート絶縁膜との反応を抑制する点で効果的であるが、M I P S 用の金属膜として適用した場合における、ゲート絶縁膜および P o l y - S i との相互反応による仕事関数の変化について何も述べられ

ていない。

- [0015] 本発明は、上記従来の課題に対してなされたものであり、その目的とするところは、より簡略化した製造プロセスを用いてT i Nの膜組成や結晶配向性を最適化することで素子特性を向上させることが可能な半導体装置並びにその製造方法及び製造プログラムを提供することである。

課題を解決するための手段

- [0016] 本発明の半導体装置は、シリコン基板上に、ゲート絶縁膜と該ゲート絶縁膜上に設けられたゲート電極とを有する電界効果トランジスタを備えた半導体装置において、

前記ゲート絶縁膜が、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有し、

前記ゲート電極が、前記ゲート絶縁膜上に配置されたT i とNを含有する第1金属窒化物層、該第1金属窒化物層上に配置されたT i とNを含有する第2金属窒化物層および該第2金属窒化物層上に配置された多結晶シリコン層を有し、

前記第1金属窒化物層のT i とNのモル比率($N/T i$)が1.1以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ であり、

前記第2金属窒化物層のT i とNのモル比率($N/T i$)が1.1以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ であることを特徴とする。

- [0017] また、本発明の半導体装置の製造方法は、シリコン基板上に、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有するゲート絶縁膜と、該ゲート絶縁膜上に設けられたT i とNを含有する第1金属窒化物層、該第1金属窒化物層上に配置されたT i とNを含有する第2金属窒化物層及び該第2金属窒化物層上に配置された多結晶シリコン層を有するゲート電極とを有する電界効果トランジスタを備えた半導体装置の製造方法であって、

T i とNのモル比率($N/T i$)が1.1以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲である第1金属窒化物層を形成する工程と、

Ti と N のモル比率 (N/Ti) が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ である第 2 金属窒化物層を形成する工程と、
を備えたことを特徴とする。

[0018] また、本発明の半導体装置の製造プログラムは、シリコン基板上に、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有するゲート絶縁膜と、該ゲート絶縁膜上に設けられた Ti と N を含有する第 1 金属窒化物層、該第 1 金属窒化物層上に配置された Ti と N を含有する第 2 金属窒化物層及び該第 2 金属窒化物層上に配置された多結晶シリコン層を有するゲート電極とを有する電界効果トランジスタを備えた半導体装置の製造プログラムであって、

Ti と N のモル比率 (N/Ti) が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲である第 1 金属窒化物層を形成する手順と、

Ti と N のモル比率 (N/Ti) が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ である第 2 金属窒化物層を形成する手順と、
をコンピューターに実行させることを特徴とする。

発明の効果

[0019] 本発明によれば、素子の電気特性の劣化を招くことなく、ゲート電極形成後の熱処理工程における多結晶シリコン層から TiN 膜中への Si の拡散による仕事関数の低下を抑制することができる。

図面の簡単な説明

[0020] [図1] 本発明の実施形態に関わる素子構造の断面を示す図である。

[図2] 本発明の実施形態に関わる窒化チタン膜の形成工程に用いられる処理装置の概略を示す図である。

[図3] 本発明の実施形態に関わる窒化チタン膜の膜組成と膜密度および実効仕事関数の関係を示す図である。

[図4] 本発明の実施形態に関わる窒化チタン膜の XRD 回折スペクトルを示す図である。

[図5] 本発明の実施形態に関わる窒化チタン膜の XRD 回折スペクトルにおけ

るピーク強度比と膜組成の関係を示す図である。

[図6] 本発明の実施形態に関わる素子のEOTとリーク電流の関係を示す図である。

[図7] 本発明の実施形態に関わる窒化チタン膜の膜組成と膜密度の関係を示す図である。

[図8] 本発明の実施形態に関わる素子構造の断面を示す図である。

[図9] 本発明の実施形態に関わる素子の実効仕事関数の値とアニール温度の関係を示す図である。

[図10] 本発明の実施形態に関わる窒化チタン膜のSEM観測像を示す図である。

[図11] 本発明の実施形態に関わる素子のEOTとリーク電流の関係を示す図である。

[図12] 本発明の実施形態に関わる素子構造の断面図を示す図である。

[図13] 本発明の実施例1の半導体装置の断面構造を示す図である。

[図14] 本発明の実施例2の半導体装置の製造方法の工程を示す図である。

[図15] 本発明の実施例3の半導体装置の製造方法の工程を示す図である。

[図16] 図2の処理装置を制御する制御装置の模式図である。

[図17] 図16の制御装置の内部構成を示した図である。

発明を実施するための形態

[0021] 以下、本発明の実施形態を図面に基づき詳細に説明する。

[0022] 本発明者らは、高誘電率ゲート絶縁膜上、TiNからなる金属窒化膜と多結晶シリコン膜の積層構造からなるゲート電極を設けた電界効果トランジスタ構造において、高い仕事関数を有し、かつゲート電極形成後の熱処理工程における仕事関数の低下を抑制できる窒化チタン膜構造を鋭意検討した結果、ゲート絶縁膜上に配置された第1金属窒化物層と第1金属窒化物層上に配置された第2金属窒化物層からなる積層構造を有し、第1金属窒化物層のTiとNのモル比率(N/Ti)が1.1以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲、第2金属窒化物層のTiとNのモル比率(N/T

i) が 1. 1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ に設定された窒化チタン膜構造を適用することにより、(1) 素子の性能を低下させることなく高い仕事関数を実現、(2) ゲート電極形成後の熱処理工程における仕事関数の低下を抑制、できるゲート電極を新たに発見した。

[0023] ここで、本発明において、「結晶配向性」とは、Ti と N を含有する金属窒化物層の X 線回折スペクトルにおける (200) ピーク強度と (111) ピーク強度の比 ($C(200)/C(111)$) をいう。

[0024] 本発明における高い仕事関数を実現するための窒化チタン膜の形態について、図 1 の MIS P 型ゲート電極を有する素子を例に取り説明する。図 1 に示すように、表面にシリコン酸化膜と高誘電率膜として HfSiO 膜を用いたゲート絶縁膜 2 を有する p 型シリコン基板 1 上に、窒化チタン膜 3 およびシリコン膜 4 が形成されている。

[0025] ゲート絶縁膜 2 に用いられる高誘電率材料は、SiO₂ の比誘電率 (3.9) より大きな比誘電率をもつ材料であり、金属酸化物、金属シリケート、窒素が導入された金属酸化物、窒素が導入された金属シリケートが挙げられる。結晶化が抑えられ、素子の信頼性が向上する点から、窒素が導入された高誘電率膜が好ましい。高誘電率材料中の金属としては、膜の耐熱性および膜中の固定電荷抑制の観点から、Hf もしくは Zr が好ましい。また、高誘電率材料としては、Hf 又は Zr と Si とを含む金属酸化物、この金属酸化物にさらに窒素を含む金属酸窒化物が好ましく、HfSiO、HfSiON がより好ましい。また、ここではゲート絶縁膜 2 としてシリコン酸化膜とその上に積層された高誘電率膜を用いているが、これに限定されるものではなく、高誘電率絶縁膜単独あるいはシリコン酸窒化膜とその上に積層された高誘電率膜を用いることができる。

[0026] 図 2 に、本発明における窒化チタン膜 3 の形成工程に用いられる処理装置の概略を示す。

[0027] 成膜処理室 100 はヒータ 101 によって所定の温度に加熱できるようになっている。被処理基板 102 は、基板支持台 103 に組み込まれた、サセ

プタ 104 を介して、ヒータ 105 によって所定の温度に加熱できるようになっている。基板支持台 103 は、膜厚の均一性の観点から所定の回転数で回転できることが好ましい。成膜処理室内には、ターゲット 106 が被処理基板 102 を望む位置に設置されている。ターゲット 106 は、Cu 等の金属から出来ているバックプレート 107 を介してターゲットホルダー 108 に設置されている。なお、ターゲット 106 とバックプレート 107 を組み合わせたターゲット組立体の外形を一つの部品としてターゲット材料で作成し、これをターゲットとして取り付けても構わない。つまり、ターゲットがターゲットホルダーに設置された構成でも構わない。Cu 等の金属製のターゲットホルダー 108 には、スパッタ放電用電力を印加する直流電源 110 が接続されており、絶縁体 109 により接地電位の成膜処理室 100 の壁から絶縁されている。スパッタ面から見たターゲット 106 の背後には、マグネトロンスパッタリングを実現するためのマグネット 111 が配設されている。尚、各マグネット 111 の配列は、磁束線（磁気フラックス）を生成するものであれば、どのような配列で設けてもよい。マグネット 111 は、マグネットホルダー 112 に保持され、図示しないマグネットホルダー回転機構により回転可能となっている。ターゲットのエロージョンを均一にするため、放電中には、このマグネット 111 は回転している。ターゲット 106 は、基板 102 に対して斜め上方のオフセット位置に設置されている。すなわち、ターゲット 106 のスパッタ面の中心点は、基板 102 の中心点の法線に対して所定の寸法ずれた位置にある。ターゲット 106 と処理基板 102 の間には、遮蔽板 116 が配置され、電力が供給されたターゲット 106 から放出されるスパッタ粒子による処理基板 102 上への成膜を制御している。

[0028] ターゲットは、Ti の金属ターゲット 106 を用いた。窒化チタン膜の堆積は、金属ターゲット 106 に、それぞれ直流電源 110 より、ターゲットホルダー 108 およびバックプレート 107 を介して電力を供給することにより実施される。この際、不活性ガスが、不活性ガス源 201 から、バルブ

202、マスフローコントローラ203、バルブ204を介してターゲット付近から成膜処理室100に導入される。また、窒素からなる反応性ガスは、窒素ガス源205から、バルブ206、マスフローコントローラ207、バルブ208を介して成膜処理室100内の基板付近に導入される。導入された不活性ガスおよび反応性ガスは、コンダクタンスバルブ117を介して、排気ポンプ118によって排気される。

[0029] 本発明における窒化チタン膜3の堆積は、スパッタリングガスとしてアルゴン、反応性ガスとして窒素を用いた。基板温度は、 $27^{\circ}\text{C}\sim 600^{\circ}\text{C}$ 、ターゲットパワーは $50\text{W}\sim 1000\text{W}$ 、スパッタガス圧は $0.1\text{Pa}\sim 1.0\text{Pa}$ 、Ar流量は $0\text{sccm}\sim 100\text{sccm}$ ($0\text{Pa}\cdot\text{m}^3/\text{sec}\sim 1.69\times 10^{-1}\text{Pa}\cdot\text{m}^3/\text{sec}$)、窒素ガス流量は $0\text{sccm}\sim 100\text{sccm}$ ($0\text{Pa}\cdot\text{m}^3/\text{sec}\sim 1.69\times 10^{-1}\text{Pa}\cdot\text{m}^3/\text{sec}$)、の範囲で適宜決定することができる。ここでは、基板温度 30°C 、Tiのターゲットパワー 750W 、スパッタガス圧 0.2Pa としアルゴンガス流量を $0\text{sccm}\sim 20\text{sccm}$ ($0\text{Pa}\cdot\text{m}^3/\text{sec}\sim 3.38\times 10^{-2}\text{Pa}\cdot\text{m}^3/\text{sec}$)、窒素ガス流量を $2\text{sccm}\sim 50\text{sccm}$ ($3.38\times 10^{-3}\text{Pa}\cdot\text{m}^3/\text{sec}\sim 8.45\times 10^{-2}\text{Pa}\cdot\text{m}^3/\text{sec}$)の範囲で変化させて堆積した。窒化チタン膜中のTi元素とN元素のモル比率および結晶配向性は、図16、図17に示す制御装置600を用いて、スパッタリング時に導入するアルゴンと窒素の混合比率により調整した。尚、本明細書中における「モル比率」とは、物質量の基本単位であるモル数の比率をいう。Ti元素とN元素のモル比率は、例えば、X線光電子分光法により物質内にある固有の電子の結合エネルギー、電子のエネルギー準位と量から測定することができる。

[0030] 次に、堆積した窒化チタン膜3上に、スパッタリング法によりシリコン膜4を 20nm 堆積した。

[0031] 次に、作製したサンプルを窒素雰囲気中、 $400^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ の範囲で 2min 間のアニール処理を行った。

[0032] 次に、リソグラフィー技術とRIE (Reactive Ion Etching) 技術を用いてTiN膜4を所望の大きさに加工し、MIPS型ゲート電極を有する素子を形成した。

[0033] 堆積した窒化チタン膜の組成は、X線光電子分光 (XPS: X-ray Photoelectron Spectroscopy) 法により分析した。また、窒化チタン膜の結晶配向性はX線回折 (XRD: X-ray Diffraction) 法により分析した。また、膜密度はX線反射率 (X-Ray Reflect meter) 法により分析した。また、実効仕事関数、EOT (Equivalent Oxide Thickness、SiO₂換算膜厚のこと)、リーク電流特性などの電気特性をC-V、I-V測定により評価した。また、本発明において、「実効仕事関数」とは、一般にゲート絶縁膜とゲート電極とのCV測定によるフラットバンドより求められるものであり、ゲート電極本来の仕事関数の他に、絶縁膜中の固定電荷、界面に形成される双極子、フェルミレベルピンニング等の影響を受ける。ゲート電極を構成する材料本来の「仕事関数」(1個の電子をフェルミ準位から真空準位に取り出すのに必要なエネルギー)とは区別される。

[0034] 次に、EOT (酸化膜換算膜厚) について説明する。絶縁膜の種類によらず、絶縁膜材料がシリコン酸化膜であると仮定して、容量から逆算して得られる絶縁膜の電気的な膜厚を酸化膜換算膜厚という。即ち、絶縁膜の比誘電率を ϵ_h 、シリコン酸化膜の比誘電率を ϵ_o とし、絶縁膜の厚さを d_h としたとき、酸化膜換算膜厚 d_e は、下記式(1)で表される。

[0035]
$$d_e = d_h \times (\epsilon_o / \epsilon_h) \cdots (1)$$

上記式(1)は、絶縁膜に、シリコン酸化膜の比誘電率 ϵ_o に比べて大きな誘電率 ϵ_h をもった材料を用いた場合には、酸化膜換算膜厚 d_e は、この絶縁膜の膜厚 d_h よりも薄いシリコン酸化膜と同等になることを示している。なお、シリコン酸化膜の比誘電率 ϵ_o は3.9程度である。そのため、例えば、 $\epsilon_h = 39$ の高誘電率材料からなる膜は、その物理膜厚 d_h を15nmとしても、酸化膜換算膜厚(電気膜厚) d_e が1.5nmになり、絶縁膜

の容量値を膜厚が1.5 nmのシリコン酸化膜と同等に保ちつつ、リーク電流を著しく低減することができる。

[0036] 図3に、本発明における窒化チタン膜の膜組成（N/Ti比）（TiとNのモル比率（N/Ti））と膜密度の関係を示す。また、図中には、主なサンプルの窒化チタン形成条件（アルゴンガスおよび窒素ガスの流量条件）と熱処理を施していない状態における実効仕事関数（ eWf ）の値を表している。図に示されるように、アルゴンガス流量10 sccm（ $1.69 \times 10^{-2} \text{ Pa} \cdot \text{m}^3/\text{sec}$ ）、窒素ガス流量10 sccm（ $1.69 \times 10^{-2} \text{ Pa} \cdot \text{m}^3/\text{sec}$ ）の条件（条件A）で作製した窒化チタンの膜組成はN/Ti = 1.24、膜密度は5.06 g/ccであり、実効仕事関数は $eWf = 4.96 \text{ eV}$ と高い値を有している。また、アルゴンガス流量0 sccm（ $0 \text{ Pa} \cdot \text{m}^3/\text{sec}$ ）、窒素ガス流量50 sccm（ $8.45 \times 10^{-2} \text{ Pa} \cdot \text{m}^3/\text{sec}$ ）の条件（条件B）で作製した窒化チタンの膜組成はN/Ti = 1.23、膜密度は4.8 g/ccであり、実効仕事関数は $eWF = 4.9 \text{ eV}$ と高い値を有している。また、アルゴンガス流量13.5 sccm（ $2.28 \times 10^{-2} \text{ Pa} \cdot \text{m}^3/\text{sec}$ ）、窒素ガス流量6 sccm（ $1.01 \times 10^{-2} \text{ Pa} \cdot \text{m}^3/\text{sec}$ ）の条件（条件C）で作製した窒化チタンの膜組成はN/Ti = 1.15、膜密度は5.05 g/ccであり、実効仕事関数は $eWF = 4.6 \text{ eV}$ と上述の条件と比較して低い値を有している。このように、本発明における窒化チタン膜は、スパッタリング形成時におけるアルゴンガス流量と窒素ガス流量を調節することにより、膜組成（N/Ti比）、膜密度、仕事関数を制御できる。更に、窒化チタン膜の実効仕事関数は、膜密度ではなく膜組成（N/Ti比）に関係していることが明らかになった。従って、P型MOSFETに適した4.6 eV以上の仕事関数を得るには、N/Ti比は1.1以上が好ましく、4.8 eV以上の仕事関数を得るには、N/Ti比は1.2以上が好ましい。このように本発明における窒化チタン膜は、膜組成（N/Ti比）の増加に従い、実効仕事関数値が増加することから、上述した特許文献4に記載の窒化チタン（膜組成（N/Ti比）の増大に

に伴い、実効仕事関数が減少する）とその現象が大きく異なっている。

[0037] 図4に、条件A、条件B、条件Cで作製した窒化チタン膜のXRD回折スペクトルを比較した結果を示す。図4の横軸は、回折角度を示しており、図4の縦軸は、回折強度を示している。図中のC(111)、C(200)およびC(220)はそれぞれ窒化チタン膜の結晶面、(111)面、(200)面、(220)面を表している。図に示されるように、膜組成(N/Ti比)と実効仕事関数が高い条件Aおよび条件Bの窒化チタン膜は、膜組成(N/Ti比)と実効仕事関数が低い条件Cと比較して、(200)面の結晶配向性が高い結晶構造を有している。

[0038] 図5に、窒化チタン膜の膜組成(N/Ti比)とXRDスペクトルにおける(111)面と(200)面のピーク強度比C(200)/C(111)(結晶配向性)を比較した結果を示す。図5において、横軸は、窒化チタン膜の膜組成(N/Ti比)を示し、縦軸は、ピーク強度比を示す。図に示されるように、条件Aと条件Bの膜組成(N/Ti比)が1.2以上の窒化チタン膜のピーク強度比は1.7以上の高い値を有している。また、条件Bの窒化チタン膜のピーク強度比は1.8以上と条件Aと比較して更に高い値を有している。従って、実効仕事関数の値が4.6 eV以上の窒化チタン膜は、膜組成(N/Ti比)が1.1以上であり、結晶配向性を表すXRD回折スペクトルピーク強度比C(200)/C(111)が1.1以上であり、実効仕事関数の値が4.8 eV以上の窒化チタン膜は、膜組成(N/Ti比)が1.2以上であり、結晶配向性を表すXRD回折スペクトルピーク強度比C(200)/C(111)が1.7以上であることが示される。このように本発明における窒化チタン膜は、(200)面の結晶配向性を有する場合においても実効仕事関数値は4.9 eVと高い値を示すことから、上述した特許文献3で開示されている窒化チタン膜(実効仕事関数の値は(100)配向で4.3 eV、(111)配向で4.6 eVを有する)と異なることが示される。

[0039] 図6に、条件A、条件Bおよび条件Cで作製した窒化チタン膜を有する素

子のEOT (Equivalent Oxide Thickness、 SiO_2 換算膜厚のこと) とリーク電流 (J_g) の関係を示す。図より、条件Aおよび条件Cの窒化チタン膜を有する素子と比較して、条件Bの窒化チタン膜を有する素子は、EOTが0.2 nm増加し、かつリーク電流 (J_g) が約一桁増加する。このことは、条件Bの窒化チタン膜は、高い仕事関数を有しているものの素子特性の低下を招くことを示している。条件Bの窒化チタン膜と条件Aおよび条件Cの窒化チタン膜の相違は、膜密度が低いこと、結晶配向性の指標となるピーク強度比 $C(200)/C(111)$ が1.8以上と高いことである。ここで、条件Cと同等の実効仕事関数値およびピーク強度比 $C(200)/C(111)$ を有し、膜密度が条件Bと同等の窒化チタン膜を有する素子の電気特性を評価した結果、EOTおよびリーク電流値 (J_g) の劣化はないことを確認した。従って、条件Bの窒化チタン膜を有する素子におけるEOTとリーク電流の増加は、結晶配向性に起因していると考えられる。

[0040] 図7に、膜組成 (O/Ti比 (モル比)) と膜密度の関係を示す。ここで、作製したサンプルを大気暴露により酸化している。図より、O/Ti比は膜密度の増加に伴い低下する。窒化チタン膜の酸化は、比抵抗の増大を招き素子特性を悪化させることから、窒化チタン膜の膜密度は4.8 g/cc以上が好ましいことが示される。

[0041] 次に、本発明におけるゲート電極の形成後の熱処理工程における仕事関数の低下を抑制する窒化チタン膜について、図8の素子を例に取り説明する。図8(a)および(b)は、図1で示した素子構造と同一であり、窒化チタン膜は、それぞれ上述した条件Aおよび条件Bで作製した。また、図8(c)は、窒化チタン膜が積層型の膜構造を有している点で異なり、ゲート絶縁膜上に条件Aで膜厚2 nmの窒化チタン膜を堆積した後、同一の成膜処理室内において連続して条件Bで膜厚8 nmの窒化チタン膜を堆積した。尚、その他の条件は、図1で示した素子と同一である。

[0042] 図9は、作製した素子の実効仕事関数のアニール温度依存性を示したもの

である。図中の構造（a）、（b）、（c）はそれぞれ図8に示した素子（a）、（b）、（c）に対応している。図中のシリコンなしは、図8の素子（a）の窒化チタン上にシリコンを堆積していない素子構造を表している。図に示されるように、素子の実効仕事関数は、アニール処理を施していない状態（as-deposited）で4.9 eV以上の値を有しているが、600℃以上のアニール処理により減少する。構造（a）は、1000℃のアニール処理により実効仕事関数は4.45 eVまで低下する。一方、構造（b）、（c）は、1000℃のアニール処理により実効仕事関数は低下するが、P型MOSFETに適した値である4.6 eVを有している。窒化チタン膜上にシリコン膜を堆積していない素子の実効仕事関数は、1000℃のアニール処理を施しても4.9 eV以上の高い値を示していることから、アニール処理に伴う実効仕事関数の低下は、上述した特許文献1にも述べられているように、シリコンが窒化チタン膜中に拡散することに起因していると考えられる。従って、構造（b）および（c）を構成する窒化チタンは、アニール処理による窒化チタン膜中へのシリコンの拡散を抑制する効果を有しており、少なくともシリコンと接している領域に条件Bで堆積した窒化チタン膜が存在していればその効果を確保できることが示される。また、ここでは1000℃、2 minのアニール条件における実効仕事関数の値を示したが、MOSFETの作製工程における活性化アニール（1000℃、10 sec）の条件では、更に、実効仕事関数の変化は抑制できることを確認した。

[0043] また、構造（a）の1000℃アニール後の実効仕事関数はN型MOSFETに適した4.6 eV以下の値を有している。ここで、素子（a）の窒化チタン膜として、TiとNのモル比率が1.1以下であり、かつ結晶配向性 X_3 が1.1以下の範囲を有する窒化チタン膜を堆積し、1000℃アニール後の実効仕事関数を評価した結果、N型MOSFETに適した4.4 eVの値が得られることを確認した。

[0044] 図10に、条件Aおよび条件Bで堆積した窒化チタン膜の表面SEM像を

示す。条件Aで堆積した窒化チタン膜は、20 nm程度のグレインサイズの柱状構造を有し、表面は結晶面に起因する鋭い凹凸を有している。条件Bで堆積した窒化チタン膜は、条件Aよりも小さい20 nm以下のグレインサイズの柱状構造を有し、表面は条件Aと比較して平坦性に優れた形状を有している。窒化チタン膜の堆積条件による結晶形状や表面平坦性の違いは、図4において示された結晶配向性によるものであり、ピーク強度比 $C(200)/C(111)$ が1.8以上の窒化チタン膜は、グレインサイズが小さく、表面平坦性に優れている。また、図9において示された窒化チタン膜の相違による実効仕事関数の値の違いは、窒化チタン膜のグレインサイズや表面平坦性に関連していると考えられる。すなわち、条件Bの窒化チタン膜は、グレインサイズが小さく、かつ表面平坦性に優れているため、結晶粒界を介したシリコンの拡散を防止し、その結果、実効仕事関数の低下を抑制している。また、この効果は、シリコンと接する領域に条件Bの窒化チタン膜を有する素子(c)においても同様に発揮される。上述した特許文献2では、窒化チタン膜の平均結晶粒径が30 nm以下にすることで、しきい値電圧のバラツキを抑制できること、また、窒化チタン膜の結晶構造は、(111)配向のTiN膜を用いた方が、(111)と(110)配向が共存するTiN膜を用いた場合よりも、しきい値電圧値のばらつきが小さくなると述べられている。一方、本実施形態によれば、しきい値電圧のバラツキに寄与する実効仕事関数の低下は、窒化チタンのグレインサイズだけでなく表面平坦性に大きく影響を受け、結晶配向性を表すXRD回折スペクトルにおけるピーク強度比 $C(200)/C(111)$ が1.8以上である窒化チタンを用いることで平坦性を改善し実効仕事関数の低下を抑制できる。従って、本発明における窒化チタン膜は、特許文献2で開示されている窒化チタン膜と異なることが示される。

[0045] 図11に、1000℃アニール後のEOTとリーク電流(J_g)の関係を示す。図に示されるように、素子(a)および素子(c)のEOTおよび J_g は、ほぼ同じ特性であるのに対して、素子(b)の J_g は素子(a)およ

び素子（c）と比較して約一桁大きい。図6において示された結果と同様に、素子（b）の窒化チタン膜は、1000℃のアニール工程を経た場合においても素子の電気特性の悪化を招く。すなわち、素子（B）における窒化チタン膜は、1000℃のアニール処理による実効仕事関数の抑制できるが、素子の電気特性を悪化させるため、MIPS型ゲート電極を用いた半導体装置の窒化チタン膜としては適さない。従って、電気特性の劣化を招くことなくゲート電極の形成後の熱処理工程における実効仕事関数値の低下を抑制するためには、素子（c）に示されるように、ゲート絶縁膜上に配置されたTiとNを含有する第1金属窒化物層と第1金属窒化物層上に配置されたTiとNを含有する第2金属窒化物層の積層構造が必要であることが示された。また、本発明における第1金属窒化物層は、スパッタリング法により高い仕事関数を実現するため、膜組成（N/Ti比）および結晶配向性を最適化し、かつ第2金属窒化物層は、スパッタリング法によりシリコンの拡散による実効仕事関数の低下を抑制するため、膜組成（N/Ti比）および結晶配向性を最適化している点で、特許文献1に記載の窒化チタン膜と異なる。更に、本発明における窒化チタンの積層膜は、同一の成膜処理室内において、堆積時の基板温度を上げることなく、スパッタリングによる連続プロセスを用いて形成されている点で、特許文献1に記載の方法とは異なる。

[0046] 以上の結果より、本発明における第1金属窒化物層のTiとNのモル比率（N/Ti）は、P型MOSFETに適した実効仕事関数を実現するため、1.1以上が好ましく、1.2以上がより好ましい。更に、第1金属窒化物層の結晶配向性を表すXRDスペクトルにおけるC[200]/C[111]のピーク強度比 X_1 は、P型MOSFETに適した実効仕事関数を実現し、かつ素子の電気特性を悪化させないため、 $1.1 < X_1 < 1.8$ の範囲が好ましい。更に、膜密度は、酸化による素子特性の劣化を防止するため、 4.8 g/cc 以上が好ましく、 5.0 g/cc 以上がより好ましい。

[0047] また、本発明における第2金属窒化物層のTiとNのモル比率（N/Ti）は、ゲート電極の形成後の熱処理工程におけるシリコンの拡散による実効

仕事関数値の低下を抑制するため、 1.1 以上が好ましく、 1.2 以上がより好ましい。更に、第2金属窒化物層の結晶配向性を表すXRDスペクトルにおける $C[200]/C[111]$ のピーク強度比 X_2 は、 $1.8 \leq X_2$ の範囲が好ましい。更に、膜密度は、酸化による素子特性の劣化を防止するため、 4.8 g/cc 以上が好ましい。

[0048] また、本発明における第1金属窒化物層の膜厚と前記第2金属窒化物層の膜厚の合計は、ゲート電極のエッチング加工におけるシリコンと窒化チタンにおけるエッチングレートに起因したサイドエッチングに伴うゲート形状の変化を抑制するため、 20 nm 以下が好ましく、 10 nm 以下がより好ましい。その際、第1金属窒化物層の膜厚は、第1金属窒化物層の膜厚と第2金属窒化物層の膜厚の合計に対して、少なくとも 50% 以上の比率を有していることが好ましく、 80% の比率を有していることがより好ましい。

[0049] また、本発明における窒化チタン膜の堆積は、ゲート絶縁膜へのプラズマダメージによる素子特性の悪化を抑制し、かつ組成および結晶配向性を制御するため、図2に示されるような、ターゲットが基板に対して斜め上方のオフセット位置に設置された成膜処理室内において、窒素からなる反応性ガスと不活性ガスの混合雰囲気下においてTiターゲットをマグネトロンスパッタする工程であり、第1金属窒化物層のTiとNのモル比率が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲を満たすように反応性ガスと不活性ガスの混合比率を設定し、第2金属窒化物層のTiとNのモル比率が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ を満たすように反応性ガスと不活性ガスの混合比率を設定することが好ましい。

[0050] また、スループットの向上とおよび大気暴露に伴う窒化チタン膜の酸化を抑制するため、第1金属窒化物層を形成する工程と第2金属窒化物層を形成する工程を同一の成膜処理室内で実施することが、製造方法の簡略化を実現することができ、好ましい。

[0051] また、上記説明では、シリコン酸化膜と高誘電率膜として HfSiO 膜を用いたゲート絶縁膜を有する素子について述べたが、これに限定されるもの

ではなく、ゲート絶縁膜に用いられる高誘電率材料は、 SiO_2 の比誘電率（3.9）より大きな比誘電率をもつ材料であり、金属酸化物、金属シリケート、窒素が導入された金属酸化物、窒素が導入された金属シリケートが挙げられる。結晶化が抑えられ、素子の信頼性が向上する点から、窒素が導入された高誘電率膜が好ましい。高誘電率材料中の金属としては、膜の耐熱性および膜中の固定電荷抑制の観点から、 Hf もしくは Zr が好ましい。また、高誘電率材料としては、 Hf 又は Zr と Si とを含む金属酸化物、この金属酸化物にさらに窒素を含む金属酸窒化物が好ましく、 HfSiO 、 HfSiON がより好ましい。また、ここではゲート絶縁膜としてシリコン酸化膜とその上に積層された高誘電率膜を用いているが、これに限定されるものではなく、高誘電率絶縁膜単独あるいはシリコン酸窒化膜とその上に積層された高誘電率膜を用いることができる。

[0052] また、上記の説明では、表面にシリコン酸化膜と高誘電率膜として HfSiO 膜を用いたゲート絶縁膜を有するp型シリコン基板上に、窒化チタン膜およびシリコン膜が形成されたMIPS型ゲート電極を有する素子について述べたが、これに限定されるものではなく、図12に示されるMIPS構造からなるゲート電極を有するMOSFET素子においても、本発明の条件を満たす窒化チタン膜が含まれていれば、十分にその効果を得ることができる。

[0053] また、図15に示す様に、シリコン基板上に、更にN型MOSFETを備える場合には、N型MOSFETは、ゲート絶縁膜とゲート絶縁膜上に設けられたゲート電極を有し、ゲート絶縁膜が、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有し、ゲート電極が、ゲート絶縁膜上に設けられた Ti と N を含有する第3金属窒化物層と第3金属窒化物層上に配置された多結晶シリコン層を有し、第3金属窒化物層の Ti と N のモル比率（ N/Ti ）が1.1以下であり、かつ結晶配向性 X_3 が1.1以下であることが好ましい。

[0054] 次に、本実施形態の窒化チタン膜の形成工程に用いられる図2の処理装置

の制御装置について説明する。図16は、図2の処理装置を制御する制御装置の模式図である。バルブ202、204、206、208はそれぞれ制御用入出力ポート500、501、502、503を介して制御装置600によって開閉制御ができる。また、マスフローコントローラ203、207はそれぞれ制御用入出力ポート504、505を介して制御装置600によって流量の調節ができる。また、コンダクタンスバルブ117は、制御用入出力ポート506を介して制御装置600によって開度の調節ができる。また、ヒータ105は、入出力ポート507を介して制御装置600によって温度の調節ができる。また、基板支持台103の回転状態は、入出力ポート508を介して制御装置600によって回転数の調節ができる。また、直流電源110は、入出力ポート509を介して制御装置600によって周波数ならびに供給電力が調節できる。

[0055] 本発明においては、制御装置600により、第1金属窒化物層のTiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ になるように、また、第2金属窒化物層のTiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ になるように、スパッタリング成膜時に導入するアルゴンガス等の不活性ガスと窒素ガスからなる反応性ガスの混合比率を制御している。

[0056] 図17は、図16の制御装置600の内部構成を示した図である。制御装置600は、入力部601、プログラム及びデータを有する記憶部602、プロセッサ603及び出力部604からなり、基本的にはコンピューター構成であり、図2の処理装置605を制御している。

[0057] 本発明の製造プログラムは、コンピューター(PC)により読み取り可能な記録媒体に記録されて、制御装置600の記憶部602にインストールされる。記録媒体としては、フロッピー(登録商標)ディスク、ZIP(登録商標)等の磁気記録媒体、MO等の光磁気記録媒体、CD-R、DVD-R、DVD+R、DVD-RAM、DVD+RW(登録商標)、PD等の光ディスク等が挙げられる。また、コンパクトフラッシュ(登録商標)、スマー

トメディア（登録商標）、メモリースティック（登録商標）、SDカード等のフラッシュメモリ系、マイクロドライブ（登録商標）、J a z（登録商標）等のリムーバブルディスクが挙げられる。

[0058] 記憶部602内にインストールされる本発明の製造プログラムは、シリコン基板上に、ゲート絶縁膜と、該ゲート絶縁膜上に設けられたTiとNを含有する第1金属窒化物層、該第1金属窒化物層上に配置されたTiとNを含有する第2金属窒化物層及び該第2金属窒化物層上に配置された多結晶シリコン層を有するゲート電極とを有する電界効果トランジスタを備えた半導体装置の製造プログラムである。

[0059] そして、本発明の製造プログラムは、TiとNのモル比率（ N/Ti ）が1.1以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲である第1金属窒化物層を形成する手順と、TiとNのモル比率（ N/Ti ）が1.1以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ である第2金属窒化物層を形成する手順と、をコンピューターに実行させる。

[0060] より具体的には、前記第1金属窒化物層を形成する手順では、窒素からなる反応性ガスと不活性ガスの混合雰囲気下においてTiターゲットをマグネトロンスパッタする際に、金属窒化物層のTiとNのモル比率（ N/Ti ）が1.1以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲を満たすように反応性ガスと不活性ガスの混合比率を制御し、前記第2金属窒化物層を形成する手順では、窒素からなる反応性ガスと不活性ガスの混合雰囲気下においてTiターゲットをマグネトロンスパッタする際に、金属窒化物層のTiとNのモル比率（ N/Ti ）が1.1以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ を満たすように反応性ガスと不活性ガスの混合比率を制御する。

[0061] また、本発明の製造プログラムは、更に、ゲート絶縁膜を形成する手順として、シリコン基板を加熱し、ターゲットを用いた物理蒸着により被処理基板に金属膜を堆積する手順と、該金属膜を酸化する元素を含有するガスを供給し、熱酸化反応によって前記金属膜を酸化して高誘電率絶縁膜を形成する

手順を有していてもよい。

実施例

[0062] <実施例 1>

本発明の第 1 の実施例を、図面を参照しながら詳細に説明する。

[0063] 図 1 3 は、実施例 1 に関わる M I P S 型ゲート電極を有する素子構造の断面の概略である。表面に膜厚 1. 8 nm のシリコン酸化膜を有するシリコン基板 5 に、スパッタリング法により膜厚 0. 5 ~ 0. 7 nm の H f を堆積した。その後、酸素分圧 0. 1 Pa の雰囲気中で、9 0 0 °C、1 m i n のアニール処理を施し、シリコン酸化膜中に H f を拡散させることで、シリコン酸化膜と H f S i O 膜の積層構造からなるゲート絶縁膜 6 を形成した。その後、ゲート絶縁膜上に図 2 に示す処理装置において、T i 金属ターゲットを用いてアルゴンガス流量と窒素ガス流量の混合比を調節することにより T i と N のモル比率が 1. 1 以上であり、かつ結晶配向性 X_1 が $1. 1 < X_1 < 1. 8$ の範囲を有する窒化チタン膜 7 を 2 nm ~ 5 nm 堆積した。次に、同一の成膜処理室内において、アルゴンガス流量と窒素ガス流量の混合比を調節することにより、T i と N のモル比率が 1. 1 以上であり、かつ結晶配向性 X_2 が $1. 8 \leq X_2$ となるように窒化チタン膜 8 を 5 nm ~ 8 nm 堆積した。スパッタパワーは、7 5 0 W、基板温度は、3 0 °C と同一である。次に、C V D 法により多結晶シリコン 9 を 2 0 nm 堆積した。次に、窒素雰囲気中で 1 0 0 0 °C、2 m i n のアニール処理を行った。

[0064] 次に、リソグラフィー技術と R I E (R e a c t i v e I o n E t c h i n g) 技術を用いて T i N 膜を所望の大きさに加工し、M I P S 型ゲート電極を有する素子を形成した。

[0065] 堆積した窒化チタン膜の組成は、X 線光電子分光 (X P S : X - r a y P h o t o e l e c t r o n S p e c t r o s c o p y) 法により分析した。また、窒化チタン膜の結晶配向性は X 線回折 (X R D : X - r a y D i f f r a c t i o n) 法により分析した。また、膜密度は X 線反射率 (X - R a y R e f l e c t m e t e r) 法により分析した。また、実効仕

事関数、 EOT 、リーク電流特性などの電気特性を $C-V$ 、 $I-V$ 測定により評価した。

[0066] その結果、本実施例におけるゲート絶縁膜上に配置された第1金属窒化物層として Ti と N のモル比率が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲を有する窒化チタン膜と、第2金属窒化物層として Ti と N のモル比率が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ となるように窒化チタン膜からなる $MIPS$ 型ゲート電極を有する素子において、 EOT やリーク電流の悪化を伴うことなく、 P 型 $MOSFET$ に適した実効仕事関数（ 4.6 eV 以上）が得られることを確認した。また、第1金属窒化物層および第2金属窒化物層の膜密度は 4.8 g/cc 以上であり、酸化による比抵抗の増大に伴う、電気特性の低下はみられなかった。

[0067] また、ゲート絶縁膜として CVD 法により堆積した $HfSiO$ 膜においても同様の効果を得ることを確認した。

[0068] また、 $HfSiO$ を堆積した後、ラジカル N 化処理により形成した $HfSiON$ 膜をゲート絶縁膜として用いた場合においても同様の効果を得ることを確認した。

[0069] また、ゲート絶縁膜として Zr を含む、 $ZrSiO$ 、 $ZrSiON$ 、 $HfZrSiO$ 、 $HfZrSiON$ からなる群から選択される一つの材料を用いても、同様の効果が得られることを確認した。

[0070] <実施例2>

本発明の第2の実施例を、図面を参照しながら詳細に説明する。

[0071] 図14(a)～(c)は、本発明の第2の実施例である図12に示す半導体装置の製造方法の工程を示した図である。まず図14(a)に示すようにシリコン基板301の表面に、 STI ($Shallow\ Trench\ Isolation$) 技術により形成された素子分離領域302が設けられている。続いて、素子分離されたシリコン基板表面に熱酸化法により膜厚 1.0 nm のシリコン熱酸化膜を形成する。その後、実施例1と同じ方法により $HfSiON$ 膜を堆積しゲート絶縁膜303を形成する。

- [0072] 次に、ゲート絶縁膜 303 上に実施例 1 と同じ方法により、Ti 金属ターゲットを用いてアルゴンガス流量と窒素ガス流量の混合比を調節することにより Ti と N のモル比率が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲を有する窒化チタン膜（第 1 金属窒化物層）304 を $2\text{ nm} \sim 5\text{ nm}$ 堆積した。次に、同一の成膜処理室内において、アルゴンガス流量と窒素ガス流量の混合比を調節することにより、Ti と N のモル比率が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ となるように窒化チタン膜（第 2 金属窒化物層）305 を $5\text{ nm} \sim 8\text{ nm}$ 堆積した。
- [0073] 次に、膜厚 20 nm のシリコン層 306 を形成した後、図 14（b）に示すようにリソグラフィー技術および RIE 技術を用いてゲート電極に加工し、引き続いてイオン注入を行い、エクステンション拡散領域 307 をゲート電極をマスクとして自己整合的に形成した。
- [0074] さらに、図 14（c）に示すように、シリコン窒化膜とシリコン酸化膜を順次堆積し、その後、エッチバックすることによってゲート側壁 308 を形成した。この状態で再度イオン注入を行い、活性化アニールを経てソース・ドレイン拡散層 309 を形成した。
- [0075] 作製した素子の電気特性を評価した結果、EOT やリーク電流の悪化を伴うことなく、P 型 MOSFET に適した実効仕事関数（ 4.6 eV 以上）が得られることを確認した。
- [0076] また、ゲート絶縁膜として CVD 法により堆積した HfSiO 膜においても同様の効果を得ることを確認した。
- [0077] また、HfSiO を堆積した後、ラジカル N 化処理により形成した HfSiON 膜をゲート絶縁膜として用いた場合においても同様の効果を得ることを確認した。
- [0078] また、ゲート絶縁膜として Zr を含む、ZrSiO、ZrSiON、HfZrSiO、HfZrSiON からなる群から選択される一つの材料を用いても、同様の効果が得られることを確認した。
- [0079] このように、本実施の形態における MIPs 型ゲート電極からなる MOS

F E T素子においても本発明の効果を得られることを確認した。

[0080] <実施例 3>

図 1 5 (a) ~ (c) は、本発明の第 3 の実施例である半導体装置の製造方法の工程を示した図である。まず図 1 5 (a) に示すようにシリコン基板 4 0 1 の表面に、S T I (S h a l l o w T r e n c h I s o l a t i o n) 技術により形成された素子分離領域 4 0 2 が設けられ、N 型 M O S F E T 領域と P 型 M O S F E T 領域が分離される。続いて、素子分離されたシリコン基板表面に熱酸化法により膜厚 1 . 0 n m のシリコン熱酸化膜を形成する。その後、実施例 1 と同じ方法により H f S i O N 膜を堆積しゲート絶縁膜 4 0 3 を形成する。

[0081] 次に、P 型 M O S F E T 領域のゲート絶縁膜上に図 2 に示す処理装置を用いて、アルゴンガス流量と窒素ガス流量の混合比を調節することにより T i と N のモル比率が 1 . 1 以上であり、かつ結晶配向性 X_1 が $1 . 1 < X_1 < 1 . 8$ の範囲を有する窒化チタン膜（第 1 金属窒化物層）4 0 4 を 2 n m 堆積した。次に、同一の成膜処理室内において、アルゴンガス流量と窒素ガス流量の混合比を調節することにより、T i と N のモル比率が 1 . 1 以上であり、かつ結晶配向性 X_2 が $1 . 8 \leq X_2$ となるように窒化チタン膜（第 2 金属窒化物層）4 0 5 を 8 n m 堆積した。スパッタパワーは、7 5 0 W、基板温度は、3 0 °C と同一である。

[0082] 次に、N 型 M O S F E T 領域のゲート絶縁膜上に図 2 に示す処理装置を用いて、アルゴンガス流量と窒素ガス流量の混合比を調節することにより T i と N のモル比率が 1 . 1 以下であり、かつ結晶配向性 X_3 が 1 . 1 以下の範囲を有する窒化チタン膜（第 3 金属窒化物層）4 0 6 を 1 0 n m 堆積した。

[0083] 次に、図 1 5 (b) に示すように膜厚 2 0 n m のシリコン層 4 0 7 を形成した。

[0084] 次に、リソグラフィー技術および R I E 技術を用いて P 型 M O S F E T 領域のゲート電極に加工し、引き続いてイオン注入を行い、エクステンション拡散領域 4 0 9 をゲート電極をマスクとして自己整合的に形成した。さらに

、シリコン窒化膜とシリコン酸化膜を順次堆積し、その後、エッチバックすることによってゲート側壁408を形成した。この状態で再度イオン注入を行い、活性化アニールを経てソース・ドレイン拡散層410を形成した。

[0085] 次に、リソグラフィー技術とRIE技術を用いてN型MOSFET領域のゲート電極を加工し、引き続きイオン注入を行い、エクステンション拡散領域411をゲート電極をマスクとして自己整合的に形成した。さらに、シリコン窒化膜とシリコン酸化膜を順次堆積し、その後、エッチバックすることによってゲート側壁413を形成した。この状態で再度イオン注入を行い、活性化アニールを経てソース・ドレイン拡散層412を形成し、図15(c)に示される半導体装置を作製した。

[0086] 作製した素子の電気特性を評価した結果、P型MOSFETではEOTやリーク電流の悪化を伴うことなく、P型MOSFETに適した実効仕事関数(4.6 eV以上)が得られることを確認した。また、N型MOSFETではEOTやリーク電流の悪化を伴うことなく、N型MOSFETに適した実効仕事関数(4.4 eV以下)が得られることを確認した。

[0087] また、ゲート絶縁膜としてCVD法により堆積したHfSiO膜においても同様の効果を得ることを確認した。

[0088] また、HfSiOを堆積した後、ラジカルN化処理により形成したHfSiON膜をゲート絶縁膜として用いた場合においても同様の効果を得ることを確認した。

[0089] また、ゲート絶縁膜としてZrを含む、ZrSiO、ZrSiON、HfZrSiO、HfZrSiONからなる群から選択される一つの材料を用いても、同様の効果が得られることを確認した。

[0090] このように、本実施の形態におけるMIPS型ゲート電極からなるCMOSFET素子においても本発明の効果を得られることを確認した。

符号の説明

- [0091] 1 シリコン基板
2 ゲート絶縁膜

- 3 窒化チタン膜
- 4 シリコン膜
- 5 シリコン基板
- 6 ゲート絶縁膜
- 7 第1金属窒化物層
- 8 第2金属窒化物層
- 9 シリコン膜
- 100 成膜処理室
- 101 ヒータ
- 102 被処理基板
- 103 基板支持台
- 104 サセプタ
- 105 ヒータ
- 106 金属ターゲット
- 107 バックプレート
- 108 ターゲットホルダー
- 109 絶縁体
- 110 直流電源
- 111 マグネット
- 112 マグネットホルダー
- 116 遮蔽板
- 117 コンダクタンスバルブ
- 118 排気ポンプ
- 201 不活性ガス源
- 202 バルブ
- 203 マスフローコントローラ
- 204 バルブ
- 205 反応性ガス源

- 206 バルブ
- 207 マスフルーコントローラ
- 208 バルブ
- 301 シリコン基板
- 302 素子分離領域
- 303 ゲート絶縁膜
- 304 第1金属窒化物層
- 305 第2金属窒化物層
- 306 シリコン層
- 307 エクステンション領域
- 308 ゲート側壁
- 309 ソース・ドレイン領域
- 401 シリコン基板
- 402 素子分離領域
- 403 ゲート絶縁膜
- 404 第1金属窒化物層
- 405 第2金属窒化物層
- 406 第3金属窒化物層
- 407 シリコン層
- 408 ゲート側壁
- 409 エクステンション領域
- 410 ソース・ドレイン領域
- 411 エクステンション領域
- 412 ソース・ドレイン領域
- 413 層間絶縁膜

請求の範囲

[請求項1] シリコン基板上に、ゲート絶縁膜と該ゲート絶縁膜上に設けられたゲート電極とを有する電界効果トランジスタを備えた半導体装置において、

前記ゲート絶縁膜が、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有し、

前記ゲート電極が、前記ゲート絶縁膜上に配置されたTiとNを含有する第1金属窒化物層、該第1金属窒化物層上に配置されたTiとNを含有する第2金属窒化物層および該第2金属窒化物層上に配置された多結晶シリコン層を有し、

前記第1金属窒化物層のTiとNのモル比率(N/Ti)が1.1以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ であり、

前記第2金属窒化物層のTiとNのモル比率(N/Ti)が1.1以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ であることを特徴とする半導体装置。

[請求項2] 前記電界効果トランジスタがP型MOSFETであることを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記シリコン基板上に、更にN型MOSFETを備え、
該N型MOSFETは、ゲート絶縁膜と該ゲート絶縁膜上に設けられたゲート電極を有し、

前記ゲート絶縁膜が、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有し、

前記ゲート電極が、前記ゲート絶縁膜上に設けられたTiとNを含有する第3金属窒化物層と該第3金属窒化物層上に配置された多結晶シリコン層を有し、

前記第3金属窒化物層のTiとNのモル比率(N/Ti)が1.1

以下であり、かつ結晶配向性 X_3 が 1.1 以下であることを特徴とする請求項2に記載の半導体装置。

[請求項4] 前記第1金属窒化物層と前記第2金属窒化物層の Ti と N のモル比率が 1.2 以上であることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

[請求項5] 前記第1金属窒化物層と前記第2金属窒化物層の膜密度が 4.8 g/cc 以上であることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

[請求項6] 前記第1金属窒化物層の膜厚と前記第2金属窒化物層の膜厚の合計が 20 nm 以下でありことを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

[請求項7] 前記高誘電率絶縁膜として、 Hf もしくは Zr を含む絶縁膜を有することを特徴とする請求項1～6のいずれか1項に記載の半導体装置。

[請求項8] 前記ゲート絶縁膜が、シリコン酸化膜もしくはシリコン酸窒化膜と、 Hf もしくは Zr を含む層の積層構造であることを特徴とする請求項1～7のいずれか1項に記載の半導体装置。

[請求項9] シリコン基板上に、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有するゲート絶縁膜と、該ゲート絶縁膜上に設けられた Ti と N を含有する第1金属窒化物層、該第1金属窒化物層上に配置された Ti と N を含有する第2金属窒化物層及び該第2金属窒化物層上に配置された多結晶シリコン層を有するゲート電極とを有する電界効果トランジスタを備えた半導体装置の製造方法であって、

Ti と N のモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲である第1金属窒化物層を形成する工程と、

Ti と N のモル比率(N/Ti)が 1.1 以上であり、かつ結晶配

向性 X_2 が $1.8 \leq X_2$ である第2金属窒化物層を形成する工程と、
を備えたことを特徴とする半導体装置の製造方法。

[請求項10] 前記第1金属窒化物層を形成する工程と前記第2金属窒化物層を形成する工程が、

窒素からなる反応性ガスと不活性ガスの混合雰囲気下においてTiターゲットをマグネトロンスパッタする工程であり、

前記第1金属窒化物層を形成する工程では、金属窒化物層のTiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲を満たすように反応性ガスと不活性ガスの混合比率を設定し、

前記第2金属窒化物層を形成する工程では、金属窒化物層のTiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ を満たすように反応性ガスと不活性ガスの混合比率を設定することを特徴とする請求項9に記載の半導体装置の製造方法。

[請求項11] 前記第1金属窒化物層を形成する工程と前記第2金属窒化物層を形成する工程を同一の成膜処理室内で実施することを特徴とする請求項10または11に記載の半導体装置の製造方法。

[請求項12] シリコン基板上に、金属酸化物、金属シリケート、又は窒素が導入された金属酸化物もしくは金属シリケートからなる高誘電率絶縁膜を有するゲート絶縁膜と、該ゲート絶縁膜上に設けられたTiとNを含有する第1金属窒化物層、該第1金属窒化物層上に配置されたTiとNを含有する第2金属窒化物層及び該第2金属窒化物層上に配置された多結晶シリコン層を有するゲート電極とを有する電界効果トランジスタを備えた半導体装置の製造プログラムであって、

TiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲である第1金属窒化物層を形成する手順と、

TiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配

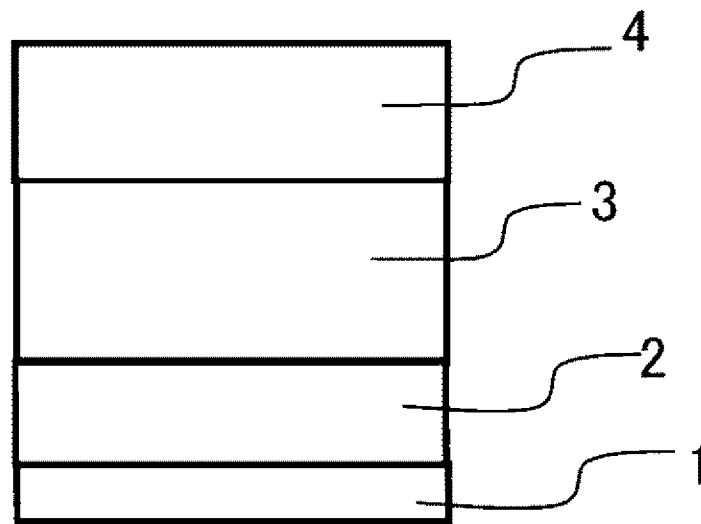
向性 X_2 が $1.8 \leq X_2$ である第2金属窒化物層を形成する手順と、
をコンピューターに実行させることを特徴とする半導体装置の製造プログラム。

[請求項13] 前記第1金属窒化物層を形成する手順では、窒素からなる反応性ガスと不活性ガスの混合雰囲気下においてTiターゲットをマグネトロンスパッタする際に、金属窒化物層のTiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_1 が $1.1 < X_1 < 1.8$ の範囲を満たすように反応性ガスと不活性ガスの混合比率を制御し、

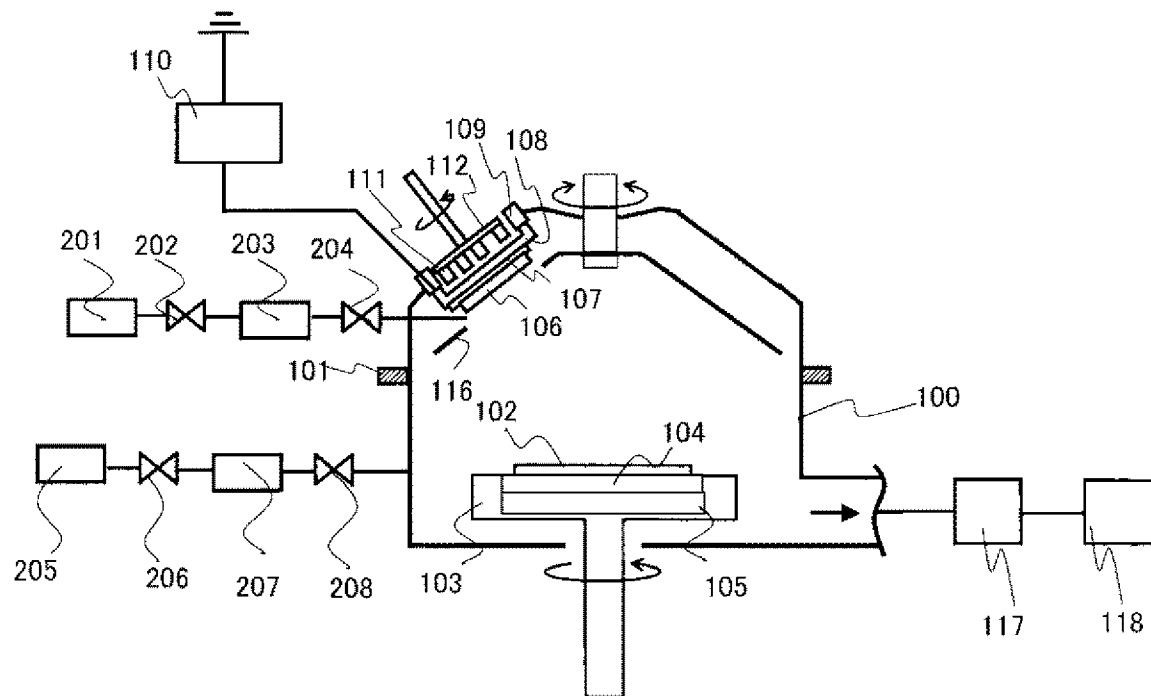
前記第2金属窒化物層を形成する手順では、窒素からなる反応性ガスと不活性ガスの混合雰囲気下においてTiターゲットをマグネトロンスパッタする際に、金属窒化物層のTiとNのモル比率(N/Ti)が 1.1 以上であり、かつ結晶配向性 X_2 が $1.8 \leq X_2$ を満たすように反応性ガスと不活性ガスの混合比率を制御することを特徴とする請求項12に記載の半導体装置の製造プログラム。

[請求項14] 請求項12または13に記載の製造プログラムを記録したことを特徴とするコンピューター読み取り可能な記録媒体。

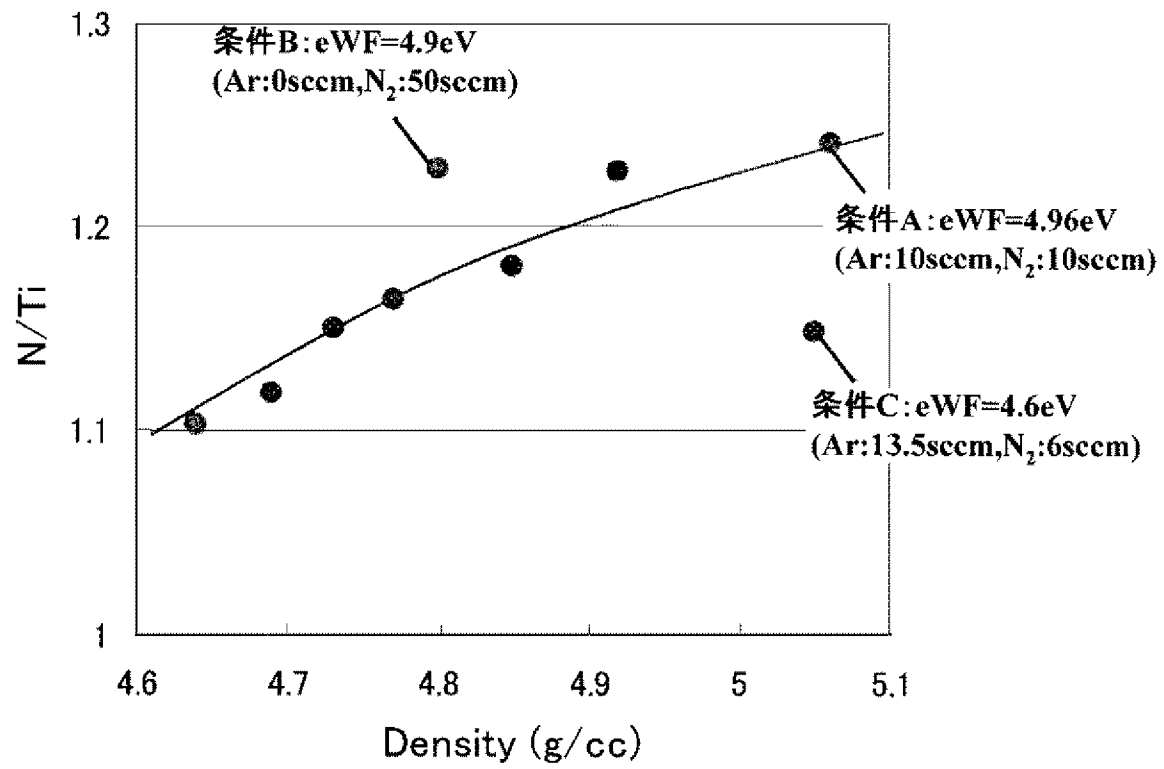
[図1]



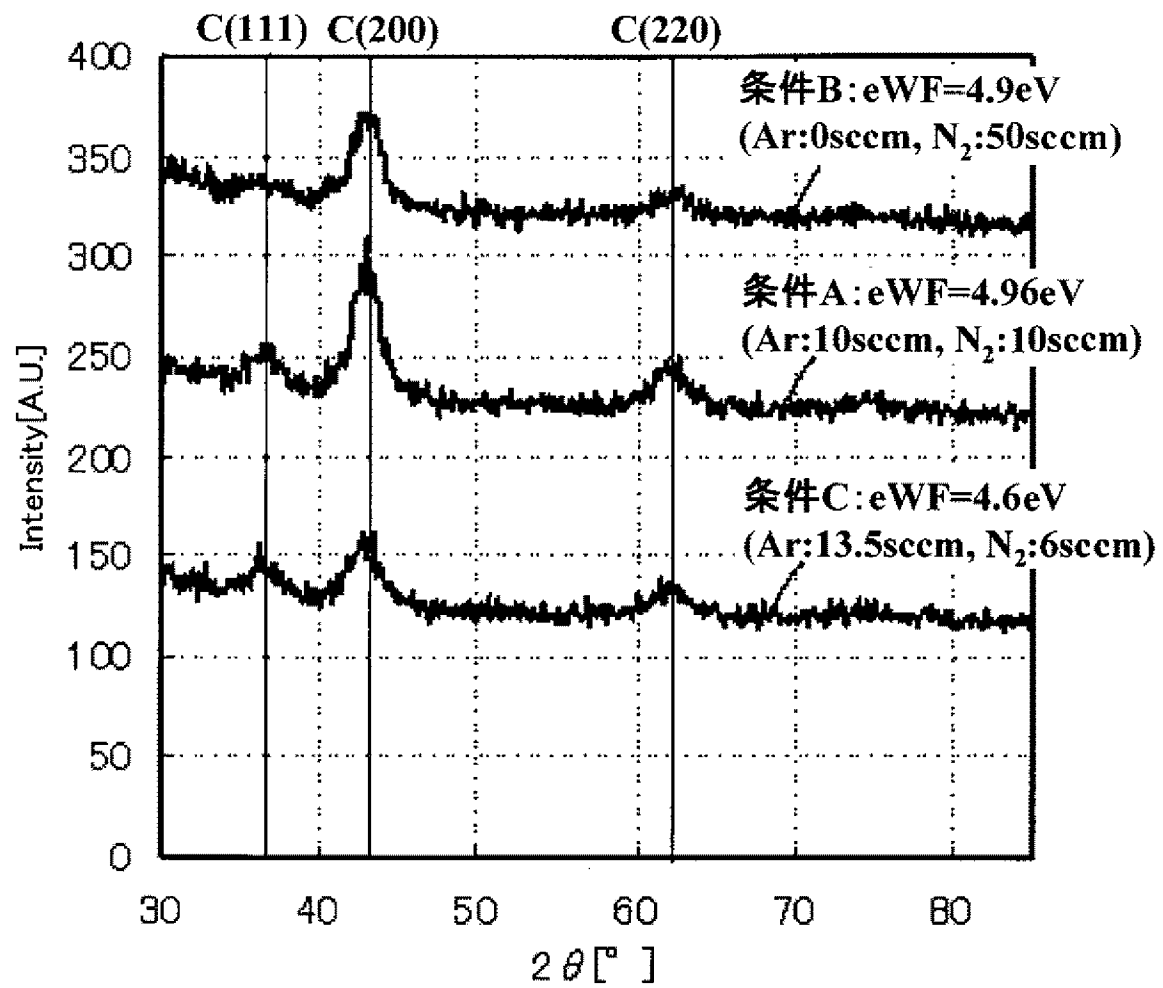
[図2]



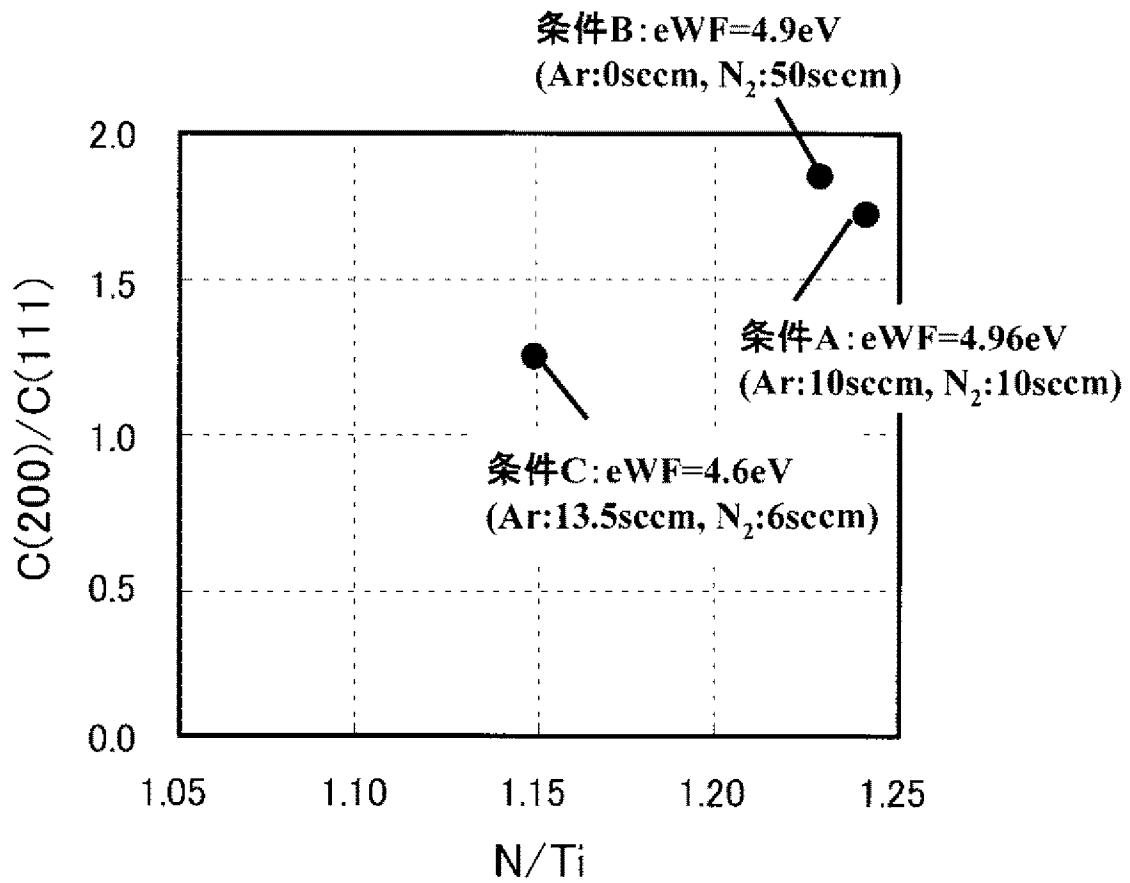
[図3]



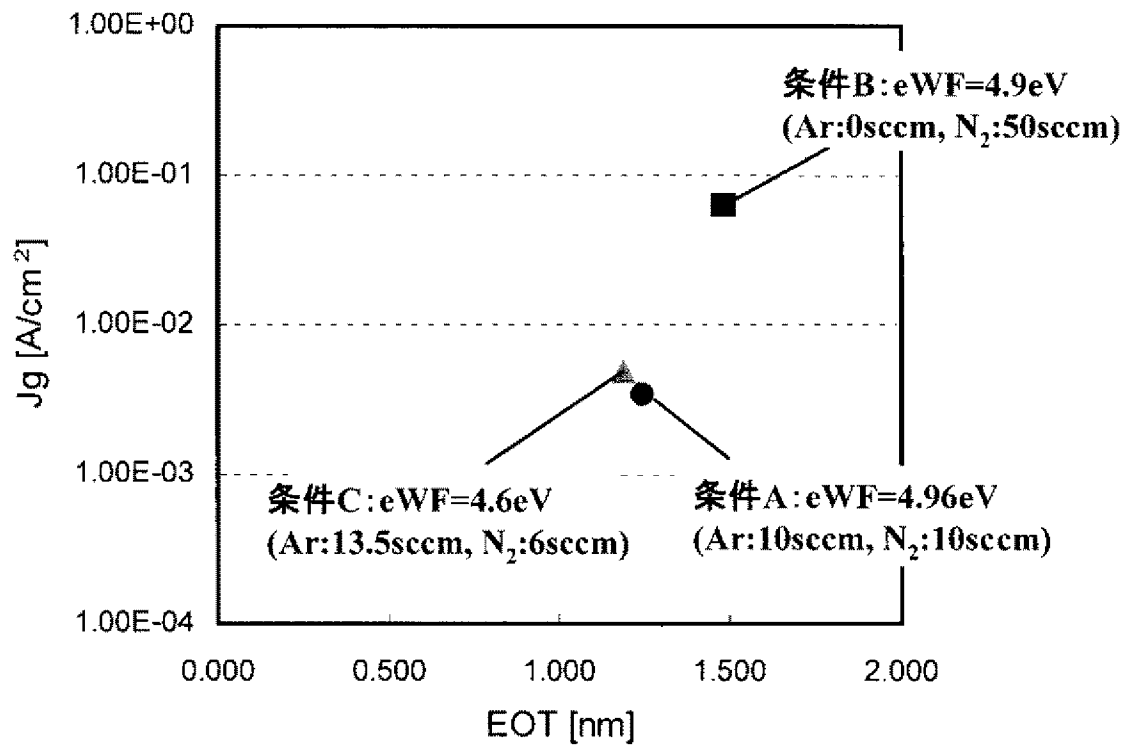
[図4]



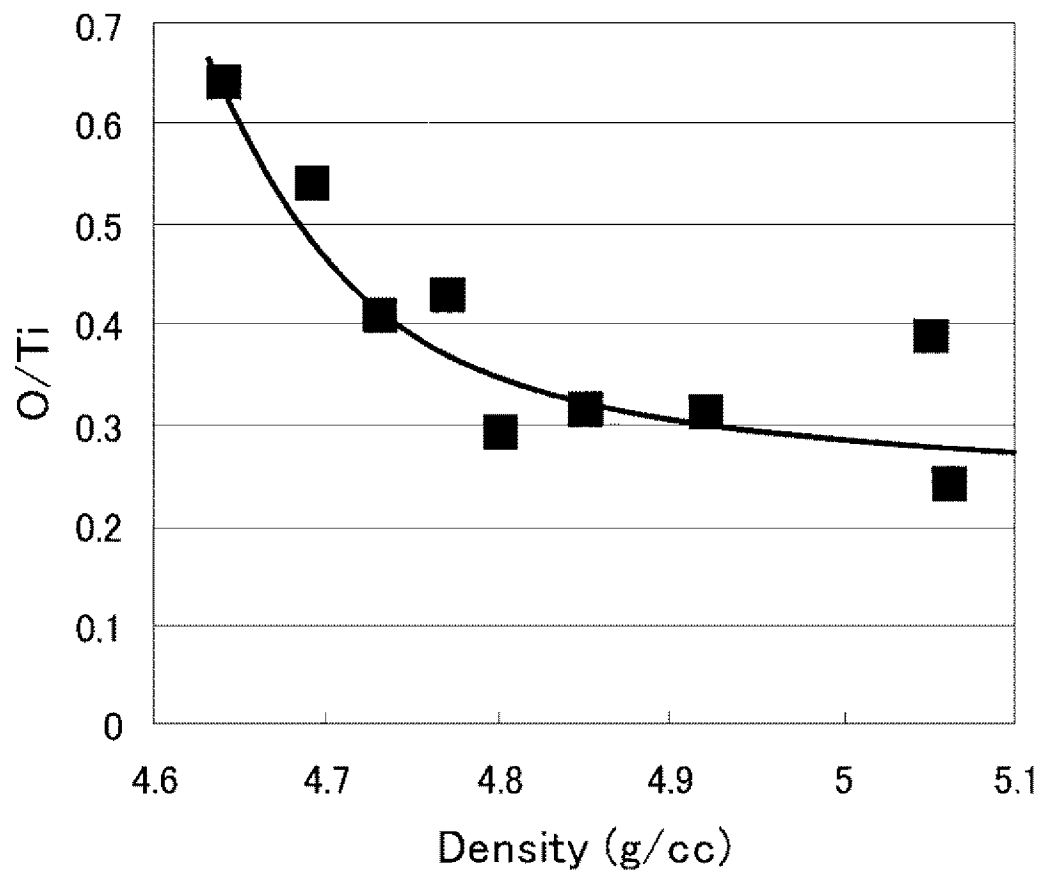
[図5]



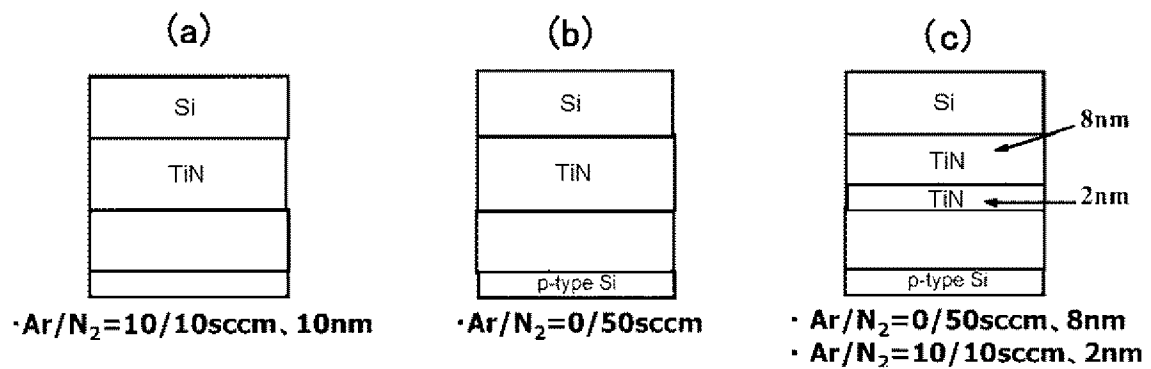
[図6]



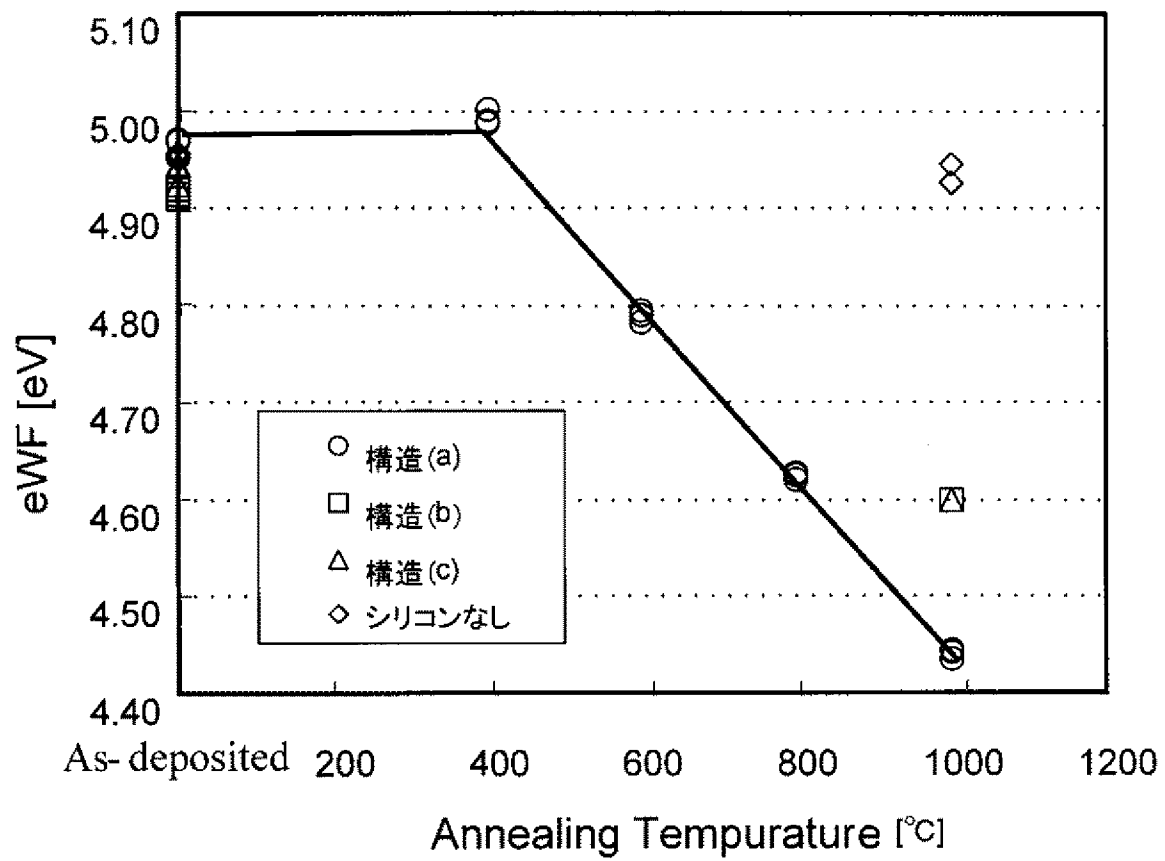
[図7]



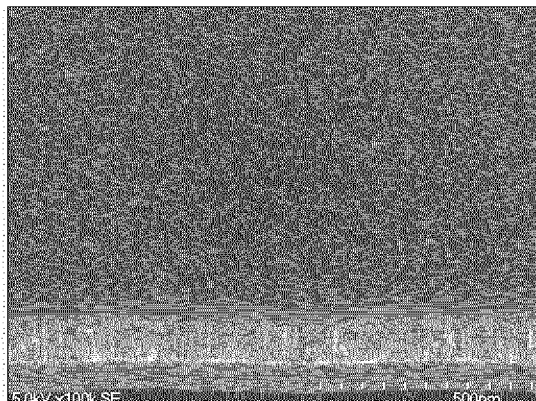
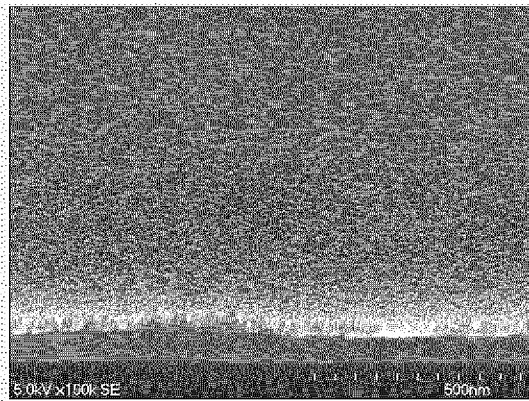
[図8]



[図9]

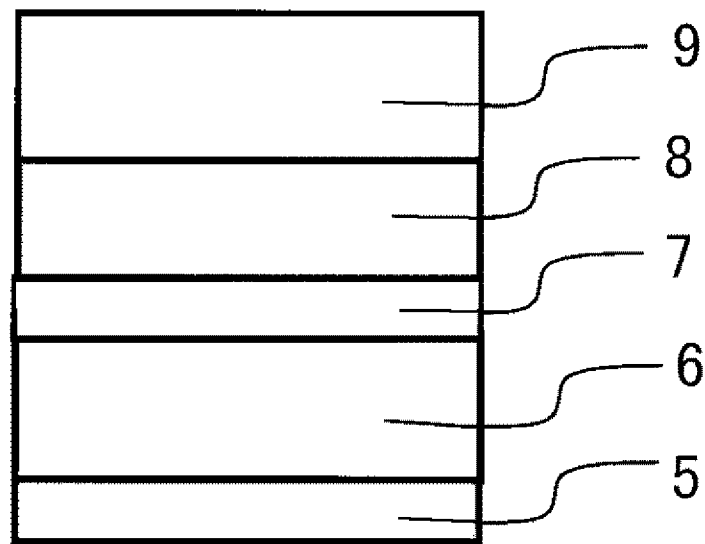


[図10]

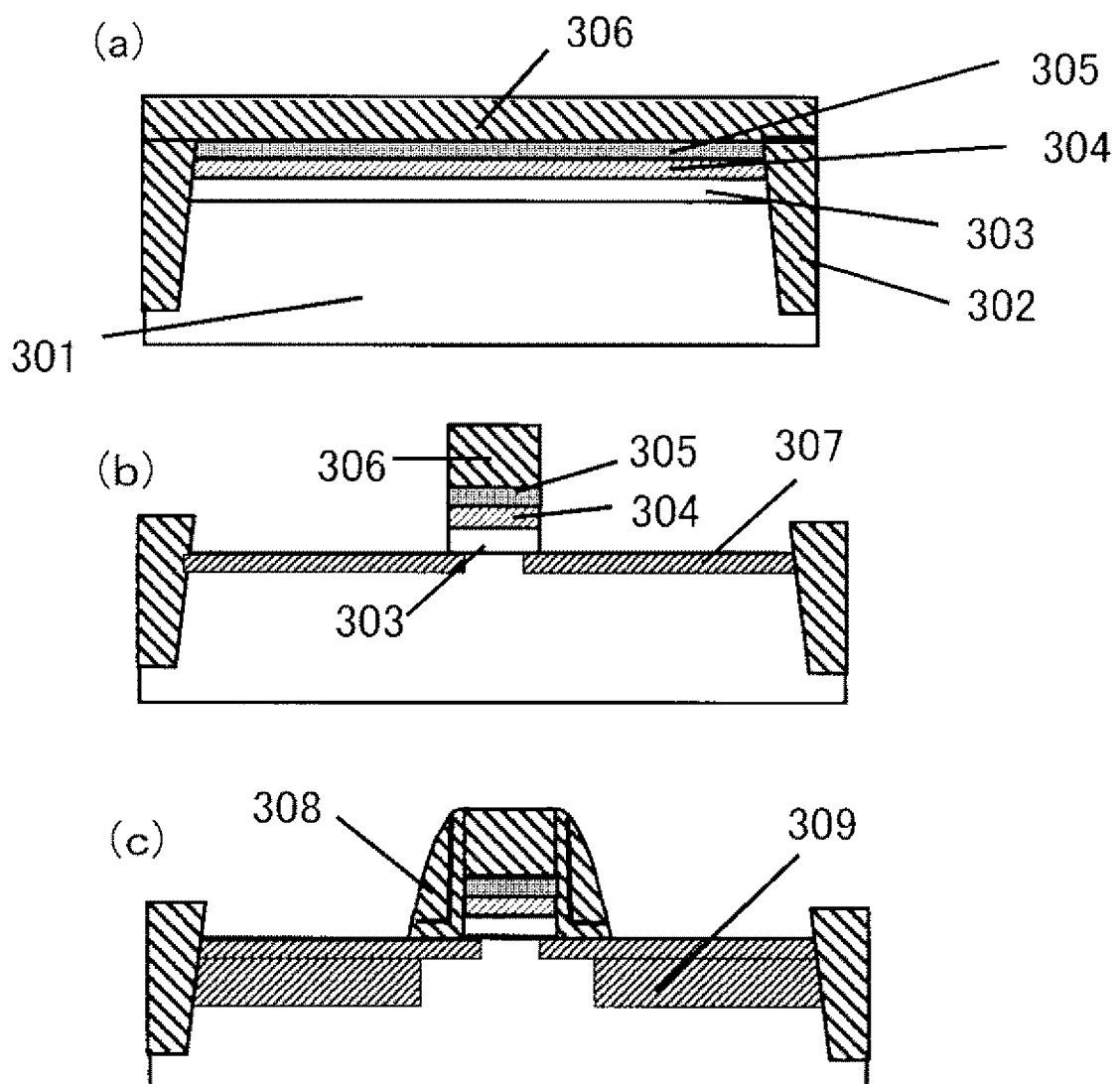
条件A:Ar/N₂=10/10sccm条件B:Ar/N₂=0/50sccm

EOT [nm]	Jg [A/cm²] (構造(a))	Jg [A/cm²] (構造(b))	Jg [A/cm²] (構造(c))
1.25	~4.0E-03	~1.5E-02	-
1.35	~4.5E-03	~1.5E-02	-
1.40	~5.0E-03	-	~6.0E-03
1.45	-	~1.5E-02	~6.0E-03

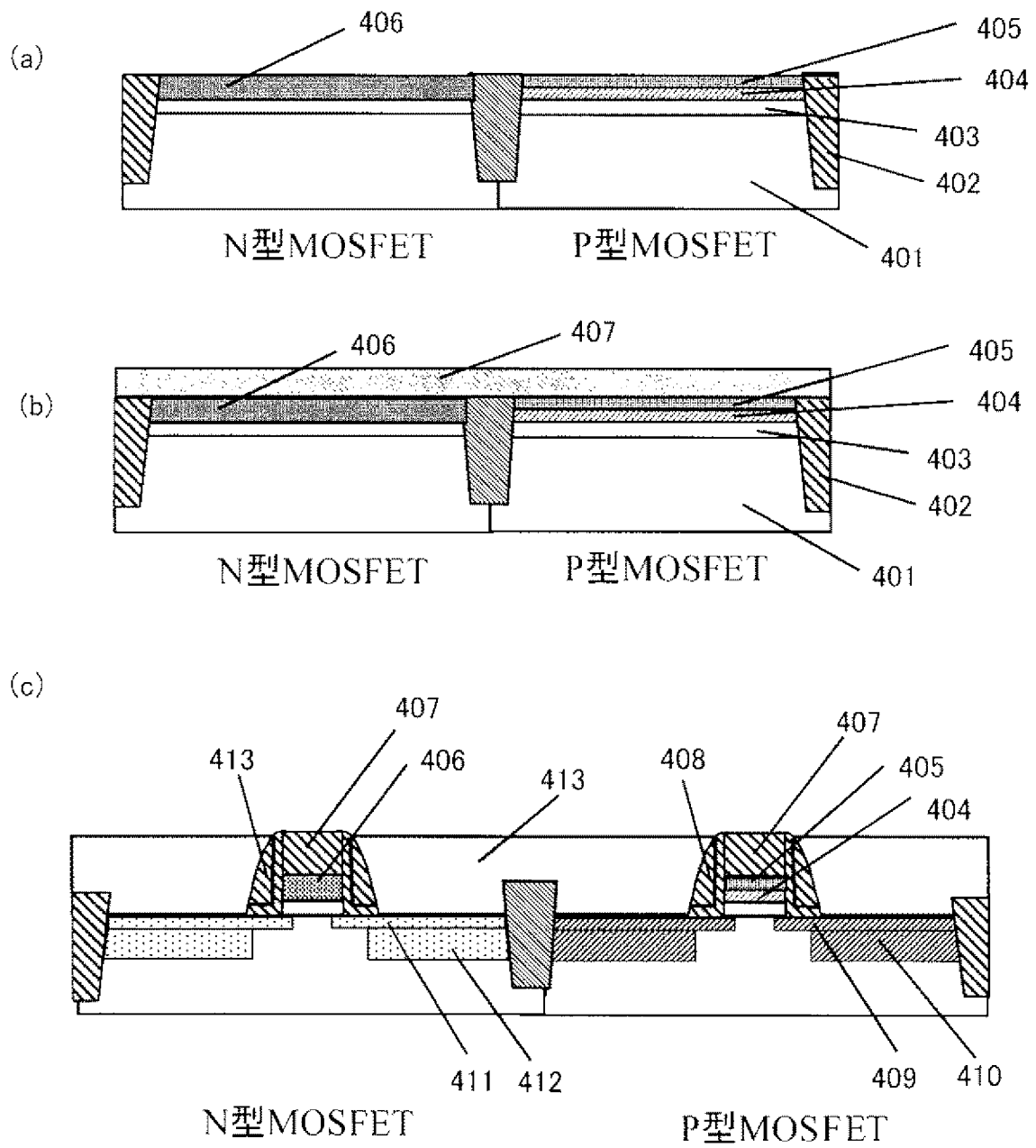
[図13]



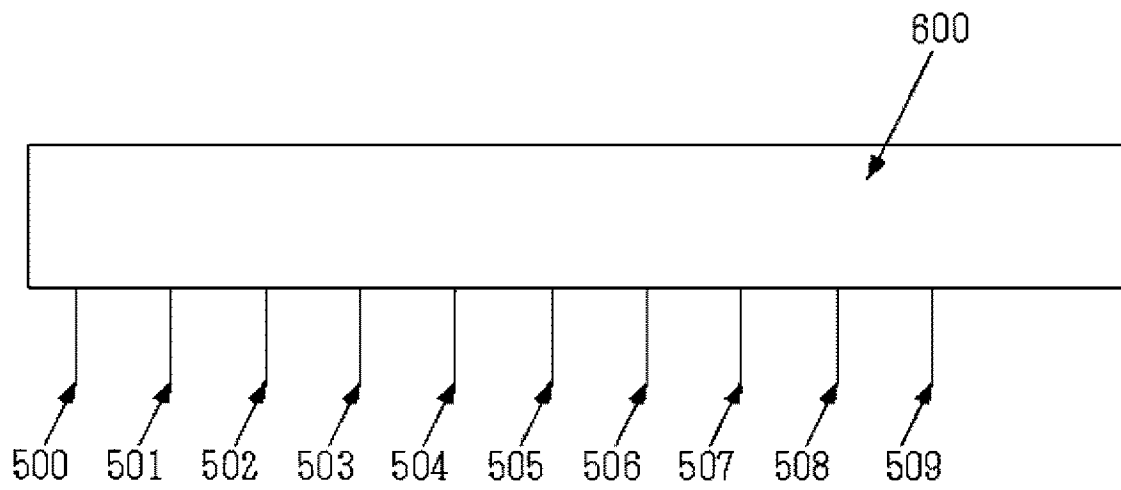
[図14]



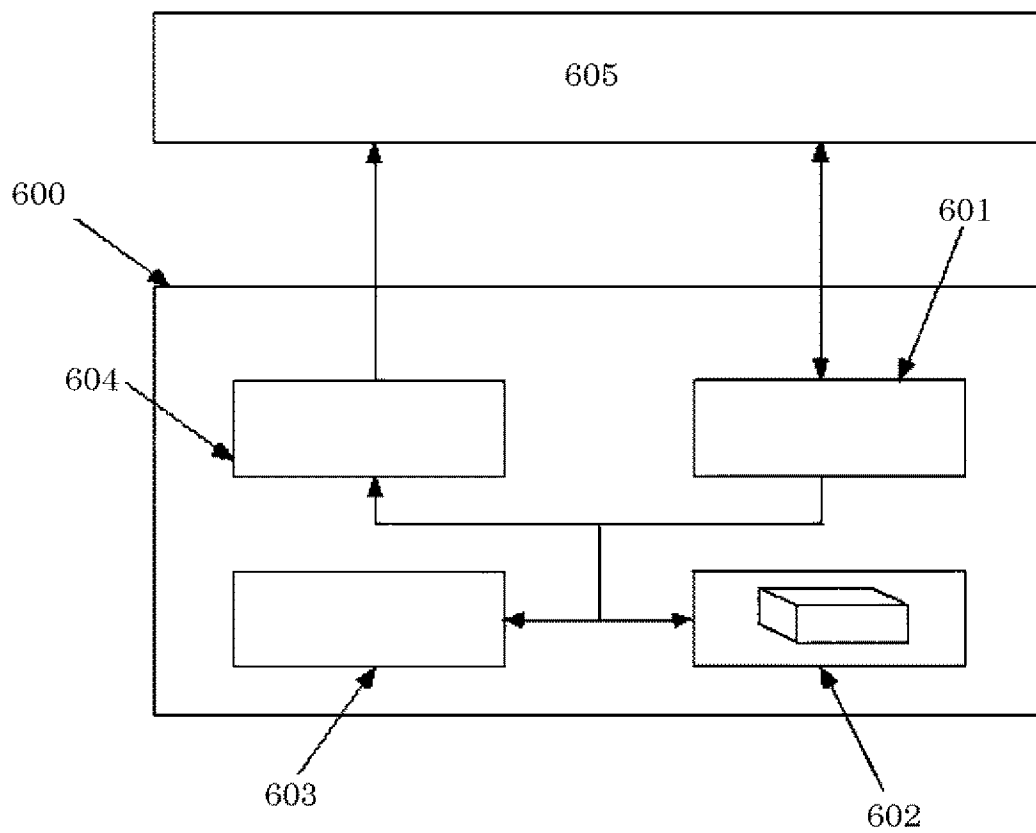
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003038

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/285(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L21/285, H01L21/336, H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-016538 A (Renesas Technology Corp.), 24 January 2008 (24.01.2008), paragraphs [0032] to [0105]; fig. 1 & US 2008/0121999 A1 paragraphs [0044] to [0117]; fig. 1	1-14
A	JP 8-250452 A (Fujitsu Ltd.), 27 September 1996 (27.09.1996), paragraphs [0017] to [0040] (Family: none)	5, 9-14
A	JP 10-125627 A (Fujitsu Ltd.), 15 May 1998 (15.05.1998), paragraphs [0036] to [0038]; fig. 14 & US 6242804 B1 column 8, line 56 to column 9, line 5; fig. 14	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 May, 2010 (20.05.10)

Date of mailing of the international search report
01 June, 2010 (01.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003038

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-162873 A (NEC Corp.), 18 June 1999 (18.06.1999), paragraph [0030] & US 2002/0020922 A1 paragraph [0065]	1-14
A	JP 2008-240095 A (Showa Shinku Co., Ltd.), 09 October 2008 (09.10.2008), fig. 1; the paragraphs relevant to explanation of fig. 1 (Family: none)	12-14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003038

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L29/49(2006.01) i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/285(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/28, H01L21/285, H01L21/336, H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-016538 A (株式会社ルネサステクノロジ) 2008.01.24, 【0032】-【0105】, 図1 & US 2008/0121999 A1 【0044】-【0117】, Fig. 1	1-14
A	JP 8-250452 A (富士通株式会社) 1996.09.27, 【0017】 - 【0040】 (ファミリーなし)	5, 9-14
A	JP 10-125627 A (富士通株式会社) 1998.05.15, 【0036】 - 【0038】, 図14 & US 6242804 B1 第8欄56行-第9欄5行, Fig. 14	1-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 5 . 2 0 1 0

国際調査報告の発送日

0 1 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

4 4 2 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-162873 A (日本電気株式会社) 1999. 06. 18, 【0030】 & US 2002/0020922 A1 【0065】	1-14
A	JP 2008-240095 A (株式会社昭和真空) 2008. 10. 09, 図 1 及び図 1 の説明箇所 (ファミリーなし)	12-14