

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)



(10) 国際公開番号

WO 2020/095765 A1

(51) 国際特許分類:

H01L 21/82 (2006.01) H01L 27/04 (2006.01)
H01L 21/336 (2006.01) H01L 27/092 (2006.01)
H01L 21/822 (2006.01) H01L 29/78 (2006.01)
H01L 21/8238 (2006.01)

(21) 国際出願番号: PCT/JP2019/042396

(22) 国際出願日: 2019年10月29日(29.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-211140 2018年11月9日(09.11.2018) JP

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

(72) 発明者: 白木 陽子(SHIRAKI Yoko); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

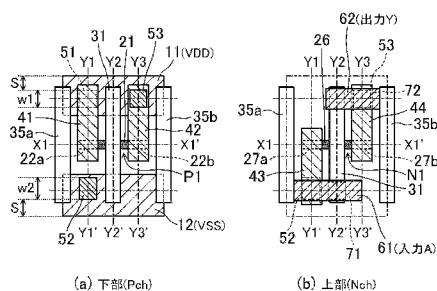
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置

[図1]



(57) Abstract: Provided is a layout structure of a standard cell in which a complementary FET (CFET) is used. The standard cell is provided with, between embedded power supply wires (11, 12), a three-dimensional transistor (P1) and a three-dimensional transistor (N1) formed above the transistor (P1) in a depth direction. A contact (51) connects a local wire (41) connected to the transistor (P1) with the power supply wire (11). A contact (52) connects a local wire (43) connected to the transistor (N1) with the power supply wire (12). The contact (52) is longer in the depth direction and has a greater size when viewed in plan than the contact (51).

(57) 要約: C F E T (Complementary FET) を用いたスタンダードセルのレイアウト構造を提供する。スタンダードセルは、埋め込み電源配線(11, 12)間に、立体構造トランジスタ(P1)と、深さ方向でトランジスタ(P1)よりも上に形成された立体構造トランジスタ(N1)とを備える。コンタクト(51)は、トランジスタ(P1)に接続されたローカル配線(41)と電源配線(11)とを接続する。コンタクト(52)は、トランジスタ(N1)に接続されたローカル配線(43)と電源配線(12)とを接続する。コンタクト(52)は、コンタクト(51)より深さ方向に長く、平面視サイズが大きい。

61 Input A
62 Output Y
(a) Lower portion (Pch)
(b) Upper portion (Nch)
AA Nanowire
BB Contact
CC Gate

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、立体構造トランジスタを含むスタンダードセルを備えた半導体集積回路装置に関する。

背景技術

[0002] 半導体基板上に半導体集積回路を形成する方法として、スタンダードセル方式が知られている。スタンダードセル方式とは、特定の論理機能を有する基本的単位（例えば、インバータ、ラッチ、フリップフロップ、全加算器など）をスタンダードセルとして予め用意しておき、半導体基板上に複数のスタンダードセルを配置して、それらのスタンダードセルを配線で接続することによって、LSIチップを設計する方式のことである。

[0003] また、LSIの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。

[0004] 非特許文献1，2では、新規デバイスとして、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスと、これを用いたスタンダードセルが開示されている。

先行技術文献

非特許文献

[0005] 非特許文献1：Ryckaert J. et al., "The Complementary FET (CFET) for CMOS scaling beyond N3", 2018 Symposium on VLSI Technology Digest of Technical Papers

非特許文献2：A. Mocuta et al., "Enabling CMOS Scaling Towards 3nm and

Beyond”, 2018 Symposium on VLSI Technology Digest of Technical Papers

発明の概要

発明が解決しようとする課題

- [0006] 本明細書では、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスのことを、非特許文献1の記載にならない、CFET (Complementary FET) と呼ぶことにする。また、基板に対して垂直をなす方向のことを、深さ方向と呼ぶ。
- [0007] CFETでは、P型FETとN型FETは深さ方向に積層されている。このため、P型FETとN型FETは、深さ方向においてその上下にある配線層との距離が互いに異なっている。したがって、例えばコンタクトを介してトランジスタを配線に接続する場合、コンタクトの深さ方向における長さがP型FETとN型FETとで異なってしまい、これにより、トランジスタの特性のバランスがくずれる可能性がある。
- [0008] 本開示は、CFETを用いたスタンダードセルについて、トランジスタの特性のバランスが保たれるレイアウト構造を提供することを目的とする。

課題を解決するための手段

- [0009] 本開示の第1態様では、スタンダードセルを含む半導体集積回路装置であって、前記スタンダードセルは、埋め込み配線層に形成されており、第1方向に延び、第1電源電圧を供給する第1電源配線と、前記埋め込み配線層に形成されており、前記第1方向に延び、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線と、平面視で前記第1電源配線と前記第2電源配線との間にある第1導電型の立体構造トランジスタである、第1トランジスタと、深さ方向において前記第1トランジスタよりも上に形成されており、平面視で前記第1電源配線と前記第2電源配線との間にある第2導電型の立体構造トランジスタである、第2トランジスタと、前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第1トランジスタのソースまたはドレインとなる第1端子に接続された第1ローカル配線と、前記

深さ方向において前記第1ローカル配線よりも上に形成されており、前記第2トランジスタのソースまたはドレインとなる第2端子に接続された第2ローカル配線と、平面視で前記第1電源配線と前記第1ローカル配線とが重なる位置に形成されており、前記第1電源配線と前記第1ローカル配線とを接続する第1コンタクトと、平面視で前記第2電源配線と前記第2ローカル配線とが重なる位置に形成されており、前記第2電源配線と前記第2ローカル配線とを接続する第2コンタクトとを備え、前記第2コンタクトは、前記深さ方向における長さが前記第1コンタクトよりも長く、かつ、平面視におけるサイズが前記第1コンタクトよりも大きい。

[0010] この態様によると、スタンダードセルは、埋め込み配線層に形成された第1および第2電源配線間に、第1導電型の立体構造トランジスタである第1トランジスタと、深さ方向において第1トランジスタよりも上に形成された、第2導電型の立体構造トランジスタである第2トランジスタとを備える。第1コンタクトは、第1トランジスタの端子に接続された第1ローカル配線と、第1電源配線とを接続する。第2コンタクトは、第2トランジスタの端子に接続された第2ローカル配線と、第2電源配線とを接続する。そして、第2コンタクトは、深さ方向における長さが第1コンタクトよりも長く、かつ、平面視におけるサイズが第1コンタクトよりも大きい。これにより、深さ方向における長さが異なる第1および第2コンタクトの抵抗の違いが小さく抑えられるので、第1トランジスタに対する電源供給経路と第2トランジスタに対する電源供給経路とにおいて、抵抗の違いが抑制される。したがって、第1および第2トランジスタの特性のバランスを保つことができる。

[0011] 本開示の第2態様では、スタンダードセルを含む半導体集積回路装置であって、前記スタンダードセルは、埋め込み配線層に形成されており、第1方向に延び、第1電源電圧を供給する第1電源配線と、前記埋め込み配線層に形成されており、前記第1方向に延び、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線と、平面視で前記第1電源配線と前記第2電源配線との間にある第1導電型の立体構造トランジスタである、第1トランジ

スタと、深さ方向において前記第1トランジスタよりも上に形成されており、平面視で前記第1電源配線と前記第2電源配線との間にある第2導電型の立体構造トランジスタである、第2トランジスタと、前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第1トランジスタのソースまたはドレインとなる第1端子に接続された第1ローカル配線と、前記深さ方向において前記第1ローカル配線よりも上に形成されており、前記第2トランジスタのソースまたはドレインとなる第2端子に接続された第2ローカル配線と、前記深さ方向において前記第1ローカル配線よりも上に形成されており、前記第2トランジスタのソースまたはドレインの他方となる第3端子に接続された第3ローカル配線と、平面視で前記第1ローカル配線と前記第3ローカル配線とが重なる位置に形成されており、前記第1ローカル配線と前記第3ローカル配線とを接続する第1コンタクトと、平面視で前記第2電源配線と前記第2ローカル配線とが重なる位置に形成されており、前記第2電源配線と前記第2ローカル配線とを接続する第2コンタクトとを備え、前記第2コンタクトは、平面視におけるサイズが前記第1コンタクトよりも大きい。

[0012] この態様によると、スタンダードセルは、埋め込み配線層に形成された第1および第2電源配線間に、第1導電型の立体構造トランジスタである第1トランジスタと、深さ方向において第1トランジスタよりも上に形成された、第2導電型の立体構造トランジスタである第2トランジスタとを備える。第1コンタクトは、第1トランジスタの端子に接続された第1ローカル配線と、第2トランジスタの端子に接続された第3ローカル配線とを接続する。第2コンタクトは、第2トランジスタの端子に接続された第2ローカル配線と、第2電源配線とを接続する。そして、第2コンタクトは、平面視におけるサイズが第1コンタクトよりも大きい。これにより、深さ方向に長い第2コンタクトの抵抗を小さく抑えられるので、第1トランジスタへの電源供給経路と第2トランジスタへの電源供給経路とにおいて、抵抗の違いが抑制される。したがって、第1および第2トランジスタの特性のバランスを保つこ

とができる。

[0013] 本開示の第3態様では、スタンダードセルを含む半導体集積回路装置であって、前記スタンダードセルは、埋め込み配線層に形成されており、第1方向に延び、第1電源電圧を供給する第1電源配線と、前記埋め込み配線層に形成されており、前記第1方向に延び、前記第1電源電圧を供給する第2電源配線と、前記埋め込み配線層に形成されており、前記第1電源配線と前記第2電源配線との間において前記第1方向に延び、前記第1電源電圧と異なる第2電源電圧を供給する第3電源配線と、平面視で前記第1電源配線と前記第2電源配線との間にある第1導電型の立体構造トランジスタである、第1トランジスタと、深さ方向において前記第1トランジスタよりも上に形成されており、平面視で前記第1電源配線と前記第2電源配線との間にある第2導電型の立体構造トランジスタである、第2トランジスタと、前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第1トランジスタのソースまたはドレインとなる第1端子に接続された第1ローカル配線と、前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第2トランジスタのソースまたはドレインとなる第2端子に接続された第2ローカル配線と、平面視で前記第1電源配線と前記第1ローカル配線とが重なる位置に形成されており、前記第1電源配線と前記第1ローカル配線とを接続する第1コンタクトと、平面視で前記第3電源配線と前記第2ローカル配線とが重なる位置に形成されており、前記第3電源配線と前記第2ローカル配線とを接続する第2コンタクトとを備え、前記第2コンタクトは、前記深さ方向における長さが前記第1コンタクトよりも長く、かつ、平面視でのサイズが前記第1コンタクトよりも大きい。

[0014] この態様によると、スタンダードセルは、埋め込み配線層に形成された、第1電源電圧を供給する第1および第2電源配線間に、第1導電型の立体構造トランジスタである第1トランジスタと、深さ方向において第1トランジスタよりも上に形成された、第2導電型の立体構造トランジスタである第2トランジスタとを備える。また、第1および第2電源配線間に、第2電源電

圧を供給する第3電源配線がある。第1コンタクトは、第1トランジスタの端子に接続された第1ローカル配線と、第1電源配線とを接続する。第2コンタクトは、第2トランジスタの端子に接続された第2ローカル配線と、第3電源配線とを接続する。そして、第2コンタクトは、深さ方向における長さが第1コンタクトよりも長く、かつ、平面視におけるサイズが第1コンタクトよりも大きい。これにより、深さ方向における長さが異なる第1および第2コンタクトの抵抗の違いが小さく抑えられるので、第1トランジスタに対する電源供給経路と第2トランジスタに対する電源供給経路とにおいて、抵抗の違いが抑制される。したがって、第1および第2トランジスタの特性のバランスを保つことができる。

発明の効果

[0015] 本開示によると、CFETを用いたスタンダードセルについて、トランジスタの特性のバランスが保たれるレイアウト構造を提供することができる。

図面の簡単な説明

[0016] [図1] (a), (b) は第1実施形態に係るスタンダードセルのレイアウト構造の例を示す平面図

[図2] 図1のレイアウト構造の平面視横方向における断面図

[図3] (a) ~ (c) は図1のレイアウト構造の平面視縦方向における断面図

[図4] 図1のスタンダードセルの回路図

[図5] (a), (b) は第1実施形態に係るスタンダードセルのレイアウト構造の他の例を示す平面図

[図6] (a), (b) は第2実施形態に係るスタンダードセルのレイアウト構造の例を示す平面図

[図7] 図6のスタンダードセルの回路図

[図8] (a), (b) は第3実施形態に係るスタンダードセルのレイアウト構造の例を示す平面図

[図9] 図8のスタンダードセルの回路図

[図10] 各実施形態で示したスタンダードセルを用いた回路ブロックのレイア

ウトの例

[図11] C F E T を備えた半導体装置の構造を示す断面図

[図12] C F E T を備えた半導体装置の構造を示す断面図

[図13] C F E T を備えた半導体装置の構造を示す断面図

[図14] C F E T を備えた半導体装置の構造を示す平面図

発明を実施するための形態

[0017] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体集積回路装置は複数のスタンダードセル（本明細書では、適宜、単にセルという）を備えており、この複数のスタンダードセルのうち少なくとも一部は、C F E T、すなわち、立体構造のP型F E TとN型F E Tを基板に対して垂直方向に積層した立体構造デバイスを備えるものとする。

[0018] まず、C F E Tの基本構造について説明する。図1 1～図1 4はC F E Tを備えた半導体装置の構造を示す図であり、図1 1はX方向における断面図、図1 2はY方向におけるゲート部分の断面図、図1 3はY方向におけるソース・ドレイン部分の断面図、図1 4は平面図である。なお、X方向はナノワイヤが延びる方向、Y方向はゲートが延びる方向、Z方向は基板面と垂直をなす方向としている。また、図1 1～図1 4は概略図であり、各部の寸法や位置等は必ずしも整合していない。

[0019] この半導体装置では、シリコン（S i）基板等の半導体基板3 0 1の表面に素子分離領域3 0 2が形成されており、素子分離領域3 0 2により、素子活性領域3 0 aが画定されている。素子活性領域3 0 aでは、P型F E T上にN型F E Tが形成されている。

[0020] 素子活性領域3 0 aでは、半導体基板3 0 1上に積層トランジスタ構造3 9 0 aが形成されている。積層トランジスタ構造3 9 0 aは、半導体基板3 0 1上に形成されたゲート構造3 9 1を含む。ゲート構造3 9 1は、ゲート電極3 5 6、複数のナノワイヤ3 5 8、ゲート絶縁膜3 5 5、絶縁膜3 5 7を含む。ゲート電極3 5 6は、Y方向に延び、Z方向に立ち上がる。ナノワイヤ3 5 8は、X方向でゲート電極3 5 6を貫通し、Y方向及びZ方向に配

列されている。ゲート絶縁膜 355 は、ゲート電極 356 とナノワイヤ 358 との間に形成されている。ゲート電極 356 及びゲート絶縁膜 355 は、X 方向において、ナノワイヤ 358 の両端から後退した位置に形成されており、この後退した部分に絶縁膜 357 が形成されている。半導体基板 301 上に、絶縁膜 357 の両脇において、絶縁膜 316 が形成されている。321, 322 は層間絶縁膜である。

[0021] また、図 12 に示すように、ゲート電極 356 は、開口部 375 に設けられたビア 385 によって、上層の配線と接続される。

[0022] 例えば、ゲート電極 356 には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜 355 には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ 358 にはシリコン等を用いることができる。例えば、絶縁膜 316、絶縁膜 357 には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0023] この半導体装置では、Z 方向に配列するナノワイヤ 358 の本数は 4 であり、素子活性領域 30a では、半導体基板 301 側の 2 本のナノワイヤ 358 の各端部に p 型半導体層 331p が形成されている。p 型半導体層 331p に接する 2 つのローカル配線 386 が X 方向でゲート構造 391 を挟むようにして形成されている。また、半導体基板 101 から離間する側の 2 本のナノワイヤ 358 の各端部に n 型半導体層 341n が形成されている。n 型半導体層 341n に接する 2 つのローカル配線 388 が X 方向でゲート構造 391 を挟むようにして形成されている。ローカル配線 386 とローカル配線 388 との間に絶縁膜 332 が形成されている。ローカル配線 388 の上に絶縁膜 389 が形成されている。例えば、p 型半導体層 331p は p 型 SiGe 層であり、n 型半導体層 341n は n 型 Si 層である。例えば、絶縁膜 332 には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0024] また、図 13 に示すように、ローカル配線 388 は、ビア 3071 を介し

て、埋め込み配線 3101 と接続される。ローカル配線 386 は、ビア 3072 を介して、埋め込み配線 3102 と接続される。

[0025] このように、積層トランジスタ構造 390a は、ゲート電極 356、ナノワイヤ 358、ゲート絶縁膜 355 及び P 型半導体層 331p を含む P 型 FET を有する。この P 型 FET では、一方の P 型半導体層 331p がソース領域として機能し、他方の P 型半導体層 331p がドレイン領域として機能し、ナノワイヤ 358 がチャネルとして機能する。積層トランジスタ構造 390a は、ゲート電極 356、ナノワイヤ 358、ゲート絶縁膜 355 及び N 型半導体層 341n を含む N 型 FET も有する。この N 型 FET では、一方の N 型半導体層 341n がソース領域として機能し、他方の N 型半導体層 341n がドレイン領域として機能し、ナノワイヤ 358 がチャネルとして機能する。

[0026] なお、積層トランジスタ構造より上層については、ビアおよび金属配線によりトランジスタ間の配線等が行われるが、これらは既知の配線プロセスによって実現が可能である。

[0027] なお、ここでは、P 型 FET および N 型 FET におけるナノワイヤの本数は、それぞれ、Y 方向に 4 本、Z 方向に 2 本、計 8 本ずつであるものとしたが、ナノワイヤの本数はこれに限られるものではない。また、P 型 FET と N 型 FET のナノワイヤの本数は、異なってもかまわない。

[0028] また、本明細書では、ナノワイヤの両端に形成され、トランジスタのソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。上述した C FET の基本構造例では、p 型半導体層 331p および n 型半導体層 341n が、パッドに相当する。

[0029] また、以降の実施形態における平面図および断面図においては、各絶縁膜等の記載は省略することがある。また、以降の実施形態における平面図および断面図については、ナノワイヤおよびその両側のパッドを、簡易化した直線状の形状で記載することがある。また、本明細書において、「同一サイズ」等のように、サイズ等が同じであることを意味する表現は、製造上のばら

つき範囲を含んでいるものとする。

[0030] (第1実施形態)

図1～図3は第1実施形態に係るセルのレイアウト構造の例を示す図であり、図1(a)、(b)は平面図、図2は平面視横方向における断面図、図3(a)～(c)は平面視縦方向における断面図である。具体的には、図1(a)は下部、すなわち基板に近い側に形成された立体構造トランジスタ（ここではP型ナノワイヤFET）を含む部分を示し、図1(b)は上部、すなわち基板から遠い側に形成された立体構造トランジスタ（ここではN型ナノワイヤFET）を含む部分を示す。図2は線X1-X1'の断面、図3(a)は線Y1-Y1'の断面、図3(b)は線Y2-Y2'の断面、図3(c)は線Y3-Y3'の断面である。

[0031] また図4は図1～図3に示すセルの回路図である。図4に示すように、図1～図3に示すセルは、P型トランジスタP1およびN型トランジスタN1を有し、入力A、出力Yのインバータ回路を実現している。

[0032] なお、以下の説明では、図1等の平面図において、図面横方向をX方向（第1方向に相当）、図面縦方向をY方向（第2方向に相当）、基板面に垂直な方向をZ方向（深さ方向に相当）としている。また、図1等の平面図において縦横に走る点線、および、図2等の断面図において縦に走る点線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0033] 図1(a)に示すように、セルのY方向における両端において、X方向に延びる電源配線11、12がそれぞれ設けられている。電源配線11、12はともに、埋め込み配線層に形成された埋め込み電源配線（BPR: Buried

Power Rail) である。電源配線 1 1 は電源電圧 V D D を供給し、電源配線 1 2 は電源電圧 V S S を供給する。

[0034] M 1 配線層には、X 方向に延びる配線 6 1, 6 2 が形成されている。配線 6 1 は入力 A、配線 6 2 は出力 Y に相当する。

[0035] セルの下部には、X 方向に延びるナノワイヤ 2 1 が形成されており、セルの上部には、X 方向に延びるナノワイヤ 2 6 が形成されている。ナノワイヤ 2 1, 2 6 は、平面視で重なっている。ナノワイヤ 2 1 の両端に、P 型半導体がドーピングされたパッド 2 2 a, 2 2 b が形成されている。ナノワイヤ 2 6 の両端に、N 型半導体がドーピングされたパッド 2 7 a, 2 7 b が形成されている。ナノワイヤ 2 1 が P 型トランジスタ P 1 のチャネル部を構成し、パッド 2 2 a, 2 2 b が P 型トランジスタ P 1 のソースまたはドレインとなる端子を構成する。ナノワイヤ 2 6 が N 型トランジスタ N 1 のチャネル部を構成し、パッド 2 7 a, 2 7 b が N 型トランジスタ N 1 のソースまたはドレインとなる端子を構成する。P 型トランジスタ P 1 は、Z 方向において埋め込み配線層よりも上に形成されており、N 型トランジスタ N 1 は、Z 方向において P 型トランジスタ P 1 よりも上に形成されている。

[0036] ゲート配線 3 1 は、セルの X 方向におけるほぼ中央において Y 方向に延びており、かつ、セルの下部から上部にかけて Z 方向に延びている。ゲート配線 3 1 は、P 型トランジスタ P 1 および N 型トランジスタ N 1 のゲートとなる。すなわち、ナノワイヤ 2 1、ゲート配線 3 1、およびパッド 2 2 a, 2 2 b によって、P 型トランジスタ P 1 が構成される。ナノワイヤ 2 6、ゲート配線 3 1、およびパッド 2 7 a, 2 7 b によって、N 型トランジスタ N 1 が構成される。また、セルの X 方向における両端に、ダミーゲート配線 3 5 a, 3 5 b が形成されている。ダミーゲート配線 3 5 a, 3 5 b は、ゲート配線 3 1 と同様に、Y 方向および Z 方向に延びている。

[0037] セルの下部において、Y 方向に延びるローカル配線 4 1, 4 2 が形成されている。ローカル配線 4 1 は、パッド 2 2 a と接続されている。ローカル配線 4 2 は、パッド 2 2 b と接続されている。セルの上部において、Y 方向に

延びるローカル配線43, 44が形成されている。ローカル配線43は、パッド27aと接続されている。ローカル配線44は、パッド27bと接続されている。

[0038] ローカル配線41は、電源配線11と平面視で重なる位置まで延びており、コンタクト51を介して、電源配線11と接続されている。コンタクト51は、平面視で電源配線11とローカル配線41とが重なる位置に形成されている。ローカル配線43は、電源配線12と平面視で重なる位置まで延びており、コンタクト52を介して、電源配線12と接続されている。コンタクト52は、平面視で電源配線12とローカル配線43とが重なる位置に形成されている。ローカル配線42, 44は、コンタクト53を介して接続されている。コンタクト53は、平面視でローカル配線42とローカル配線44とが重なる位置に形成されている。

[0039] 配線61は、コンタクト71を介して、ゲート配線31と接続されている。配線62は、コンタクト72を介して、ローカル配線44と接続されている。

[0040] ここで、N型トランジスタN1はP型トランジスタP1よりも上方、すなわち埋め込み配線層から遠い位置にある。このため、図3(a)から分かるように、電源配線12とN型トランジスタN1とを接続するコンタクト52は、電源配線11とP型トランジスタP1とを接続するコンタクト51よりも深さ方向における長さが長い。このため、コンタクト51, 52を平面視において同一サイズで形成した場合には、コンタクト52の抵抗はコンタクト51よりも大きくなってしまふ。この結果、トランジスタP1, N1の特性のバランスが悪くなる可能性がある。

[0041] そこで、本実施形態では、コンタクト52の平面視におけるサイズをコンタクト51よりも大きくして、コンタクト52の抵抗を小さくしている。これにより、上述したトランジスタP1, N1の特性のバランスの問題を緩和することができる。ここで示した例では、コンタクト52は、X方向におけるサイズはコンタクト51と同一にし、Y方向におけるサイズをコンタクト

5 1 よりも大きくしている ($w_2 > w_1$)。また、Y方向において、電源配線 1 2 の下端からコンタクト 5 2 の下端までの距離 S を、電源配線 1 1 の上端からコンタクト 5 1 の上端までの距離 S と同一にしている。これは、後述するとおり、Y方向において隣接する 2 個のセルにおいて、コンタクト間の距離 ($2S$) が保たれるようにするためである。

[0042] また、コンタクト 5 2 を、ローカル配線 4 2, 4 4 を接続するコンタクト 5 3 と比較する。コンタクト 5 2 は、コンタクト 5 3 よりも深さ方向における長さが長く形成されており、かつ、平面視におけるサイズがコンタクト 5 3 よりも大きくなっている。

[0043] 以上のように本実施形態によると、スタンダードセルは、埋め込み配線層に形成された電源配線 1 1, 1 2 間に、ナノワイヤ FET である P 型トランジスタ P 1 と、深さ方向において P 型トランジスタ P 1 よりも上に形成された、ナノワイヤ FET である N 型トランジスタ N 1 とを備える。コンタクト 5 1 は、P 型トランジスタ P 1 の端子であるパッド 2 2 a に接続されたローカル配線 4 1 と、電源配線 1 1 とを接続する。コンタクト 5 2 は、N 型トランジスタ N 1 の端子であるパッド 2 7 a に接続されたローカル配線 4 3 と、電源配線 1 2 とを接続する。そして、コンタクト 5 2 は、Z方向における長さがコンタクト 5 1 よりも長く、かつ、平面視におけるサイズがコンタクト 5 1 よりも大きい。これにより、Z方向における長さが異なるコンタクト 5 1, 5 2 の抵抗の違いが小さく抑えられるので、P 型トランジスタ P 1 に対する VDD 供給経路と N 型トランジスタ N 1 に対する VSS 供給経路とにおいて、抵抗の違いが抑制される。したがって、P 型トランジスタ P 1 および N 型トランジスタ N 1 の特性のバランスを保つことができる。

[0044] (他の例)

図 5 は本実施形態に係るセルのレイアウト構造の他の例を示す平面図であり、(a) は下部を示し、(b) は上部を示す。図 5 の例では、下部は N 型ナノワイヤ FET (N 型トランジスタ N 1) を含み、上部は P 型ナノワイヤ FET (P 型トランジスタ P 1) を含む。すなわち、上述した実施形態と対

比すると、P型トランジスタP1およびN型トランジスタN1のZ方向における上下関係が入れ替わっている。

[0045] 図5のレイアウト構造は、図1のレイアウト構造をY方向に反転させたものに相当しており、構成の詳細は、図1のレイアウト構造と同様である。そして、電源配線11とP型トランジスタP1とを接続するコンタクト54の平面視におけるサイズを、電源配線12とN型トランジスタN1とを接続するコンタクト53よりも大きくして、コンタクト54の抵抗を小さくしている。この構成でも、上述の実施形態と同様の作用効果が得られる。

[0046] (第2実施形態)

図6は第2実施形態に係るセルのレイアウト構造の例を示す平面図であり、(a)はP型ナノワイヤFETを含む下部、(b)はN型ナノワイヤFETを含む上部を示す。また図7は図6に示すセルの回路図である。図7に示すように、図6に示すセルは、P型トランジスタP21、P22およびN型トランジスタN21、N22を有し、入力A、B、出力Yの2入力NAND回路を実現している。なお、セルの断面構造は、第1実施形態で示した図2および図3を参照して、理解することができる。

[0047] 図6(a)に示すように、セルのY方向における両端において、X方向に延びる電源配線11、12がそれぞれ設けられている。電源配線11、12はともに、埋め込み配線層に形成されたBPRである。電源配線11は電源電圧VDDを供給し、電源配線12は電源電圧VSSを供給する。

[0048] M1配線層には、X方向に延びる配線161、162、163が形成されている。配線161は入力A、配線162は入力B、配線163は出力Yに相当する。

[0049] セルの下部には、X方向に延びるナノワイヤ121a、121bが形成されており、セルの上部には、X方向に延びるナノワイヤ126a、126bが形成されている。ナノワイヤ121a、126aは平面視で重なっており、ナノワイヤ121b、126bは平面視で重なっている。ナノワイヤ121aの図面左側に、P型半導体がドーピングされたパッド122aが形成さ

れており、ナノワイヤ121bの図面右側に、P型半導体がドーピングされたパッド122bが形成されている。また、ナノワイヤ121a、121bの間に、P型半導体がドーピングされたパッド122cが形成されている。ナノワイヤ126aの図面左側に、N型半導体がドーピングされたパッド127aが形成されており、ナノワイヤ126bの図面右側に、N型半導体がドーピングされたパッド127bが形成されている。また、ナノワイヤ126a、126bの間に、N型半導体がドーピングされたパッド127cが形成されている。ナノワイヤ121a、121bがP型トランジスタP21、P22のチャネル部をそれぞれ構成し、パッド122aがP型トランジスタP21のソースまたはドレインとなる端子を構成し、パッド122bがP型トランジスタP22のソースまたはドレインとなる端子を構成し、パッド122cがP型トランジスタP21、P22のソースまたはドレインとなる端子を構成する。ナノワイヤ126a、126bがN型トランジスタN21、N22のチャネル部をそれぞれ構成し、パッド127aがN型トランジスタN21のソースまたはドレインとなる端子を構成し、パッド127bがN型トランジスタN22のソースまたはドレインとなる端子を構成し、パッド127cがN型トランジスタN21、N22のソースまたはドレインとなる端子を構成する。

[0050] ゲート配線131、132は、Y方向に延びており、かつ、セルの下部から上部にかけてZ方向に延びている。ゲート配線131は、P型トランジスタP21およびN型トランジスタN21のゲートとなり、ゲート配線132は、P型トランジスタP22およびN型トランジスタN22のゲートとなる。すなわち、ナノワイヤ121a、ゲート配線131、およびパッド122a、122cによって、P型トランジスタP21が構成されており、ナノワイヤ121b、ゲート配線132、およびパッド122b、122cによって、P型トランジスタP22が構成されている。ナノワイヤ126a、ゲート配線131、およびパッド127a、127cによって、N型トランジスタN21が構成されており、ナノワイヤ126b、ゲート配線132、およ

びパッド127b, 127cによって、N型トランジスタN22が構成されている。また、セルのX方向における両端に、ダミーゲート配線135a, 135bが形成されている。ダミーゲート配線135a, 135bは、ゲート配線131, 132と同様に、Y方向およびZ方向に延びている。

[0051] セルの下部において、Y方向に延びるローカル配線141, 142, 143が形成されている。ローカル配線141は、パッド122aと接続されている。ローカル配線142は、パッド122bと接続されている。ローカル配線143は、パッド122cと接続されている。セルの上部において、Y方向に延びるローカル配線144, 145, 146が形成されている。ローカル配線144は、パッド127aと接続されている。ローカル配線145は、パッド127bと接続されている。ローカル配線146は、パッド127cと接続されている。

[0052] ローカル配線141は、電源配線11と平面視で重なる位置まで延びており、コンタクト151を介して、電源配線11と接続されている。コンタクト151は、平面視で電源配線11とローカル配線141とが重なる位置に形成されている。ローカル配線142は、電源配線11と平面視で重なる位置まで延びており、コンタクト152を介して、電源配線11と接続されている。コンタクト152は、平面視で電源配線11とローカル配線142とが重なる位置に形成されている。ローカル配線144は、電源配線12と平面視で重なる位置まで延びており、コンタクト153を介して、電源配線12と接続されている。コンタクト153は、平面視で電源配線12とローカル配線144とが重なる位置に形成されている。

[0053] 配線161は、コンタクト171を介して、ゲート配線131と接続されている。配線162は、コンタクト172を介して、ゲート配線132と接続されている。配線163は、コンタクト173を介して、ローカル配線145と接続されており、また、コンタクト174を介して、ローカル配線143と接続されている。

[0054] ここで、N型トランジスタN21, N22はP型トランジスタP21, P

22よりも上方、すなわち埋め込み配線層から遠い位置にある。このため、電源配線12とトランジスタN21とを接続するコンタクト153は、電源配線11とトランジスタP21、P22とを接続するコンタクト151、152よりも深さ方向における長さが長い。このため、コンタクト151、152、153を平面視において同一サイズで形成した場合には、コンタクト153の抵抗はコンタクト151、152よりも大きくなってしまふ。この結果、トランジスタP21、P22、N21、N22の特性のバランスが悪くなる可能性がある。

[0055] そこで、本実施形態では、コンタクト153の平面視におけるサイズをコンタクト151、152よりも大きくして、コンタクト153の抵抗を小さくしている。これにより、上述したトランジスタP21、P22、N21、N22の特性のバランスの問題を緩和することができる。

[0056] 以上のように本実施形態によると、スタンダードセルは、埋め込み配線層に形成された電源配線11、12間に、ナノワイヤFETであるP型トランジスタP21、P22と、深さ方向においてP型トランジスタP21、P22よりも上に形成された、ナノワイヤFETであるN型トランジスタN21、N22とを備える。コンタクト151は、P型トランジスタP21の端子であるパッド122aに接続されたローカル配線141と、電源配線11とを接続する。コンタクト152は、P型トランジスタP22の端子であるパッド122bに接続されたローカル配線142と、電源配線11とを接続する。コンタクト153は、N型トランジスタN21の端子であるパッド127aに接続されたローカル配線144と、電源配線12とを接続する。そして、コンタクト153は、Z方向における長さがコンタクト151、152よりも長く、かつ、平面視におけるサイズがコンタクト151、152よりも大きい。これにより、Z方向における長さが異なるコンタクト151、152、153の抵抗の違いが小さく抑えられるので、P型トランジスタP21、P22に対するVDD供給経路とN型トランジスタN21、N22に対するVSS供給経路とにおいて、抵抗の違いが抑制される。したがって、P

型トランジスタP 2 1, P 2 2およびN型トランジスタN 2 1, N 2 2の特性のバランスを保つことができる。

[0057] (第3実施形態)

図8は第3実施形態に係るセルのレイアウト構造の例を示す平面図であり、(a)はP型ナノワイヤFETを含む下部、(b)はN型ナノワイヤFETを含む上部を示す。図8に示すセルは、いわゆるダブルハイトセルであり、第1および第2実施形態で示したセル(シングルハイトセル)の2倍の高さ(Y方向におけるサイズ)を有する。また図9は図8に示すセルの回路図である。図9に示すように、図8に示すセルは、P型トランジスタP 3 1, P 3 2およびN型トランジスタN 3 1, N 3 2を有し、入力A、出力Yのバッファ回路を実現している。なお、セルの断面構造は、第1実施形態で示した図2および図3を参照して、理解することができる。

[0058] 図8(a)に示すように、セルのY方向における両端において、X方向に延びる電源配線1 3, 1 4がそれぞれ設けられている。また、セルのY方向における中央部において、X方向に延びる電源配線1 5が設けられている。電源配線1 5のY方向における幅は、電源配線1 3, 1 4のほぼ2倍になっている。電源配線1 3, 1 4, 1 5はいずれも、埋め込み配線層に形成されたBPRである。電源配線1 3, 1 4は電源電圧VDDを供給し、電源配線1 5は電源電圧VSSを供給する。

[0059] M1配線層には、X方向に延びる配線2 6 1, 2 6 2, 2 6 3が形成されている。配線2 6 1は入力A、配線2 6 2は出力Yに相当する。

[0060] セルの下部には、X方向に延びるナノワイヤ2 2 1, 2 2 3が形成されており、セルの上部には、X方向に延びるナノワイヤ2 2 6, 2 2 8が形成されている。ナノワイヤ2 2 1, 2 2 6は、電源配線1 3, 1 5の間の領域に形成されており、平面視で重なっている。ナノワイヤ2 2 3, 2 2 8は、電源配線1 4, 1 5の間の領域に形成されており、平面視で重なっている。ナノワイヤ2 2 1の両端に、P型半導体がドーピングされたパッド2 2 2 a, 2 2 2 bが形成されている。ナノワイヤ2 2 3の両端に、P型半導体がドー

ピングされたパッド224a, 224bが形成されている。ナノワイヤ226の両端に、N型半導体がドーピングされたパッド227a, 227bが形成されている。ナノワイヤ228の両端に、N型半導体がドーピングされたパッド229a, 229bが形成されている。ナノワイヤ221がP型トランジスタP32のチャネル部を構成し、パッド222a, 222bがP型トランジスタP32のソースまたはドレインとなる端子を構成する。ナノワイヤ223がP型トランジスタP31のチャネル部を構成し、パッド224a, 224bがP型トランジスタP31のソースまたはドレインとなる端子を構成する。ナノワイヤ226がN型トランジスタN32のチャネル部を構成し、パッド227a, 227bがN型トランジスタN32のソースまたはドレインとなる端子を構成する。ナノワイヤ228がN型トランジスタN31のチャネル部を構成し、パッド229a, 229bがN型トランジスタN31のソースまたはドレインとなる端子を構成する。

[0061] ゲート配線231, 232は、Y方向に延びており、かつ、セルの下部から上部にかけてZ方向に延びている。ゲート配線231は電源配線13, 15の間の領域に形成されており、ゲート配線232は電源配線14, 15の間の領域に形成されている。ゲート配線231は、P型トランジスタP32およびN型トランジスタN32のゲートとなり、ゲート配線232は、P型トランジスタP31およびN型トランジスタN31のゲートとなる。すなわち、ナノワイヤ221、ゲート配線231、およびパッド222a, 222bによって、P型トランジスタP32が構成されており、ナノワイヤ223、ゲート配線232、およびパッド224a, 224bによって、P型トランジスタP31が構成されている。ナノワイヤ226、ゲート配線231、およびパッド227a, 227bによって、N型トランジスタN32が構成されており、ナノワイヤ228、ゲート配線232、およびパッド229a, 229bによって、N型トランジスタN31が構成されている。また、セルのX方向における両端に、ダミーゲート配線235a, 235b, 235c, 235dが形成されている。ダミーゲート配線235a, 235b, 2

3 5 c, 2 3 5 d は、ゲート配線 2 3 1, 2 3 2 と同様に、Y 方向および Z 方向に延びている。

[0062] セルの下部において、Y 方向に延びるローカル配線 2 4 1, 2 4 2, 2 4 3, 2 4 4 が形成されている。ローカル配線 2 4 1 は、パッド 2 2 2 a と接続されている。ローカル配線 2 4 2 は、パッド 2 2 2 b と接続されている。ローカル配線 2 4 3 は、パッド 2 2 4 a と接続されている。ローカル配線 2 4 4 は、パッド 2 2 4 b と接続されている。セルの上部において、Y 方向に延びるローカル配線 2 4 5, 2 4 6, 2 4 7 が形成されている。ローカル配線 2 4 5 は、パッド 2 2 7 a、および、パッド 2 2 9 a と接続されている。ローカル配線 2 4 6 は、パッド 2 2 9 b と接続されている。ローカル配線 2 4 7 は、パッド 2 2 7 b と接続されている。

[0063] ローカル配線 2 4 1 は、電源配線 1 3 と平面視で重なる位置まで延びており、コンタクト 2 5 1 を介して、電源配線 1 3 と接続されている。コンタクト 2 5 1 は、平面視で電源配線 1 3 とローカル配線 2 4 1 とが重なる位置に形成されている。ローカル配線 2 4 3 は、電源配線 1 4 と平面視で重なる位置まで延びており、コンタクト 2 5 2 を介して、電源配線 1 4 と接続されている。コンタクト 2 5 2 は、平面視で電源配線 1 4 とローカル配線 2 4 3 とが重なる位置に形成されている。ローカル配線 2 4 5 は、電源配線 1 5 と平面視で重なっており、コンタクト 2 5 3 を介して、電源配線 1 5 と接続されている。コンタクト 2 5 3 は、平面視で電源配線 1 5 とローカル配線 2 4 5 とが重なる位置に形成されている。

[0064] ローカル配線 2 4 2 とローカル配線 2 4 7 とは、コンタクト 2 5 4 を介して接続されている。ローカル配線 2 4 4 とローカル配線 2 4 6 とは、コンタクト 2 5 5 を介して接続されている。

[0065] 配線 2 6 1 は、コンタクト 2 7 1 を介して、ゲート配線 2 3 2 と接続されている。配線 2 6 2 は、コンタクト 2 7 2 を介して、ローカル配線 2 4 7 と接続されている。配線 2 6 3 は、コンタクト 2 7 3 を介して、ゲート配線 2 3 1 と接続されており、かつ、コンタクト 2 7 4 を介して、ローカル配線 2

4 6 と接続されている。

[0066] ここで、トランジスタ N 3 1, N 3 2 はトランジスタ P 3 1, P 3 2 よりも上方、すなわち埋め込み配線層から遠い位置にある。このため、電源配線 1 5 とトランジスタ N 3 1, N 3 2 とを接続するコンタクト 2 5 3 は、電源配線 1 3, 1 4 とトランジスタ P 3 1, P 3 2 とを接続するコンタクト 2 5 1, 2 5 2 よりも、深さ方向における長さが長い。このため、コンタクト 2 5 1, 2 5 2, 2 5 3 を平面視において同一サイズで形成した場合には、コンタクト 2 5 3 の抵抗はコンタクト 2 5 1, 2 5 2 よりも大きくなってしまふ。この結果、トランジスタ P 3 1, P 3 2, N 3 1, N 3 2 の特性のバランスが悪くなる可能性がある。

[0067] そこで、本実施形態では、コンタクト 2 5 3 の平面視におけるサイズをコンタクト 2 5 1, 2 5 2 よりも大きくして、コンタクト 2 5 3 の抵抗を小さくしている。これにより、上述したトランジスタ P 3 1, P 3 2, N 3 1, N 3 2 の特性のバランスの問題を緩和することができる。

[0068] ここで示した例では、コンタクト 2 5 3 は、X 方向におけるサイズはコンタクト 2 5 1, 2 5 2 と同一にし、Y 方向におけるサイズをコンタクト 2 5 1, 2 5 2 よりも大きくしている。また、コンタクト 2 5 3 は、セルの Y 方向における中央部をまたぐように、形成されている。これにより、Y 方向において対向するローカル配線 2 4 1, 2 4 3 との間の間隔 (S 2) を十分に大きくとることができる。したがって、半導体集積回路装置の製造容易性、信頼性、および、歩留まりが向上する。

[0069] 以上のように本実施形態によると、スタンダードセルは、埋め込み配線層に形成された、VDD を供給する電源配線 1 3, 1 4 間に、ナノワイヤ FET である P 型トランジスタ P 3 1, P 3 2 と、深さ方向において P 型トランジスタ P 3 1, P 3 2 よりも上に形成された、ナノワイヤ FET である N 型トランジスタ N 3 1, N 3 2 とを備える。また、電源配線 1 3, 1 4 間に、VSS を供給する電源配線 1 5 がある。コンタクト 2 5 1 は、P 型トランジスタ P 3 2 の端子であるパッド 2 2 2 a に接続されたローカル配線 2 4 1 と

、電源配線 1 3 とを接続する。コンタクト 2 5 2 は、P 型トランジスタ P 3 1 の端子であるパッド 2 2 4 a に接続されたローカル配線 2 4 3 と、電源配線 1 4 とを接続する。コンタクト 2 5 3 は、N 型トランジスタ N 3 1, N 3 2 の端子であるパッド 2 2 7 a, 2 2 9 a に接続されたローカル配線 2 4 5 と、電源配線 1 5 とを接続する。そして、コンタクト 2 5 3 は、Z 方向における長さがコンタクト 2 5 1, 2 5 2 よりも長く、かつ、平面視におけるサイズがコンタクト 2 5 1, 2 5 2 よりも大きい。これにより、Z 方向における長さが異なるコンタクト 2 5 1, 2 5 2, 2 5 3 の抵抗の違いが小さく抑えられるので、P 型トランジスタ P 3 1, P 3 2 に対する V D D 供給経路と N 型トランジスタ N 3 1, N 3 2 に対する V S S 供給経路とにおいて、抵抗の違いが抑制される。したがって、P 型トランジスタ P 3 1, P 3 2 および N 型トランジスタ N 3 1, N 3 2 の特性のバランスを保つことができる。

[0070] (他の例)

本実施形態に係るセルは、下部は N 型 F E T (N 型トランジスタ N 3 1, N 3 2) を含み、上部は P 型 F E T (P 型トランジスタ P 3 1, P 3 2) を含むように構成してもよい。この場合は、セルの Y 方向における両端に電源電圧 V S S を供給する電源配線を設けて、セルの Y 方向における中央部に電源電圧 V D D を供給する電源配線を設けて、上の例と同様のレイアウトとすればよい。

[0071] また、本実施形態は、トリプルハイトまたはそれ以上のセル高さのセルに適用することも可能である。この場合、セルの Y 方向における両端にある電源配線以外の電源配線に、上述したコンタクト 2 5 3 のような、Y 方向におけるサイズが大きいコンタクトを配置することによって、P 型トランジスタに対する V D D 供給経路と N 型トランジスタに対する V S S 供給経路とにおいて、抵抗の違いを抑制することができる。

[0072] (回路ブロックのレイアウト例)

図 1 0 は上述の各実施形態で示したセルを用いた回路ブロックのレイアウトの例である。図 1 0 はセルの下部を図示している。C 1 1, C 1 2, C 1

3, C 1 4 は第 1 実施形態で示したインバータセル、C 2 1, C 2 2, C 2 3 は第 2 実施形態で示した N A N D セル、C 3 1 は第 3 実施形態で示したバッファセルである。N A N D セル C 2 2 は、X 方向および Y 方向において反転されている。インバータセル C 1 2 は、Y 方向において反転されている。インバータセル C 1 3 は、X 方向において反転されている。

[0073] 図 1 0 の例では、Y 方向において隣接するセル C 2 1, C 2 2 において、Y 方向におけるサイズが大きいコンタクト 5 5 1, 5 5 2 が対向する部分でも、間隔 2 S が確保されている。また、シングルハイトセルである N A N D セル C 2 1 における、Y 方向におけるサイズが大きいコンタクト 5 5 1 とこれに対向するローカル配線 5 4 2 との間の間隔は a である。これに対して、ダブルハイトセルであるバッファセル C 3 1 では、Y 方向におけるサイズが大きいコンタクト 5 5 3 とこれに対向するローカル配線 5 4 1 との間の間隔が、a よりも大きい b である ($b > a$)。

[0074] なお、上述の各実施形態では、トランジスタは 1 本のナノワイヤを備えるものとしたが、トランジスタの一部または全部は、複数本のナノワイヤを備えてもよい。この場合、平面視で Y 方向において複数本のナノワイヤを設けてもよいし、Z 方向において複数本のナノワイヤを設けてもよい。また、Y 方向および Z 方向の両方においてそれぞれ複数本のナノワイヤを設けてもよい。また、セルの上部と下部とにおいて、トランジスタが備えるナノワイヤの本数が異なってもよい。

[0075] また、上述の各実施形態では、ナノワイヤの断面形状はほぼ正方形としているが、これに限られるものではない。例えば、円形や長方形であってもよい。

[0076] また、上述の各実施形態では、立体構造トランジスタとしてナノワイヤ F E T を例にとって説明を行ったが、これに限られるものではない。例えば、セルの下部に形成されるトランジスタは、フィン型トランジスタであってもよい。

産業上の利用可能性

[0077] 本開示では、C F E Tを用いたスタンダードセルを備えた半導体集積回路装置について、できるので、例えば半導体チップの性能向上に有用である。

符号の説明

[0078] 1 1, 1 2, 1 3, 1 4, 1 5 電源配線
2 1, 2 6 ナノワイヤ
2 2 a, 2 7 a パッド (端子)
3 1 ゲート配線
4 1, 4 2, 4 3, 4 4 ローカル配線
5 1, 5 2, 5 3, 5 4, 5 5 コンタクト
1 2 1, 1 2 6 ナノワイヤ
1 2 2 a, 1 2 2 b, 1 2 7 a パッド (端子)
1 3 1, 1 3 2 ゲート配線
1 4 1, 1 4 2, 1 4 4
1 5 1, 1 5 2, 1 5 3 コンタクト
2 2 1, 2 2 3, 2 2 6, 2 2 8 ナノワイヤ
2 3 1, 2 3 2 ゲート配線
2 4 1, 2 4 3, 2 4 5 ローカル配線
2 5 1, 2 5 2, 2 5 3 コンタクト
P 1, P 2 1, P 2 2, P 3 1, P 3 2 P型トランジスタ
N 1, N 2 1, N 2 2, N 3 1, N 3 2 N型トランジスタ

請求の範囲

[請求項1]

スタンダードセルを含む半導体集積回路装置であって、

前記スタンダードセルは、

埋め込み配線層に形成されており、第1方向に延び、第1電源電圧を供給する第1電源配線と、

前記埋め込み配線層に形成されており、前記第1方向に延び、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線と、

平面視で前記第1電源配線と前記第2電源配線との間にある第1導電型の立体構造トランジスタである、第1トランジスタと、

深さ方向において前記第1トランジスタよりも上に形成されており、平面視で前記第1電源配線と前記第2電源配線との間にある第2導電型の立体構造トランジスタである、第2トランジスタと、

前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第1トランジスタのソースまたはドレインとなる第1端子に接続された第1ローカル配線と、

前記深さ方向において前記第1ローカル配線よりも上に形成されており、前記第2トランジスタのソースまたはドレインとなる第2端子に接続された第2ローカル配線と、

平面視で前記第1電源配線と前記第1ローカル配線とが重なる位置に形成されており、前記第1電源配線と前記第1ローカル配線とを接続する第1コンタクトと、

平面視で前記第2電源配線と前記第2ローカル配線とが重なる位置に形成されており、前記第2電源配線と前記第2ローカル配線とを接続する第2コンタクトとを備え、

前記第2コンタクトは、前記深さ方向における長さが前記第1コンタクトよりも長く、かつ、平面視におけるサイズが前記第1コンタクトよりも大きい

ことを特徴とする半導体集積回路装置。

- [請求項2] 請求項1記載の半導体集積回路装置において、
前記スタンダードセルは、
平面視で前記第1方向と垂直をなす方向である第2方向に延びており、かつ、前記深さ方向に延びており、前記第1および第2トランジスタのゲートとなる、ゲート配線を備える
ことを特徴とする半導体集積回路装置。
- [請求項3] 請求項1記載の半導体集積回路装置において、
前記第1および第2トランジスタのチャネル部は、平面視で重なりを有している
ことを特徴とする半導体集積回路装置。
- [請求項4] 請求項1記載の半導体集積回路装置において、
前記第1および第2ローカル配線は、平面視で前記第1方向と垂直をなす方向である第2方向に延びている
ことを特徴とする半導体集積回路装置。
- [請求項5] 請求項4記載の半導体集積回路装置において、
前記第2コンタクトは、前記第1コンタクトよりも、前記第2方向における長さが長い
ことを特徴とする半導体集積回路装置。
- [請求項6] スタンダードセルを含む半導体集積回路装置であって、
前記スタンダードセルは、
埋め込み配線層に形成されており、第1方向に延び、第1電源電圧を供給する第1電源配線と、
前記埋め込み配線層に形成されており、前記第1方向に延び、前記第1電源電圧と異なる第2電源電圧を供給する第2電源配線と、
平面視で前記第1電源配線と前記第2電源配線との間にある第1導電型の立体構造トランジスタである、第1トランジスタと、
深さ方向において前記第1トランジスタよりも上に形成されており、平面視で前記第1電源配線と前記第2電源配線との間にある第2導

電型の立体構造トランジスタである、第2トランジスタと、

前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第1トランジスタのソースまたはドレインとなる第1端子に接続された第1ローカル配線と、

前記深さ方向において前記第1ローカル配線よりも上に形成されており、前記第2トランジスタのソースまたはドレインとなる第2端子に接続された第2ローカル配線と、

前記深さ方向において前記第1ローカル配線よりも上に形成されており、前記第2トランジスタのソースまたはドレインの他方となる第3端子に接続された第3ローカル配線と、

平面視で前記第1ローカル配線と前記第3ローカル配線とが重なる位置に形成されており、前記第1ローカル配線と前記第3ローカル配線とを接続する第1コンタクトと、

平面視で前記第2電源配線と前記第2ローカル配線とが重なる位置に形成されており、前記第2電源配線と前記第2ローカル配線とを接続する第2コンタクトとを備え、

前記第2コンタクトは、平面視におけるサイズが前記第1コンタクトよりも大きい

ことを特徴とする半導体集積回路装置。

[請求項7]

請求項6記載の半導体集積回路装置において、

前記スタンダードセルは、

平面視で前記第1方向と垂直をなす方向である第2方向に延びており、かつ、前記深さ方向に延びており、前記第1および第2トランジスタのゲートとなる、ゲート配線を備える

ことを特徴とする半導体集積回路装置。

[請求項8]

請求項6記載の半導体集積回路装置において、

前記第1および第2トランジスタのチャネル部は、平面視で重なりを有している

ことを特徴とする半導体集積回路装置。

[請求項9]

請求項6記載の半導体集積回路装置において、

前記第1、第2および第3ローカル配線は、平面視で前記第1方向と垂直をなす方向である第2方向に延びている

ことを特徴とする半導体集積回路装置。

[請求項10]

請求項9記載の半導体集積回路装置において、

前記第2コンタクトは、前記第1コンタクトよりも、前記第2方向における長さが長い

ことを特徴とする半導体集積回路装置。

[請求項11]

スタンダードセルを含む半導体集積回路装置であって、

前記スタンダードセルは、

埋め込み配線層に形成されており、第1方向に延び、第1電源電圧を供給する第1電源配線と、

前記埋め込み配線層に形成されており、前記第1方向に延び、前記第1電源電圧を供給する第2電源配線と、

前記埋め込み配線層に形成されており、前記第1電源配線と前記第2電源配線との間において前記第1方向に延び、前記第1電源電圧と異なる第2電源電圧を供給する第3電源配線と、

平面視で前記第1電源配線と前記第2電源配線との間にある第1導電型の立体構造トランジスタである、第1トランジスタと、

深さ方向において前記第1トランジスタよりも上に形成されており、平面視で前記第1電源配線と前記第2電源配線との間にある第2導電型の立体構造トランジスタである、第2トランジスタと、

前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第1トランジスタのソースまたはドレインとなる第1端子に接続された第1ローカル配線と、

前記深さ方向において前記埋め込み配線層よりも上に形成されており、前記第2トランジスタのソースまたはドレインとなる第2端子に

接続された第2ローカル配線と、

平面視で前記第1電源配線と前記第1ローカル配線とが重なる位置に形成されており、前記第1電源配線と前記第1ローカル配線とを接続する第1コンタクトと、

平面視で前記第3電源配線と前記第2ローカル配線とが重なる位置に形成されており、前記第3電源配線と前記第2ローカル配線とを接続する第2コンタクトとを備え、

前記第2コンタクトは、前記深さ方向における長さが前記第1コンタクトよりも長く、かつ、平面視でのサイズが前記第1コンタクトよりも大きい

ことを特徴とする半導体集積回路装置。

[請求項12] 請求項1記載の半導体集積回路装置において、

前記スタンダードセルは、

平面視で前記第1方向と垂直をなす方向である第2方向に延びており、かつ、前記深さ方向に延びており、前記第1および第2トランジスタのゲートとなる、ゲート配線を備える

ことを特徴とする半導体集積回路装置。

[請求項13] 請求項1記載の半導体集積回路装置において、

前記第1および第2トランジスタのチャネル部は、平面視で重なりを有している

ことを特徴とする半導体集積回路装置。

[請求項14] 請求項1記載の半導体集積回路装置において、

前記第1および第2ローカル配線は、平面視で前記第1方向と垂直をなす方向である第2方向に延びている

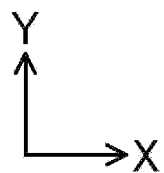
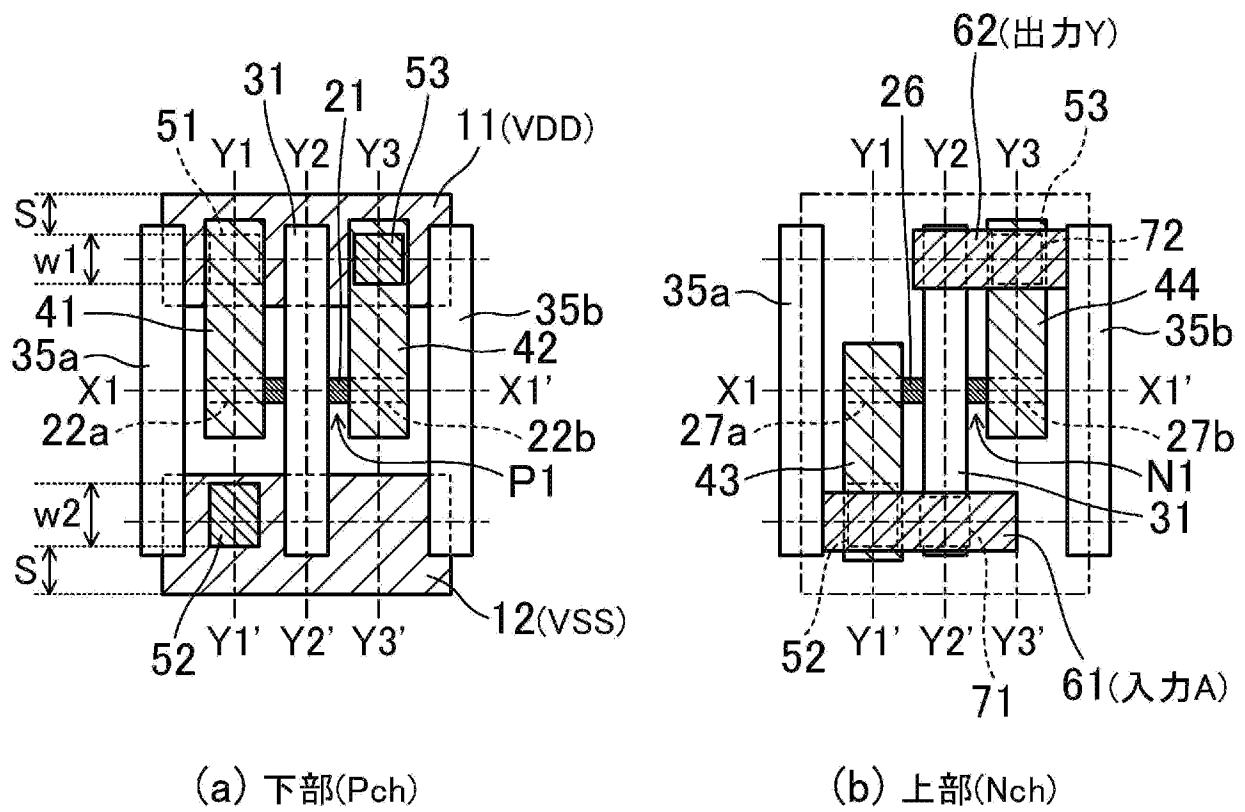
ことを特徴とする半導体集積回路装置。

[請求項15] 請求項14記載の半導体集積回路装置において、

前記第2コンタクトは、前記第1コンタクトよりも、前記第2方向における長さが長い

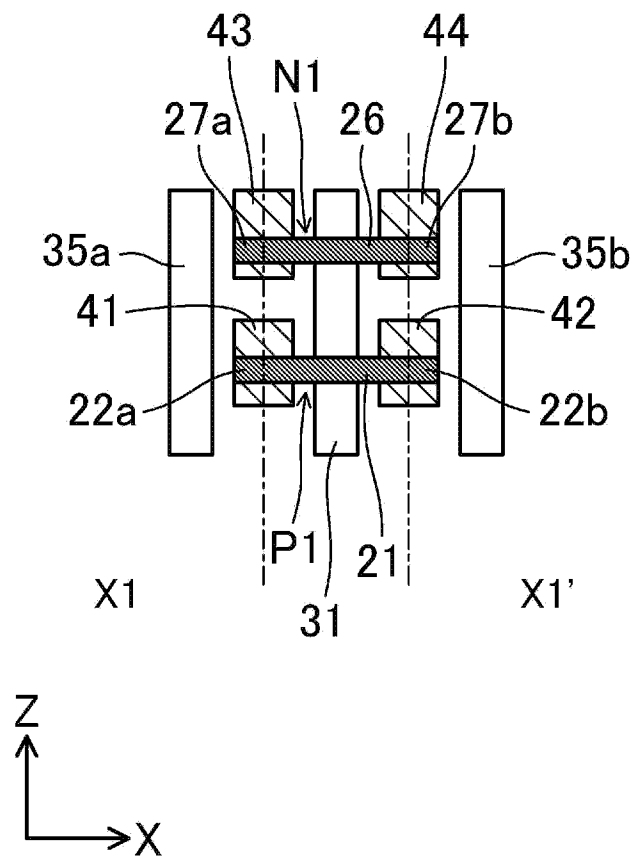
ことを特徴とする半導体集積回路装置。

[図1]

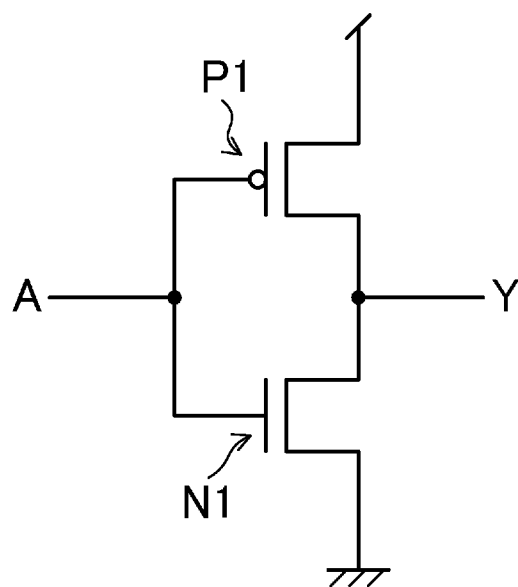


	BPR
	ナノワイヤ
	Gate
	LI
	コンタクト(BPR/LI , LI/LI)
	M1
	コンタクト(Gate/M1 , LI/M1)

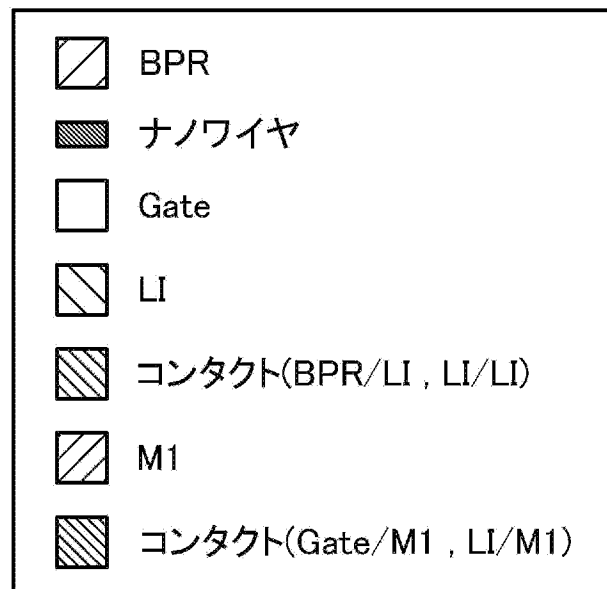
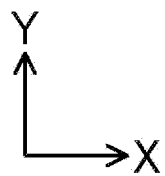
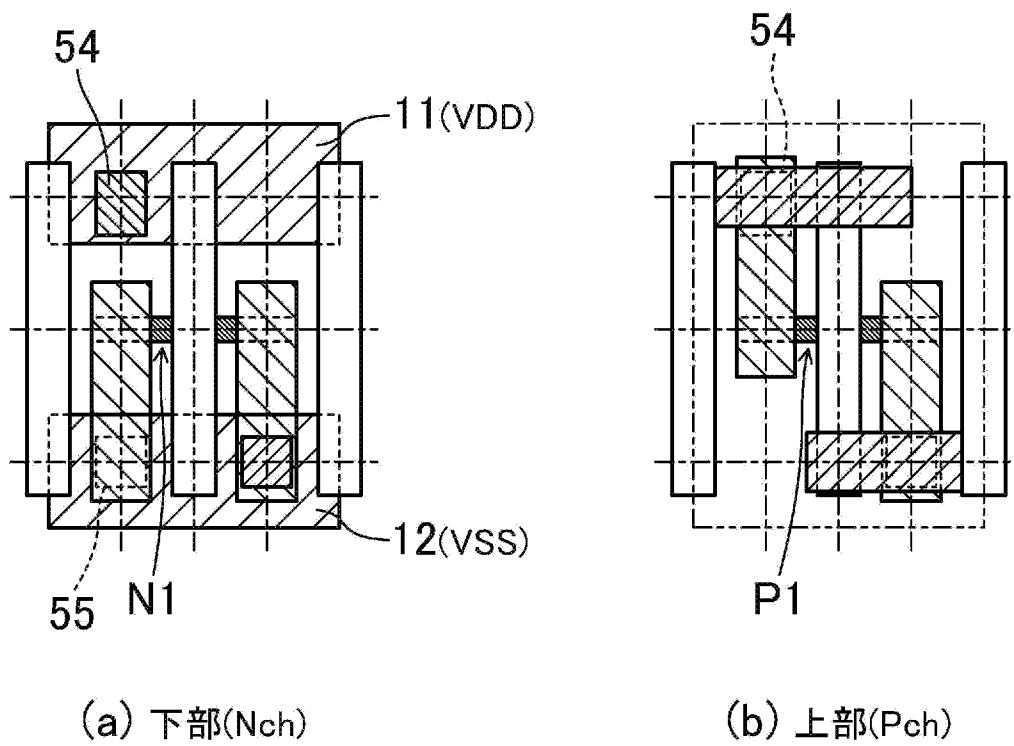
[図2]



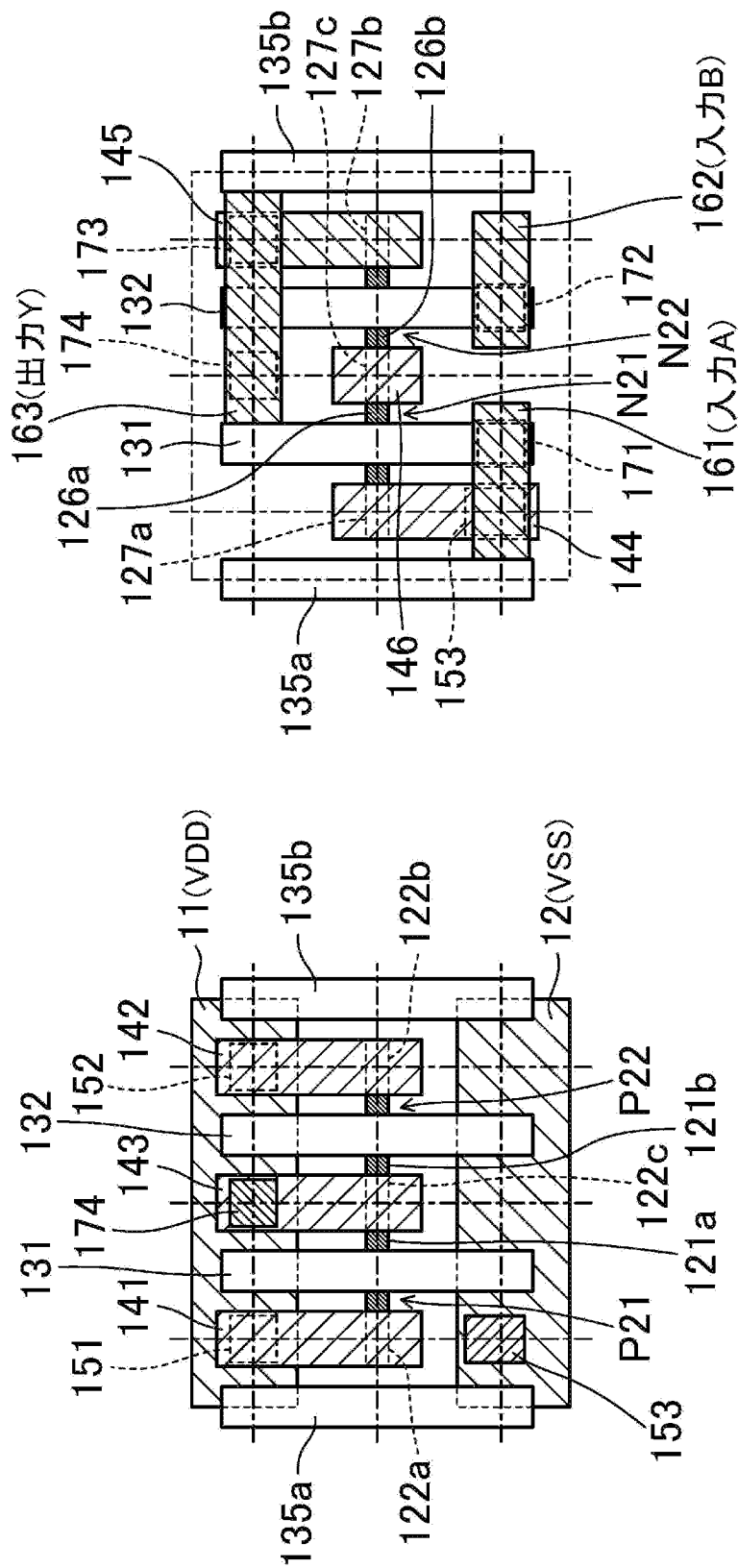
[図4]



[図5]

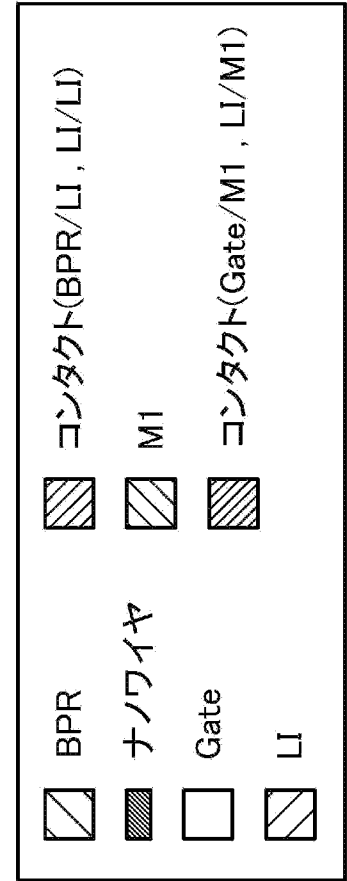


[図6]

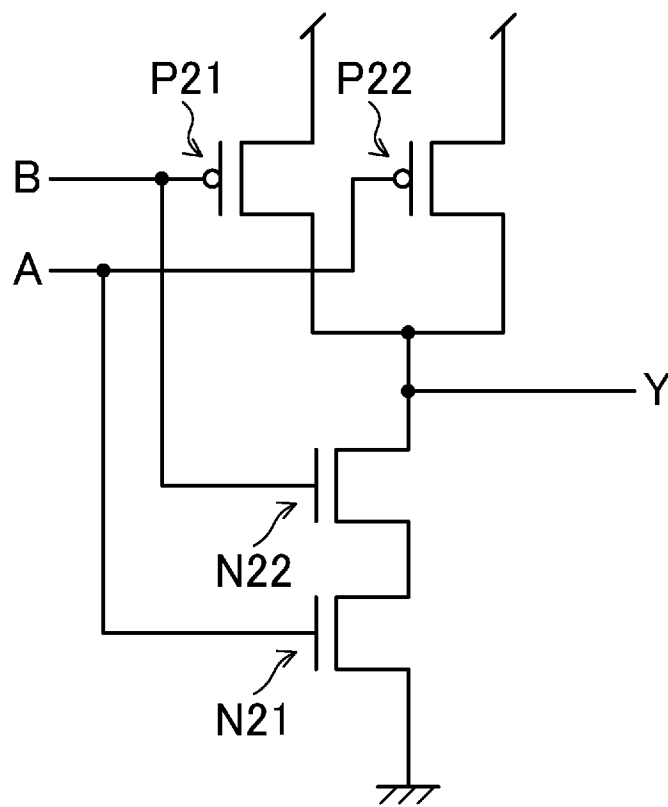


(a) 下部(Pch)

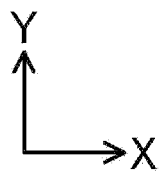
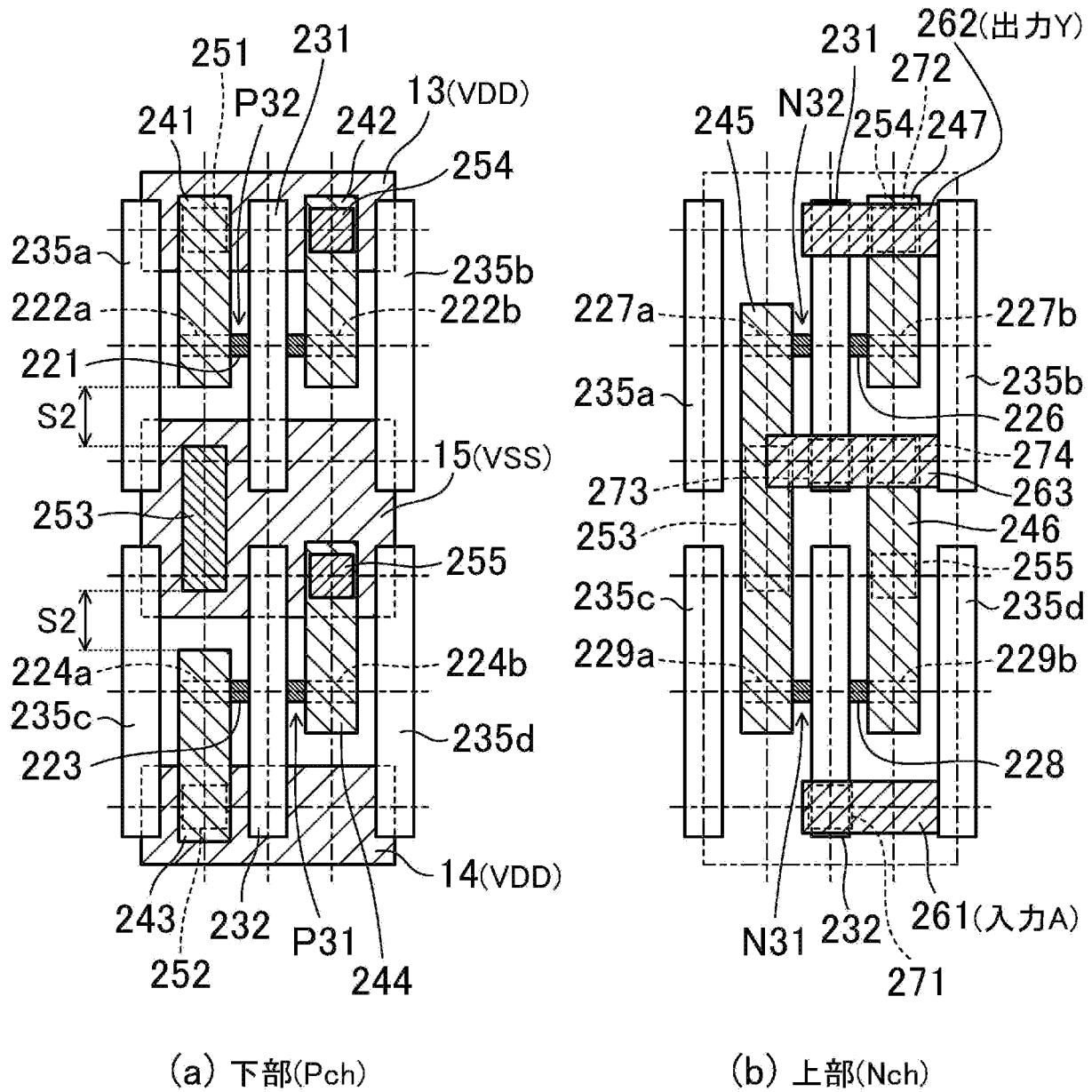
(b) 上部(Nch)



[図7]

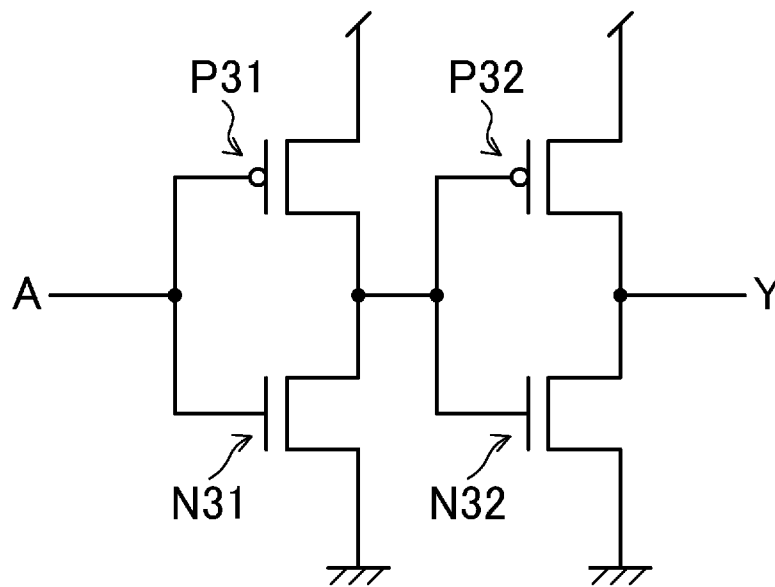


[図8]

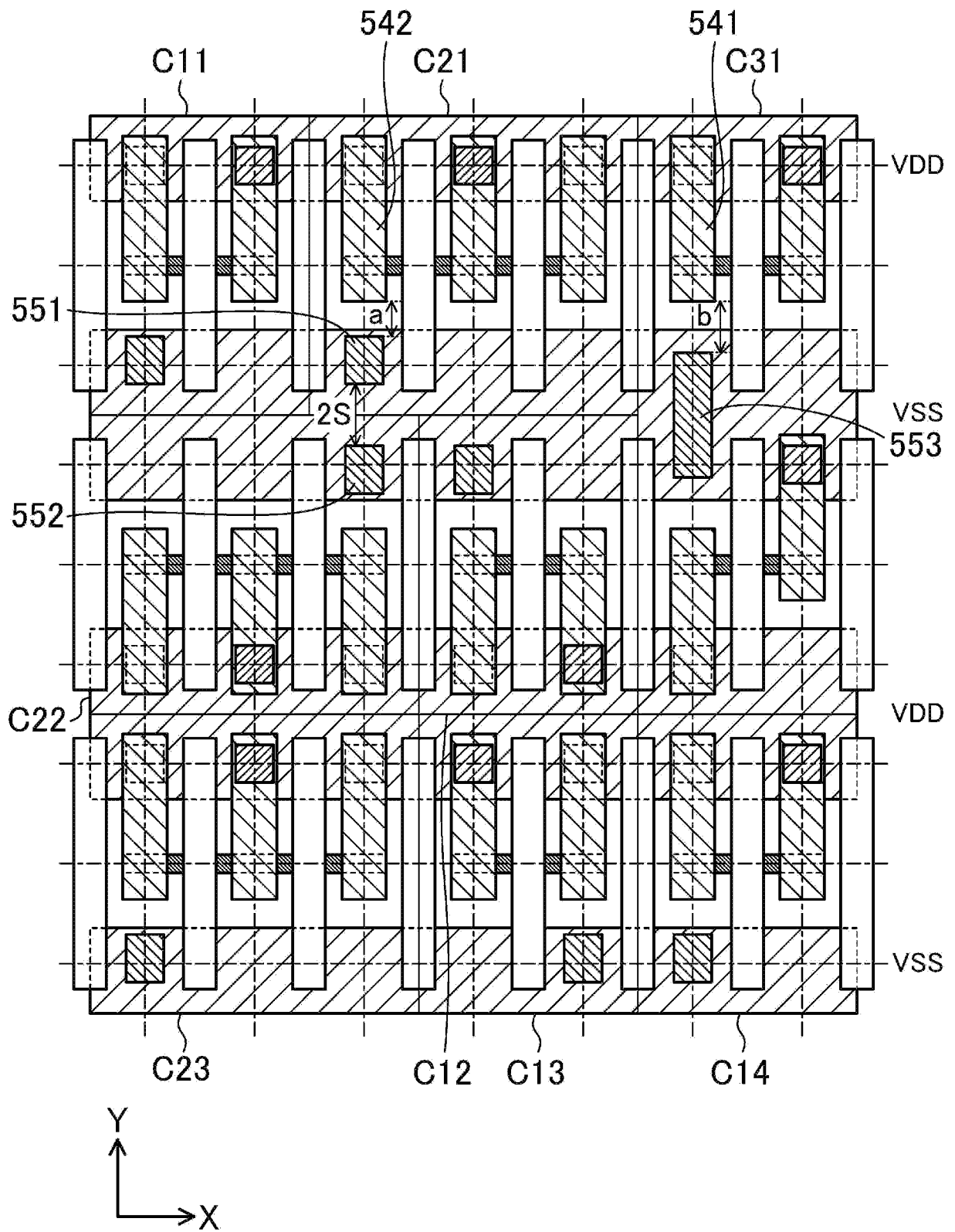


	BPR		コンタクト(BPR/LI , LI/LI)
	ナノワイヤ		M1
	Gate		コンタクト(Gate/M1 , LI/M1)
	LI		

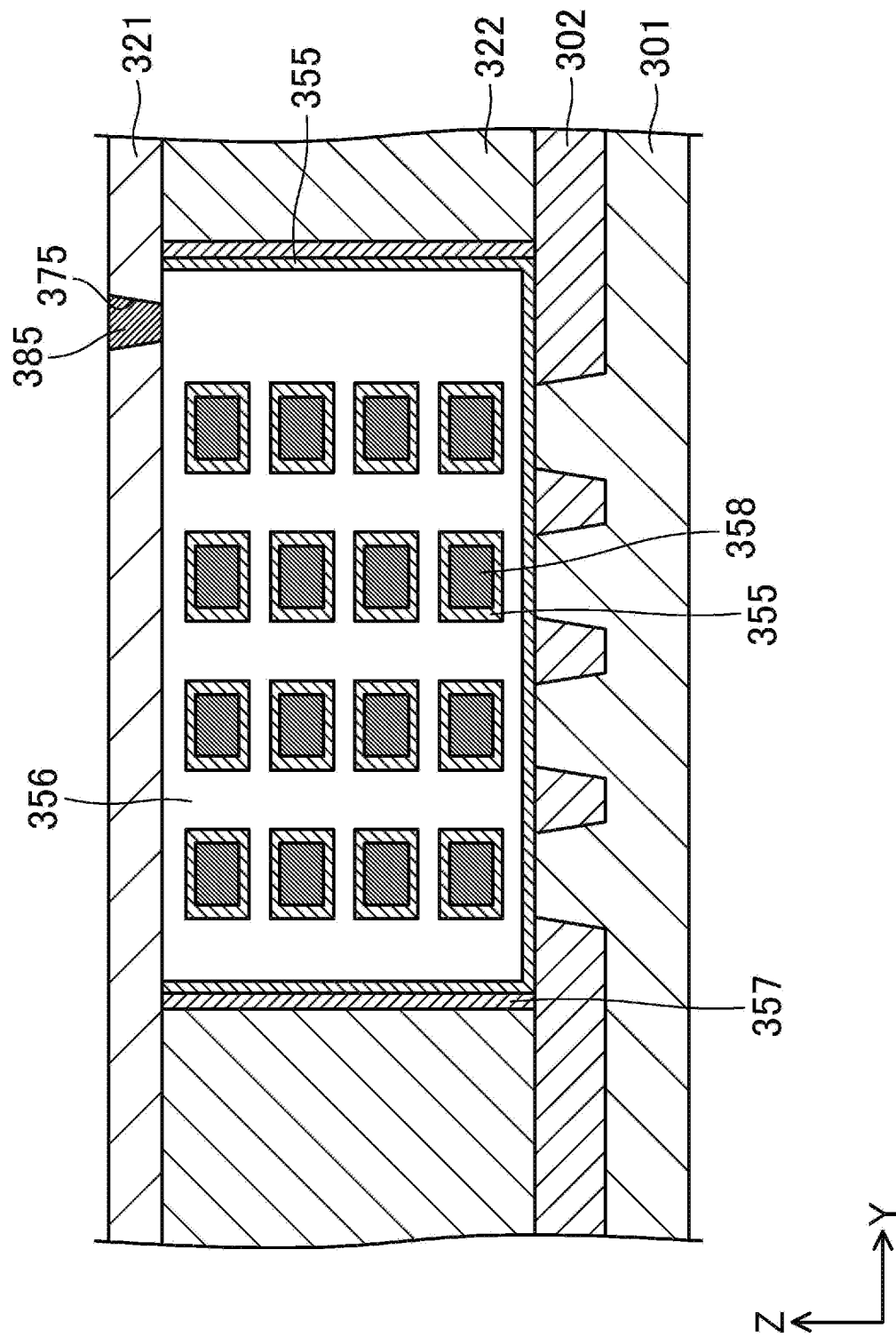
[図9]



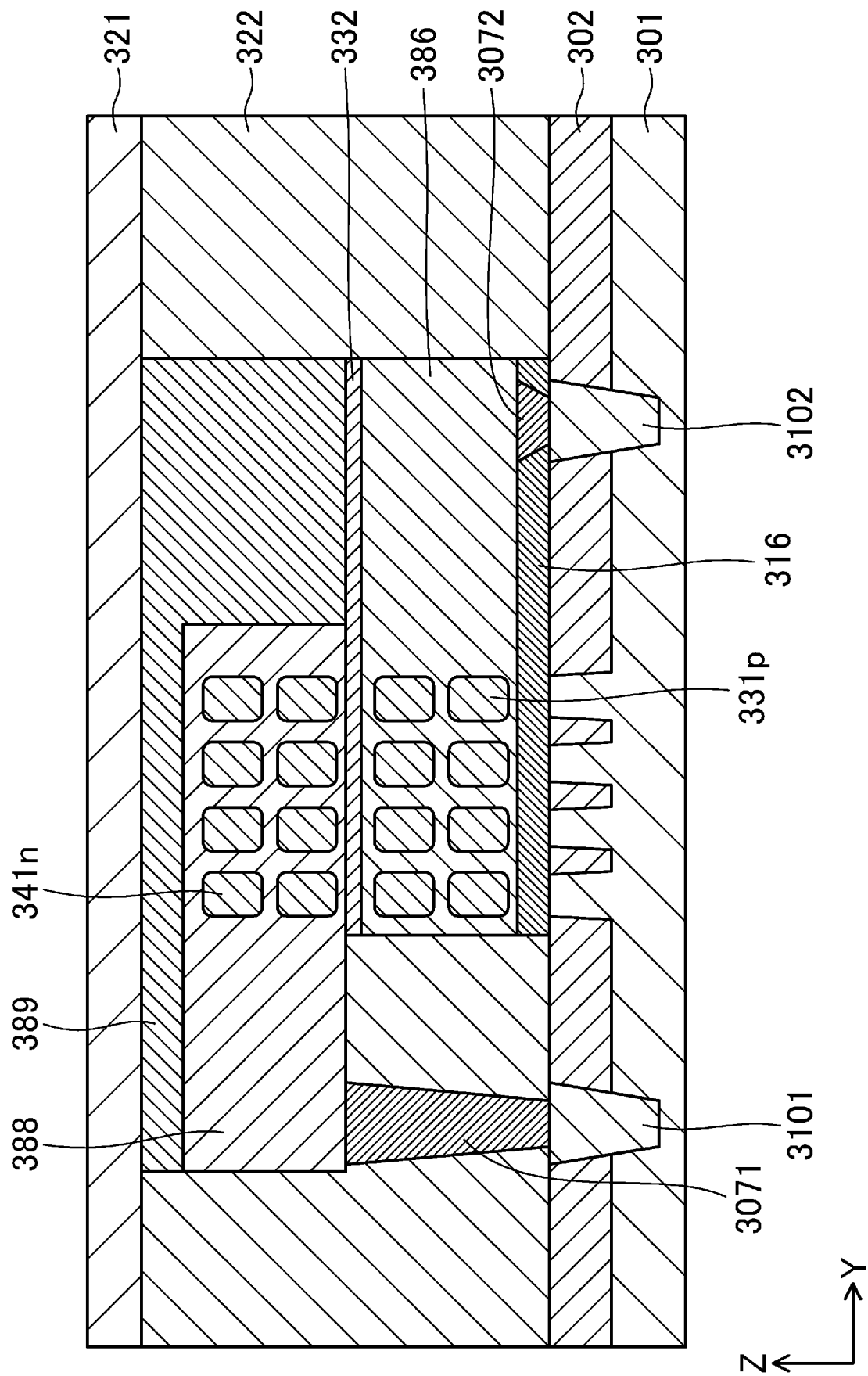
[図10]



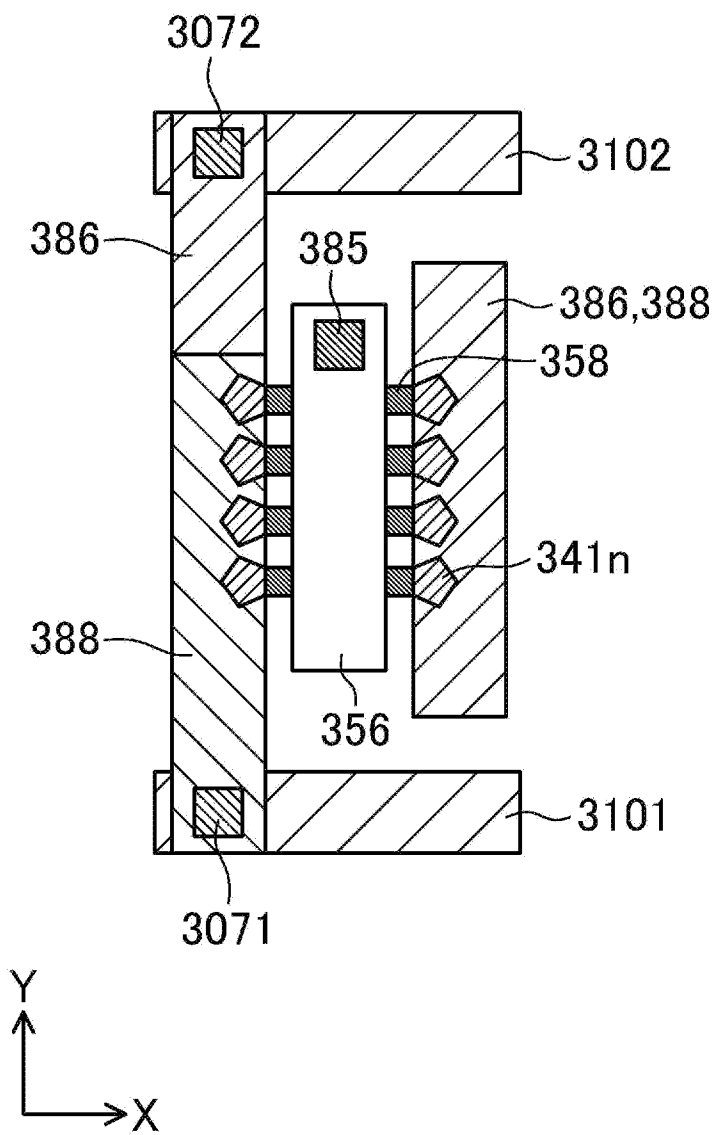
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/042396

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/82 (2006.01) i, H01L21/336 (2006.01) i, H01L21/822 (2006.01) i, H01L21/8238 (2006.01) i, H01L27/04 (2006.01) i, H01L27/092 (2006.01) i, H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/82, H01L21/336, H01L21/822, H01L21/8238, H01L27/04, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-32839 A (TOSHIBA MICROELECTRONICS CORP.) 03 February 2005, entire text, all drawings (Family: none)	1-15
A	US 2016/0211276 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 21 July 2016, entire text, all drawings & CN 106206732 A	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25.11.2019

Date of mailing of the international search report
03.12.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/042396

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-505995 A (INTEL CORPORATION) 06 March 2014, entire text, all drawings & US 2012/0138886 A1, entire text, all drawings & EP 2942817 A1 & SG 190373 A1 & CN 103238208 A & KR 10-2013-0108410 A	1-15
A	WO 2018/150913 A1 (SOCIONEXT INC.) 23 August 2018, entire text, all drawings (Family: none)	1-15
A	US 2018/0197788 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 12 July 2018, entire text, all drawings (Family: none)	1-15
A	JP 2017-22302 A (RENESAS ELECTRONICS CORP.) 26 January 2017, entire text, all drawings & US 2017/0018502 A1, entire text, all drawings	1-15
A	JP 9-139429 A (NIPPON STEEL CORPORATION) 27 May 1997, entire text, all drawings & US 2001/0000632 A1, entire text, all drawings	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/82(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8238(2006.01)i,
H01L27/04(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/82, H01L21/336, H01L21/822, H01L21/8238, H01L27/04, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-32839 A (東芝マイクロエレクトロニクス株式会社) 2005.02.03, 全文, 全図 (ファミリーなし)	1-15
A	US 2016/0211276 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 2016.07.21, 全文, 全図 & CN 106206732 A	1-15

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.11.2019

国際調査報告の発送日

03.12.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-505995 A (インテル コーポレーション) 2014.03.06, 全文, 全図 & US 2012/0138886 A1, 全文, 全図 & EP 2942817 A1 & SG 190373 A1 & CN 103238208 A & KR 10-2013-0108410 A	1-15
A	WO 2018/150913 A1 (株式会社ソシオネクスト) 2018.08.23, 全文, 全図 (ファミリーなし)	1-15
A	US 2018/0197788 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2018.07.12, 全文, 全図 (ファミリーなし)	1-15
A	JP 2017-22302 A (ルネサスエレクトロニクス株式会社) 2017.01.26, 全文, 全図 & US 2017/0018502 A1, 全文, 全図	1-15
A	JP 9-139429 A (新日本製鐵株式会社) 1997.05.27, 全文, 全図 & US 2001/0000632 A1, 全文, 全図	1-15