



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

203478

(11) (B1)

(51) Int. Cl.³
G 11 C 7/00

/22/ Přihlášeno 25 09 78
/21/ /PV 6200-78/
/23/ Právo přednosti od 13 09 78
Mezinárodní strojírenský veletrh
Brno 1978

(40) Zveřejněno 30 06 80

(45) Vydáno 15 12 82

(75)

Autor vynálezu

BARTOŇEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing.
a STRONER PETR ing., PRAHA

(54) Zapojení pro dvojí zápis a čtení výkonné paměti

Vynález se týká zapojení pro dvojí zápis a čtení výkonné paměti, to znamená naplňování výkonné paměti datovými signály a jejich čtení ve dvou pracovních cyklech. Jedná se o záznam dat vysílaných z centrálního bloku do výkonné paměti a zpětné čtení těchto dat pro využití v centrálním bloku. Využívá se při kontrole správného datového sledu uloženého v paměti. Délka ukládaných datových slov je větší, nežli je schopna přenést spojová cesta.

Dosud známá zapojení jsou dosti náročná na počet spojových cest. Vzhledem k tomu, že je třeba mít k dispozici vždy předem adresu buňky výkonné paměti, je třeba zajistit, aby adresa předcházela zapisované nebo čtené data. Tento požadavek doposud vede ke složitým spojovým cestám, u nichž se zvyšuje možnost chybného přenosu informace. Problém je složitější s růstem délky informace zapisované nebo čtené z výkonné paměti. Délka dat ukládaných do výkonné paměti úměrně zvyšuje nároky na řízení zápisu a čtení, a též nároky na spojové cesty. Známa zapojení podobného charakteru řeší problém poměrně složitě tak, že adresu posílají po zvláštní spojové cestě. Data se posílají po dalších speciálních spojových cestách. Řízení takovýchto zapojení je poměrně složité.

Tyto nedostatky odstraňuje zapojení pro dvojí zápis a čtení výkonné paměti, jehož podstata spočívá v tom, že první výstup centrálního bloku je spojen s ovládacím vstupem pátého hradlovacího bloku. Druhý hromadný vstup pátého hradlovacího bloku je spojen s hromadným výstupem druhého střadače a s druhým vstupem prvního hradlovacího bloku. Hromadný výstup prvního hradlovacího bloku je spojen s hromadným vstupem první vyrovnávací paměti. Hromadný výstup první vyrovnávací paměti je spojen s prvním hromadným vstupem výkonné paměti. První hromadný výstup výkonné paměti je spojen s hromadným vstupem třetího hradlovacího bloku. Hromadný výstup třetího hradlovacího bloku je spojen s druhým hromadným vstupem prvního součtového bloku. První ovládací vstup třetího hradlovacího bloku je spojen s druhým

ovládacím vstupem čtvrtého hradlovacího bloku a se třetím výstupem centrálního bloku. Jedenáctý výstup centrálního bloku je spojen s ovládacím vstupem šestého hradlovacího bloku. První hromadný výstup šestého hradlovacího bloku je spojen s prvním hromadným vstupem prvního součtového bloku.

Hromadný výstup prvního součtového bloku je spojen s hromadným vstupem druhého střádače. Zápisový vstup druhého střádače je spojen s desátým výstupem centrálního bloku. Druhý hromadný výstup centrálního bloku je spojen s hromadným vstupem šestého hradlovacího bloku. Druhý hromadný výstup šestého hradlovacího bloku je spojen s prvním hromadným vstupem druhého součtového bloku. Druhý hromadný vstup druhého součtového bloku je spojen s hromadným výstupem čtvrtého hradlovacího bloku. Hromadný výstup druhého součtového bloku je spojen s hromadným vstupem prvního střádače.

Zápisový vstup prvního střádače je spojen s druhým výstupem centrálního bloku. Druhý hromadný vstup centrálního bloku je spojen s hromadným výstupem pátého hradlovacího bloku. První hromadný vstup pátého hradlovacího bloku je spojen s hromadným výstupem prvního střádače a s hromadným vstupem druhého hradlovacího bloku. Hromadný výstup druhého hradlovacího bloku je spojen s hromadným vstupem druhé vyrovnávací paměti.

První hromadný výstup druhé vyrovnávací paměti je spojen s prvním hromadným vstupem adresovacího bloku. Hromadný výstup adresovacího bloku je spojen s třetím hromadným vstupem výkonné paměti. Třetí hromadný výstup výkonné paměti je spojen s hromadným vstupem hlavního střádače. Hromadný výstup hlavního střádače je spojen s prvním hromadným vstupem centrálního bloku. Pátý výstup centrálního bloku je spojen s řídicím vstupem druhé vyrovnávací paměti. Druhý hromadný výstup druhé vyrovnávací paměti je spojen s druhým hromadným vstupem výkonné paměti.

Druhý hromadný výstup výkonné paměti je spojen s hromadným vstupem čtvrtého hradlovacího bloku. První ovládací vstup čtvrtého hradlovacího bloku je spojen s prvním ovládacím vstupem druhého hradlovacího bloku a s druhým výstupem řídicího bloku. První výstup řídicího bloku je spojen s prvním stavovým vstupem centrálního bloku. Druhý stavový vstup centrálního bloku je spojen se čtvrtým výstupem řídicího bloku. Hodinový vstup řídicího bloku je spojen se šestým výstupem centrálního bloku.

Šedým výstup centrálního bloku je spojen s ovládacím vstupem adresovacího bloku. Druhý hromadný vstup adresovacího bloku je spojen s prvním hromadným výstupem centrálního bloku. Osmý výstup centrálního bloku je spojen s ovládacím vstupem hlavního střádače. Čtvrtý výstup centrálního bloku je spojen s druhým ovládacím vstupem druhého hradlovacího bloku a s prvním ovládacím vstupem prvního hradlovacího bloku. Druhý ovládací vstup prvního hradlovacího bloku je spojen s druhým ovládacím vstupem třetího hradlovacího bloku a se třetím výstupem řídicího bloku. Devátý výstup centrálního bloku je spojen s ovládacím vstupem první vyrovnávací paměti.

Výhoda zapojení pro dvojí zápis a čtení výkonné paměti spočívá v tom, že centrální blok je spojen dvěma spojovými cestami s výkonnou pamětí. Délka přenášených datových slov je kratší, nežli je délka datových slov výkonné paměti. K zápisu a čtení výkonné paměti se používá spojových cest, které jsou standardně k dispozici. Obsah výkonné paměti se využívá k další činnosti a funkci centrálního bloku. Datový sled, uložený ve výkonné paměti, může být například převeden do pevné paměti typu ROM a pak standardně využíván. Pro kontrolu a použití v činnosti centrálního bloku slouží třetí výstup výkonné paměti. Zapojení podle vynálezu dále umožňuje provést jednoduše změnu dat na libovolné adrese výkonné paměti, jejich opravy nebo případnou kontrolu.

Příklad zapojení pro dvojí zápis a čtení výkonné paměti podle vynálezu je znázorněn v blokovém schématu na připojeném výkresu. První výstup Q11 centrálního bloku 1 je spojen s ovládacím vstupem hradlovacího bloku 13. Centrální blok je sestaven z logických obvodů,

a to klopných obvodů, čítačů, hradel, multiplexorů a dalších logických členů realizovaných jako integrované obvody. Všechny hradlovací bloky 9, 10, 11, 12, 13, 14 jsou vytvořeny z logických dvouvstupových hradel. Druhý vstup 134 pátého hradlovacího bloku 13 je spojen s hromadným výstupem 33 druhého střádače 3. Hromadný vstup 91 prvního hradlovacího bloku 9 je spojen s hromadným výstupem 33 druhého střádače 3.

Hromadný výstup 94 prvního hradlovacího bloku 9 je spojen s hromadným vstupem 41 první vyrovnávací paměti 4. První vyrovnávací paměť 4 je stejná jako druhá vyrovnávací paměť 5 a je sestavena z integrovaných klopných obvodů. Hromadný výstup 43 vyrovnávací paměti 4 je spojen s hromadným vstupem 61 výkonné paměti 6. Výkonná paměť 6 je sestavena z integrovaných polovodičových pamětí typu RAM. První hromadný výstup 64 výkonné paměti 6 je spojen s hromadným vstupem 113 třetího hradlovacího bloku 11.

První ovládací vstup 111 třetího hradlovacího bloku 11 je spojen jednak se druhým ovládacím vstupem 122 čtvrtého hradlovacího bloku 12 a jednak se třetím výstupem 013 centrálního bloku 1. Jedenáctý výstup 021 centrálního bloku 1 je spojen s ovládacím vstupem 142 šestého hradlovacího bloku 14. První hromadný výstup 143 šestého hradlovacího bloku 14 je spojen s prvním hromadným vstupem 161 prvního součtového bloku 16.

Oba součtové bloky 16 a 17 jsou stejného typu a jsou sestaveny z logických hradel s výstupem realizovaným jako otevřený kolektor. Hromadný výstup 163 prvního součtového bloku 16 je spojen s hromadným vstupem 31 druhého střádače 3. Zápisový vstup 32 druhého střádače 3 je spojen s desátým výstupem 020 centrálního bloku 1. Druhý hromadný výstup 026 centrálního bloku 1 je spojen s hromadným výstupem 141 šestého hradlovacího bloku 14. Druhý hromadný výstup 144 šestého hradlovacího bloku 14 je spojen s prvním hromadným vstupem 171 druhého součtového bloku 17.

Hromadný výstup 173 druhého součtového bloku 17 je spojen s hromadným vstupem 23 prvního střádače 2. První střádač 2 je stejného typu jako druhý střádač 3 a je sestaven z integrovaných obvodů střádačového typu. Zápisový vstup 22 prvního střádače 2 je spojen s druhým výstupem 012 centrálního bloku 1. Druhý hromadný vstup 027 centrálního bloku 1 je spojen s hromadným výstupem 131 pátého hradlovacího bloku 13. První hromadný vstup 133 pátého hradlovacího bloku 13 je spojen s hromadným výstupem 21 prvního střádače 2 a s hromadným vstupem 103 druhého hradlovacího bloku 10.

Hromadný výstup 104 druhého hradlovacího bloku 10 je spojen s hromadným vstupem 53 druhé vyrovnávací paměti 5. První hromadný výstup 51 druhé vyrovnávací paměti 5 je spojen s prvním hromadným vstupem 82 adresovacího bloku 8. Adresovací blok 8 je sestaven z logických členů realizujících funkci logického součtu. Hromadný výstup 81 adresovacího bloku 8 je spojen s třetím hromadným vstupem 63 výkonné paměti 6. Třetí hromadný výstup 66 výkonné paměti 6 je spojen s hromadným vstupem 71 hlavního střádače 7.

Hlavní střádač 7 je realizován částečně z logických hradel a částečně z klopných obvodů. Hromadný výstup 72 hlavního střádače 7 je spojen s prvním hromadným vstupem 025 centrálního bloku 1. Pátý výstup 015 centrálního bloku 1 je spojen s ovládacím vstupem 54 druhé vyrovnávací paměti 5. Druhý hromadný výstup 52 druhé vyrovnávací paměti 5 je spojen s druhým hromadným vstupem 62 výkonné paměti 6. Druhý hromadný výstup 65 výkonné paměti 6 je spojen s hromadným vstupem 123 čtvrtého hradlovacího bloku 12.

První ovládací vstup 121 čtvrtého hradlovacího bloku 12 je spojen jednak s prvním ovládacím vstupem 101 druhého hradlovacího bloku 10, jednak s druhým výstupem 152 řídicího bloku 15. Řídicí blok 15 je sestaven jednak z logických hradel, jednak z obvodů řadičového typu. První výstup 151 řídicího bloku 15 je spojen s prvním stavovým vstupem 022 centrálního bloku 1. Druhý stavový vstup 023 centrálního bloku 1 je spojen se čtvrtým výstupem 154 řídicího bloku 15. Hodinový vstup 155 řídicího bloku 15 je spojen se šestým výstupem 016 centrálního bloku 1. Sedmý výstup 017 centrálního bloku 1 je spojen s ovládacím vstupem 84

adresovacího bloku 8. Druhý hromadný vstup 83 adresovacího bloku 8 je spojen s prvním hromadným výstupem 024 centrálního bloku 1. Osmý výstup 018 centrálního bloku 1 je spojen s ovládacím vstupem 73 hlavního střádače 7. Čtvrtý výstup 014 centrálního bloku 1 je spojen jednak s druhým ovládacím vstupem 102 druhého hradlovacího bloku 10, jednak s prvním ovládacím vstupem 92 prvního hradlovacího bloku 9. Druhý ovládací vstup 93 prvního hradlovacího bloku 9 je spojen jednak s druhým ovládacím vstupem 112 třetího hradlovacího bloku 11, jednak se třetím výstupem 153 řídícího bloku 15.

Devátý výstup 019 centrálního bloku 1 je spojen s ovládacím vstupem 42 první pomocné paměti 4. Hromadný výstup 124 čtvrtého hradlovacího bloku 12 je spojen s druhým hromadným vstupem 172 druhého součtového bloku 17. Hromadný výstup 114 třetího hradlovacího bloku 11 je spojen s druhým hromadným vstupem 162 prvního součtového bloku 16.

Zapojení pro dvojí zápis a čtení výkonné paměti pracuje takto: Centrální blok 1 může ukládat data do výkonné paměti 6 přes svůj druhý hromadný výstup 026, který vede data do hromadného vstupu 141 šestého hradlovacího bloku 14. Dále se vedou data buď do prvního součtového bloku 16 na jeho první hromadný vstup 161 - nebo do druhého součtového bloku 17 přes jeho první hromadný vstup 171, a to z prvního hromadného výstupu 143 nebo ze druhého hromadného výstupu 144 šestého hradlovacího bloku 14, a to podle stavu jeho ovládacího vstupu 142, který je řízen z jedenáctého výstupu 021 centrálního bloku 1.

Součtové bloky 16 a 17 umožňují postup dat buď směrem z centrálního bloku 1 nebo směrem z výkonné paměti 6. Z výkonné paměti 6 se data dostávají do součtových členů 16 a 17 přes jejich druhé hromadné vstupy 162 a 172. Do hromadného vstupu 23 prvního střádače 2 přicházejí data z hromadného výstupu 173 druhého součtového bloku 17. Podobně do hromadného vstupu 31 druhého střádače 3 přicházejí data z hromadného výstupu 163 prvního součtového bloku 16. První střádač 2 je řízen přes svůj zápisový vstup 22 z druhého výstupu 012 centrálního bloku 1.

Druhý střádač 3 je řízen přes svůj zápisový vstup 32 z desátého výstupu 020 centrálního bloku 1. Z hromadného výstupu 21 prvního střádače 2 se vedou data do druhého hradlovacího bloku 10 přes jeho hromadný vstup 103 a do prvního hromadného vstupu 133 pátého hradlovacího bloku 13. Z hromadného výstupu 33 druhého střádače 3 se vedou data jednak do prvního hradlovacího bloku 9 přes jeho hromadný vstup 91 a jednak do druhého hromadného vstupu 134 pátého hradlovacího bloku 13. Pátý hradlovací blok 13 je řízen přes svůj ovládací vstup 132 z prvního výstupu 011 centrálního bloku 1.

Podle stavu prvního výstupu 011 centrálního bloku 1 se na hromadném výstupu 131 pátého hradlovacího bloku 13 objevují data z prvního střádače 2 nebo ze druhého střádače 3 a vstupují do druhého hromadného vstupu 027 centrálního bloku 1. První hradlovací blok 9 je řízen přes svůj první ovládací vstup 92 společně s druhým hradlovacím blokem 10, přes jeho druhý ovládací vstup 102, ze čtvrtého výstupu 014 centrálního bloku 1. Stav čtvrtého výstupu 014 centrálního bloku 1 určuje, zda se budou data pohybovat směrem k oběma vyrovnávacím pamětím 4 a 5.

První hradlovací blok 9 je dále řízen přes svůj druhý ovládací vstup 93 ze třetího výstupu 153 řídícího bloku 15. Třetí výstup 153 řídícího bloku 15 ovládá též třetí hradlovací blok 11 přes jeho druhý ovládací vstup 112. Druhý hradlovací blok 10 je dále řízen přes svůj první ovládací vstup 101 signálem ze druhého výstupu 152 řídícího bloku 15. Druhý výstup 152 řídícího bloku 15 ovládá též přes první ovládací vstup 121 čtvrtý hradlovací blok 12.

Stav třetího výstupu 013 centrálního bloku 1 řídí přes první ovládací vstup 111 třetí hradlovací blok 11 a současně řídí čtvrtý hradlovací blok 12 přes jeho druhý ovládací vstup 122. Stav třetího hradlovacího výstupu 013 centrálního bloku 1 určuje směr pohybu dat z vyrovnávacích pamětí 4 a 5 do přiřazeného prvního a druhého střádače 2 a 3. První a druhý hradlovací blok 9 a 10 umožňují postup dat směrem z prvního střádače 2 a ze druhého střáda-

že 3 do přiřazené první a druhé vyrovnávací paměti 4 a 5. Třetí a čtvrtý hradlovací blok 11 a 12 umožňují postup dat směrem z přiřazených vyrovnávacích pamětí 4 a 5 do odpovídajícího prvního a druhého střádače 2 a 3. Stav na druhém výstupu 152 řídicího bloku 15 a třetím výstupu 153 řídicího bloku 15 určuje, zda centrální blok 1 právě spolupracuje s prvním střádačem 2 nebo s druhým střádačem 3. Druhý výstup 152 řídicího bloku 15 otvírá cestu do prvního střádače 2 a třetí výstup 153 řídicího bloku 15 otvírá cestu do druhého střádače 3.

Druhou podmínkou, zda jde o spojení do nebo z vyrovnávacích pamětí 4 a 5, určuje centrální blok 1. Data z hromadného výstupu 94 prvního hradlovacího bloku 2 se přesouvají do hromadného vstupu 41 první vyrovnávací paměti 4. Řízení první vyrovnávací paměti 4 se uskutečňuje přes její ovládací vstup 42 signálem z devátého výstupu 019 centrálního bloku 1. Data z hromadného výstupu 43 první vyrovnávací paměti 4 se přesouvají do prvního hromadného vstupu 61 výkonné paměti 6.

Data z hromadného výstupu 104 druhého hradlovacího bloku 10 se přesouvají do hromadného vstupu 53 druhé vyrovnávací paměti 5, řízené přes její ovládací vstup 54 signálem z pátého výstupu 015 centrálního bloku 1. Z druhého hromadného výstupu 52 druhé vyrovnávací paměti 5 se data přesouvají do druhého hromadného vstupu 62 výkonné paměti 6. Z hromadného výstupu 51 druhé vyrovnávací paměti 5 se data dostávají do prvního hromadného vstupu 82 adresovacího bloku 8. Z hromadného výstupu 81 adresovacího bloku 8 jde informace o adrese a ovládání výkonné paměti 6 do jejího třetího hromadného vstupu 63.

Druhý hromadný vstup 83 adresovacího bloku 8 dostává informaci z prvního hromadného výstupu 024 centrálního bloku 1. Tímto prvním hromadným výstupem 024 lze volit přímo adresu výkonné paměti 6. Řízení adresovacího bloku 8 se uskutečňuje přes jeho ovládací vstup 84. Adresovací blok 8 je řízen signály ze sedmého výstupu 017 centrálního bloku 1. Řídicí blok 15 vysílá na svém prvním výstupu 151 a na svém čtvrtém výstupu 154 signály pro centrální blok 1, a to přes jeho první stavový vstup 022 a přes jeho druhý stavový vstup 023. Šestý výstup 016 centrálního bloku 1 vysílá do hodinového vstupu 155 řídicího bloku 15 základní pulsy určující činnost tohoto řídicího bloku 15.

Výkonná paměť 6 má celkem tři hromadné výstupy 64, 65, 66. Třetí hromadný výstup 66 výkonné paměti 6 uvolňuje data do hromadného vstupu 71 hlavního střádače 7, který je ovládán signály z osmého výstupu 018 centrálního bloku 1. Tyto signály se vedou do ovládacího vstupu 73 hlavního střádače 7. Těmito signály se uvolňují data z hlavního střádače 7 na jeho hromadný výstup 72 a zavádí se data do prvního hromadného vstupu 025 centrálního bloku 1. První hromadný výstup 64 výkonné paměti 6 vede část dat do hromadného vstupu 113 třetího hradlovacího bloku 11. Tato data dále postupují z hromadného výstupu 114 třetího hradlovacího bloku 11 do hromadného vstupu 162 prvního součtového bloku 16. Ze druhého hromadného výstupu 65 výkonné paměti 6 se vede druhá část dat do hromadného vstupu 123 čtvrtého hradlovacího bloku 12. Z hromadného výstupu 124 čtvrtého hradlovacího bloku 12 se data přesouvají do hromadného vstupu 172 druhého součtového bloku 17.

Zapojení pro dvojí zápis a čtení výkonné paměti se využije v řídicích jednotkách pro řízení obráběcích strojů nebo pro ovládání a řízení obráběcích center.

PŘEDMĚT VYNÁLEZU

Zapojení pro dvojí zápis a čtení výkonné paměti, vyznačující se tím, že první výstup (011) centrálního bloku (1) je spojen s ovládacím vstupem (132) pátého hradlovacího bloku (13), jehož druhý hromadný vstup (134) je spojen s hromadným výstupem (33) druhého střádače (3) a s hromadným vstupem (91) prvního hradlovacího bloku (9), jehož hromadný výstup (94) je spojen s hromadným vstupem (41) první vyrovnávací paměti (4), jejíž hromadný výstup (43) je spojen s prvním hromadným vstupem (61) výkonné paměti (6), jejíž první hromadný výstup (64) je spojen s hromadným vstupem (113) třetího hradlovacího bloku (11), jehož hromadný výstup (114) je spojen s druhým hromadným vstupem (162) prvního součtového bloku (16) a první ovládací vstup (111) třetího hradlovacího bloku (11) je spojen s druhým ovládacím vstupem (122) čtvrtého hradlovacího bloku (12) a se třetím výstupem (013) centrálního bloku (1), jehož jedenáctý výstup (021) je spojen s ovládacím vstupem (142) šestého hradlovacího bloku (14), jehož první hromadný výstup (143) je spojen s prvním hromadným vstupem (161) prvního součtového bloku (16), jehož hromadný výstup (163) je spojen s hromadným vstupem (31) druhého střádače (3), jehož zápisový vstup (32) je spojen s desátým výstupem (020) centrálního bloku (1), jehož druhý hromadný výstup (026) je spojen s hromadným vstupem (141) šestého hradlovacího bloku (14), jehož druhý hromadný výstup (144) je spojen s prvním hromadným vstupem (171) druhého součtového bloku (17), jehož druhý hromadný vstup (172) je spojen s hromadným výstupem (124) čtvrtého hradlovacího bloku (12) a hromadný výstup (173) druhého součtového bloku (17) je spojen s hromadným vstupem (23) prvního střádače (2), jehož zápisový vstup (22) je spojen s druhým výstupem (012) centrálního bloku (1), jehož druhý hromadný vstup (027) je spojen s hromadným výstupem (131) pátého hradlovacího bloku (13), jehož první hromadný vstup (133) je spojen s hromadným výstupem (21) prvního střádače (2) a s hromadným vstupem (103) druhého hradlovacího bloku (10), jehož hromadný výstup (104) je spojen s hromadným vstupem (53) druhé vyrovnávací paměti (5), jejíž první hromadný výstup (51) je spojen s prvním hromadným vstupem (82) adresovacího bloku (8), jehož hromadný výstup (81) je spojen se třetím hromadným vstupem (63) výkonné paměti (6), jejíž třetí hromadný výstup (66) je spojen s hromadným vstupem (71) hlavního střádače (7), jehož hromadný výstup (72) je spojen s prvním hromadným vstupem (025) centrálního bloku (1), jehož pátý výstup (015) je spojen s řídicím vstupem (54) druhé vyrovnávací paměti (5), jejíž druhý hromadný výstup (52) je spojen s druhým hromadným vstupem (62) výkonné paměti (6), jejíž druhý hromadný výstup (65) je spojen s hromadným vstupem (123) čtvrtého hradlovacího bloku (12), jehož první ovládací vstup (121) je spojen s prvním ovládacím vstupem (101) druhého hradlovacího bloku (10) a s druhým výstupem (152) řídicího bloku (15), jehož první výstup (151) je spojen s prvním stavovým vstupem (022) centrálního bloku (1), jehož druhý stavový vstup (023) je spojen se čtvrtým výstupem (154) řídicího bloku (15), jehož hodinový vstup (155) je spojen se šestým výstupem (016) centrálního bloku (1), jehož sedmý výstup (017) je spojen s ovládacím vstupem (84) adresovacího bloku (8), jehož druhý hromadný vstup (83) je spojen s prvním hromadným výstupem (024) centrálního bloku (1), jehož osmý výstup (018) je spojen s ovládacím vstupem (73) hlavního střádače (7) a čtvrtý výstup (014) centrálního bloku (1) je spojen s druhým ovládacím vstupem (102) druhého hradlovacího bloku (10) a s prvním ovládacím vstupem (92) prvního hradlovacího bloku (9), jehož druhý ovládací vstup (93) je spojen s druhým ovládacím vstupem (112) třetího hradlovacího bloku (11) a se třetím výstupem (153) řídicího bloku (15), přičemž devátý výstup (019) centrálního bloku (1) je spojen s ovládacím vstupem (42) první vyrovnávací paměti (4).

1 list výkresů

