

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>6</sup>

H01L 21/56

(45) 공고일자 1999년02월01일

(11) 등록번호 특0161653

(24) 등록일자 1998년08월25일

(21) 출원번호 특1995-007882

(65) 공개번호 특1996-002710

(22) 출원일자 1995년03월31일

(43) 공개일자 1996년01월26일

(30) 우선권주장 94-141584 1994년06월23일 일본(JP)

(73) 특허권자 샤프 가부시끼가이샤 쓰지 하루오

일본국 오사카후 오사카시 아베노구 나가이케조 22반 22고

(72) 발명자 오소노 미쓰아끼

일본국 나라켄 사꾸라이시 가이주 413-3

타지마 나오유끼

일본국 나라켄 기따가쓰라기군 간마끼조 가타오까다이 3-1 54-402

모리 가쓰노부

일본국 나라켄 나라시 산조오미야조 2-16-613

(74) 대리인 백덕열, 이태희

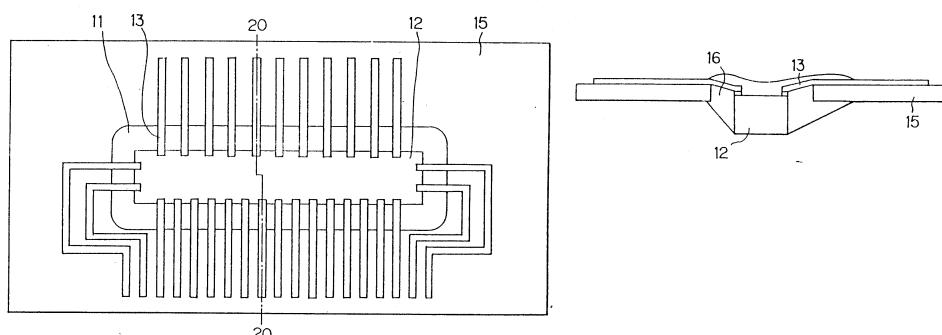
**심사관 : 정희환**

**(54) 테이프 캐리어 패키지 반도체장치**

**요약**

반도체장치에 접착된 대향하는 내측 리드 어레이를 갖는 TCP(테이프 캐리어 패키지)에 있어서, 돌출부(들)가 수지가 유출되도록 하는 범위내에서, 반도체의 일측상에 멀리 떨어진 간격으로 배치된 각 내측 리드에 제공된다.

**대표도**



**명세서**

[발명의 명칭]

테이프 캐리어 패키지 반도체장치

[도면의 간단한 설명]

제1a도는 TCP 반도체장치에 사용된 종래 캐리어테이프의 패턴의 평면도이다.

제1b도는 제1a도에 보인 캐리어를 경화수지로 밀봉시킨 TCP 반도체장치의 단면도이다.

제2도는 다른 종래 캐리어테이프의 문제를 설명하기 위한 캐리어 테이프패턴을 보인 부분 확대평면도이다.

제3도는 종래 개량된 캐리어 테이프패턴을 보인 평면도이다.

제4a도는 본 발명의 1 실시예의 캐리어테이프 패턴의 평면도이다.

제4b도는 제4a도에 보인 캐리어를 경화수지로 밀봉시킨 TCP 반도체장치의 단면도이다.

제5도는 테이프 캐리어 패키지 반도체장치의 제조단계를 보인 흐름도이다.

제6도는 본 발명의 다른 실시예의 캐리어테이프 패턴의 평면도이다.

제7도는 본 발명의 또 다른 실시예의 캐리어테이프 패턴의 평면도이다.

제8도는 본 발명의 또 다른 실시예의 캐리어테이프 패턴의 평면도이다.

제9도는 본 발명의 또 다른 실시예의 캐리어테이프 패턴의 평면도이다.

제10도는 내측 리드의 간극면적과 밀봉수지의 넓이간의 상관관계를 보인 도면이다.

#### \* 도면의 주요부분에 대한 부호의 설명

1 : 디바이스홀	2 : 반도체침
3 : 내측 리드	4 : 돌출부
5 : 캐리어테이프	6 : 밀봉수지

#### [발명의 상세한 설명]

본 발명은 반도체침이 테이프 캐리어 패키지의 형태로 패킹되어 있는 테이프 캐리어 패키지 반도체장치(이하, TCP 반도체장치라 함)에 관한 것이다.

제1b도는 종래 TCP 반도체장치에 사용된 캐리어테이프의 패턴의 평면도이다. 제1b도는 캐리어테이프를 무용제형태의 수지로 밀봉시킨 캐리어 테이프를 사용하는 TCP 반도체장치의 제1a도의 20-20선의 단면도이다. 제1a도 및 제1b도에서, 반도체장치는 반도체침(12), 내측리드(13), 디바이스홀(11)을 갖는 캐리어 테이프(15) 및 밀봉수지(16)로 구성된다.

종래 TCP 반도체장치에 있어서, 제1a도에 보인 바와 같이, 반도체침(12)상의 도시되지 않은 패드에 내측리드(13)들이 접착된다. 그 후, 밀봉수지(16)가 그위에 도포된다. 도포된 밀봉수지는 수지도포의 대향측을 향해 디바이스홀(11)의 에지와 반도체침(12)의 에지사이에 형성된 간극을 통해 그의 중량으로 인해 아래로 흐른다.

제1a도에 보인 바와 같이 반도체침(12)의 다른 측면들에 제공된 패드(도시되지 않음)들의 수는 서로 잘 대응하지 않으며 다른 측면들상에 연결된 내측 리드(13)들의 수는 동일하지 않다. 또한, 각 내측 리드(13)는 일반적으로 서로 다른 폭을 갖는다. 따라서, 수지가 유출되도록 하는 스페이서는 각 변에서 상이하다.

이 수지가 직접 유출가능하도록 하는 스페이서의 차는 수지유출량의 차로 되어, 수지가 경화된후 도포면측의 형상을 불균일하게 한다. 즉, 제1b도에 보인 바와 같이, 밀봉수지(16)는 드문드문 제공된 내측 리드(13)간의 넓은 간극을 통해 대량으로 유출되는 반면 조밀하게 제공된 내측 리드(13)간의 좁은 간극을 통해서는 소량으로 유출된다. 상기 밀봉수지(16)의 유출량은, 밀봉수지(16)가 이 밀봉수지(16)의 유출 용이성을 나타내는 수지레벨링성이 일정하고 각 변에서의 디바이스홀(11)의 스페이서가 다른 변들상에 동일하게 할당될 경우 반도체침(12)의 각 변의 패드(12)(도시되지 않음)에 접착된 내측 리드(13)들간의 전체간극면적에 따라 변한다.

상기 이유로, 밀봉수지(16)가 제1a도에 보인 캐리어 테이프(15)의 패턴상의 도포의 배면측상에 균일하게 형성되는 것이 드물다. 즉, 보다 큰 스페이스를 갖는 변들을 따라 유출되는 대량의 수지, 즉 대량의 수지부가 도포 배면측의 영역들에 형성되어 TCP 반도체장치의 소형화 및 박형화를 억제한다. 한편, 소량의 수지가 제공되는 개소는 사이즈의 문제를 수반함은 물론 장치의 강도와 내습성등의 저하를 가져온다.

상기 문제를 해결하기 위해 여러 방법들이 제안되었다. 즉, 종래에는, 밀봉수지 배면을 지지하기 위해 수지유출측에 슬릿을 설치하고; 수지의 유출을 방지하기 위한 뎅을 형성하기 위해 요변성(틱소트로피성)이 있는 수지를 도포하며; 수지의 유출을 조절하기 위해 수지 배면을 지지하기 위한 프레임을 제공하고; 수지유출을 조절하기 위해 첨가되는 필러의 양 및 크기를 조절함으로써 수지의 점도를 조정한다.

또한, 수지의 누출을 방지하기 위해 일본 실용신안공개 소53-103,659호에는, 디바이스홀과 반도체침의 에지들간의 간극에 있어서의 그의 배면에 내측리드에 대한 캔틸레버식 돌출부를 제공하여 내측리드가 존재하지 않는 부분을 폐쇄하도록 하고 있다.

그러나, 상기 방법들은 공정수를 증가시킴으로써 수율의 저하 및 최종제품의 가격을 증대시키게 된다.

캔틸레버식 돌출부가 제공된 상기 일본 실용신안공개 소53-103,659호에 기술된 수단에는 상기 돌출부가 디바이스홀로 연장되어 있어 돌출부가 있는 리드부와 돌출부가 없는 리드부들간에 만곡도가 상이하게 된다. 이 구조는 리드부의 수지를 균열시킬 수 있다. 이 상황을 제2도의 부분확대도를 참조하여 설명한다. 수지유량은 내측리드(13)의 폭을 가변시켜 제어되기 때문에, 어떤 내측리드는 큰 폭을 갖고, 다른 내측리드는 각 내측리드(13)가 캐리어 테이프(15)의 에지에 연결되는 부분에서 작은 폭을 갖는다. 따라서, 내측리드(13)의 굽힘성이나 강성분포가 불균일하게 된다. 그 결과, 반도체침이 접착될 때 야기되는 응력이 특정 지점들(제2도에서 점선으로 둘러싸인 부분들)에 집중되기 쉬워, 내측리드(13)들이 파손될 수 있다. 따라서, 이 구조는 바람직하지 않다.

상기 종래 기술보다 개량된 방법으로, 내측리드(13)들이 드물게 제공되는 디바이스홀(11)의 간극의 크기를 기준으로, 내측리드(13)들이 조밀하게 제공되는 디바이스홀(11)의 간극의 크기가 결정되어 수지 유출량이 양 영역에서 동일하게 될수 있다. 이 방법은 수지영역의 제어성을 향상시켜 제품크기에 관한 문제를 제거한다. 그러나, 이와 같이 구성된 각 모델은 특정 디바이스홀(11)을 형성하기 위한 컷아웃다이를 필요로 하여 각 모델마다의 다이를 제조하기 위한 비용이 증가된다.

따라서, 본 발명의 목적은 추가 비용을 요하지 않고 또한 사용된 수지의 점도를 조정하지 않고 수지의 유출량이 제어될수 있는 TCP 반도체장치를 제공하는 것이다.

본 발명의 상기 목적은 본 발명의 하기 특징에 의해 달성될수 있다.

즉, 본 발명의 TCP 반도체장치는, 디바이스홀을 갖는 캐리어테이프; 디바이스홀 내측에 배치된 반도체 기판; 및 상기 반도체 기판의 캐리어테이프사이에 제공된 복수의 내측리드를 포함하며, 상기 반도체 기판의 제 1 변상에 배열된 내측리드들의 간격이 상기 반도체 기판의 제 2 변상에 배열된 내측리드들의 간격보다 크게 형성되도록 하면서 상기 반도체 기판의 제 1 및 제 2 변이 각각의 상기 디바이스홀의 대향 에지들로부터 같은 거리를 두도록 상기 반도체 기판이 상기 디바이스 내측에 배치될 때, 상기 반도체 기판의 제 1 변에서 상기 디바이스홀의 대향 에지까지의 범위에, 하나의 돌출부 또는 한쌍의 돌출부가 상기 제 1 변상의 각 내측리드의 일측 또는 양측에 제공된다.

본 발명의 TCP 반도체장치의 상기 구성에 있어서, 돌출부 말단의 형상이 인접한 내측리드의 것과 평행한 선으로 형성되는 것이 효과적이다. 또한, 상기 구성에 있어서, 제 1 변상의 내측리드들간의 전체 간극 면적이 제 2 측상의 내측리드들간의 전체 간극 면적과 같도록 돌출부들의 전체 면적이 결정되는 것이 바람직하다.

상기 구성에 의하면, 큰 간극으로 배치된 내측리드들에 제공된 돌출부들이 내측리드들간의 간극면적을 폐쇄하도록 하여 수지가 유출되도록 하는 공간을 감소시키며, 이에 따라, 유출수지량이 제어될수 있다.

본 발명을 실시예를 참조하여 상세히 설명하면 다음과 같다.

제4a도에는 본 발명의 실시예에 대한 캐리어테이프 패턴을 나타내는 평면도가 도시되어 있다. 제4b도에는 수지로 도포된 캐리어 테이프 패턴의 제4a도의 30-30선 단면도이다. 제5도는 테이프 캐리어 패키지 반도체장치의 제조단계를 보인 흐름도이다. 제6 내지 제9도에 도시된 각 구성은 반도체 칩(2), 돌출부(4)를 가진 내측 리드(3), 디바이스 홀(1)을 가진 캐리어 테이프(5) 및 밀봉 수지(6)로 구성된다.

본 발명의 특징은 밀봉 수지(6)의 유출량에 대한 제어가 내측 리드(3)에 대한 돌출부(4)를 제공함으로써 행해지는 것이다.

내측 리드(3)에 제공된 돌출부(4)는 제4a도와 제4b도 및 제6도 및 제8도에 도시된 어떤 형태로도 성형될 수 있지만, 인접한 내측 리드(3)에 대한 돌출부(4)에 의해 발생된 전계의 강도가 급격히 증가되지 않는 방식으로 형성되는 것이 바람직하다. 특히, 제4a도 및 제7도에 도시된 것처럼, 돌출부(4)의 말단의 형상은 인접한 내측 리드(3)의 그것과 평행한 직선으로 형성되는 것이 바람직하다.

반도체 장치(2)의 일측에서 인접한 내측 리드(3)를 사이의 거리에 대한 변형예가 가능하다면, 테이프 캐리어 패턴이 예를 들어 제9도에 도시된 것처럼, 돌출부(4)가 보다 넓은 공간에 대향하는 각각의 내측 리드(3)의 측면에 제공되도록 설계될 수 있다. 제9도에서, 양자 모두 긴 면들 상에 배열된 모든 내측 리드(3)에는 돌출부(4)가 제공된다. 이러한 구조를 통해 수지의 유출량에 대한 더욱 정확한 제어가 가능하게 된다.

돌출부(4)는 반도체 장치(2)의 에지외 접촉하지 않도록 그리고 돌출부에 대한 전위차를 가지는 인접한 내측 리드(3)와 접하지 않도록 한 크기를 가져야 한다. 또한 이웃하는 내측 리드(3) 사이의 절연 저항이 적어도 <sup>10</sup>Ω 이상을 갖도록 요망된다.

모든 내측 리드(3)와 반도체 칩(2)을 피복하는데 필요하고도 충분한 밀봉 수지(6)의 최소량이 수지의 적정량으로 결정된다. 용융된 상태에 있는 밀봉 수지의 알맞은 정도는 80포와즈(poise) 이상, 바람직하게는 80 내지 100포와즈이다. 예폭시 수지, 실리콘 수지 및 폴리아미드 수지 등과 같은 밀봉 수지(6)로서 이용되는 것이 바람직하다. 무용제 수지가 밀봉 수지(6)로서 이용되는 경우에 대한 실시예가 설명되었지만, 심지어 용제를 포함하는 수지일지라도 이 수지가 전술한 범위에 있는 정도를 가지고 있는한 밀봉 수지(6)로서 이용될 수 있다. 이용된 수지는 대략 6 내지 8.5mm의 레벨성을 가지고 있다. 여기에서 이용된 레벨링성은 밀봉 수지(6)의 10mg 방울이 'UPILEX' (UBE INDUSTRY, LTD.의 상표명)로 칭하는 재료 위에 제공될 때, 수지의 스프레드 영역의 직경으로 표시된다.

본 발명의 TCP 반도체장치는 제5도에 도시된 제조 단계에 의해 제조된다. 즉, 웨이퍼 테스팅 단계(S1), 웨이퍼 다이싱 단계(S2), 웨이퍼 검사 단계(S3) 및 테이프 로드 검사 단계(S4)를 마친 후, 제4a도 및 제4b도에 도시된 것처럼, (내측 리드 접착 단계(S5)에서, 내측 리드(3)가 반도체 칩(2)에 접착된다. 이와 같이 접착된 내측 리드는 단계 S6에서 검사된다. 그 후, 상온에서 200 내지 1500포와즈의 정도를 갖는 수지는 단계 S7에서 접착된 내측 리드를 가진 반도체 칩(2)을 밀봉하는데 제공된다. 이와 같이 제공된 수지는 5 내지 60분 동안 100 내지 180°C의 온도에서 단계 S8에서 가경화(pre-cured)된다. 그 다음, 이 경화된 재료가 2 내지 12시간동안 100 내지 180°C의 온도에서 경화되는 S9에서 경화처리가 실시된다. 최종적으로, 이 제품은 단계 S10에서 마크공정을 행하고 단계 S11에서 외관 검사를 행한다.

제10도에서는 내측 리드의 간극면적과 밀봉 수지의 스프레드 사이의 상관 관계가 도시되어 있다. 본 발명의 TCP 반도체 장치는, 반도체 칩 각 장변의 길이가 13.12mm이고 반도체 칩의 에지로부터 디바이스 홀의 에지까지의 거리가 0.1mm이며 간극면적이 돌출부(4)에 의해 24% 감소되고, 60개의 내측 리드가 0.24mm<sup>2</sup>의 돌출부를 갖는 상태에서, 상기구조가 밀봉수지로 피복되고 15분 동안 145°C의 온도에서 경화되도록 제조된다. 도포수지의 배면측의 수지 범위는, 상기 형성된 제품의 서로 동일 간격으로 배열되는 내측리드를 구비하나 돌출부(4)가 없는 캐리어 테이프(5)를 사용하는 종래의 제품의 수지 범위에 비해 55% 감소될 수 있다. 제10도에서, 획축은 내측 리드가 돌출부를 가지지 않을 때 수지의 유출을 허용하는 전체 영역에 대한 내측리드가 돌출부를 가질 때 수지의 유출을 허용하는 전체 영역의 비율을 나타낸다. 수직축은 반도체 칩(2)의 에지로부터의 밀봉 수지(6)의 스프레드 길이를 나타낸다.

여기에서, 본 발명을 제2도에 도시된 종래 구조와 비교할 때, 종래의 내측 리드(13)는 캐리어 테이프(15)의 에지로부터 디바이스 홀(11)의 중앙으로의 넓은 부분을 가지는 반면, 본 발명의 내측 리드(3)는 디바이스 홀(1)의 범위 내에서만 하나 또는 다수의 돌출부(4)를 갖는다.

상전술한 바와 같이, 본 발명은 다음과 같은 효과를 갖는다.

본 발명에 따르면, 밀봉 수지의 두께의 불균일성은 종래의 구조와 비교할 때 도포면층 및 도포배면층의 양측에서 억제될 수 있기 때문에, 설계된 수지 치수를 갖는 제품을 안정적으로 제공할 수 있다. 따라서,

지정된 수지 범위를 초과하는 밀봉 수지의 스프레드 및 수지 두께의 오프-스페시피케이션(off-specification)과 같은 외관 결함이 감소될 수 있다. 더욱이, 종래의 구성에서, 수지는 부분적으로 유출하여, 수지 두께가 지나치게 줄어든 영역을 갖는 부분을 형성한다. 이것은 기계적인 스트레스로 인해 균열을 야기할 수 있다. 이에 반해, 본 발명의 제품은, 밀봉 수지가 균일하게 형성되기 때문에 내균열성 및 방습성에서 향상된다. 또한, 대량 생산의 생산성 및 수율이 향상되어 최종 제품의 비용을 줄일 수 있다.

도포물의 배면으로의 수지의 유출량이 제어될 수 있기 때문에, 수지의 사용량을 최소로 억제시킬 수 있다. 그러므로, 제품의 외부크기는 액정 드라이버 같은 장치를 소형화할 수 있게 작아진다. 또한 수지가 경제적으로 사용되어 비용을 감소시킨다.

특정 변들상의 도포수지량을 조정하기 위해 수지의 도포압력과 수지의 드로임 속도에 대한 제어가 통상적으로 요망되나, 이들 모든 요망사항들이 불필요하여 처리시간이 단축될 수 있다.

더욱이 본 발명에 따라 인접하는 내측 리드 사이의 전계의 강도의 급속한 증대를 억제할 수 있고, 또한 도포면과 그 배면 양쪽에서 수지를 균일한 양으로 제어하여 이용할 수 있다. 본 발명의 특징은 매우 효과적이다.

### (57) 청구의 범위

#### 청구항 1

디바이스홀을 갖는 캐리어테이프; 디바이스홀내측에 배치된 반도체 기판; 및 상기 반도체 기판의 캐리어테이프사이에 제공된 복수의 내측리드를 포함하며, 상기 반도체 기판의 제 1 변상에 배열된 내측리드들의 간격이 상기 반도체 기판의 제 2 변상에 배열된 내측리드들의 간격보다 크게 형성되도록 하면서 상기 반도체 기판의 제 1 및 제 2 변이 각각의 상기 디바이스홀의 대향 에지들로부터 같은 거리를 두도록 상기 반도체 기판이 상기 디바이스 내측에 배치될 때, 상기 반도체 기판의 제 1 변에서 상기 디바이스홀의 대향 에지까지의 범위에, 하나의 돌출부 또는 한쌍의 돌출부가 상기 제 1 변상의 각 내측리드의 일측 또는 양측에 제공되는 테이프 캐리어 패키지 반도체 장치.

#### 청구항 2

제1항에 있어서, 상기 돌출부의 말단부의 형상이 인접한 내측리드의 것과 평행한 선으로 형성되는 테이프 캐리어 패키지 반도체 장치.

#### 청구항 3

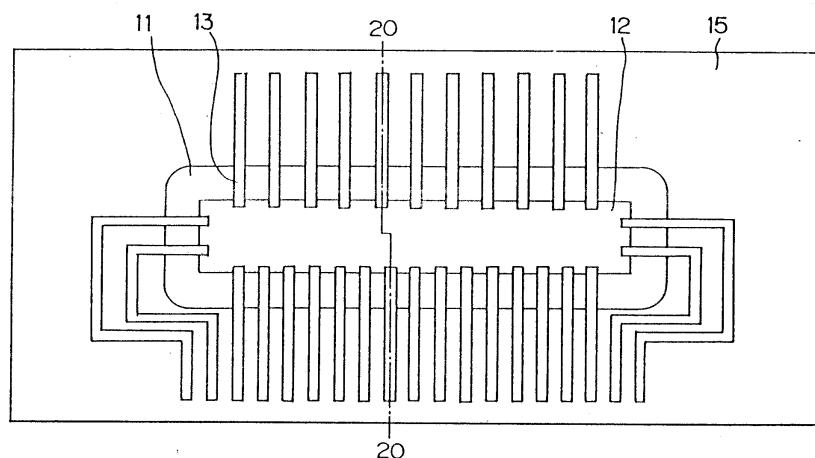
제1항에 있어서, 상기 제 1 변상의 내측리드들간의 전체 간극 면적이 제 2 변상의 내측리드들간의 전체 간극 면적과 같도록 돌출부들의 전체 면적이 결정되는 테이프 캐리어 패키지 반도체 장치.

#### 청구항 4

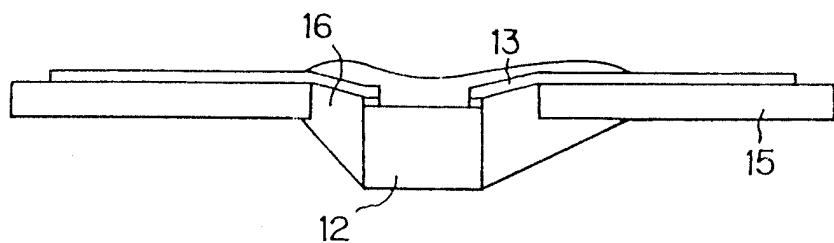
제1항에 있어서, 상기 반도체 기판의 제 1 변에서 상기 디바이스홀의 대향 에지까지의 범위에, 하나의 돌출부 또는 한쌍의 돌출부가 상기 제 2 변상의 각 내측리드의 일측 또는 양측에 제공되는 테이프 캐리어 패키지 반도체 장치.

#### 도면

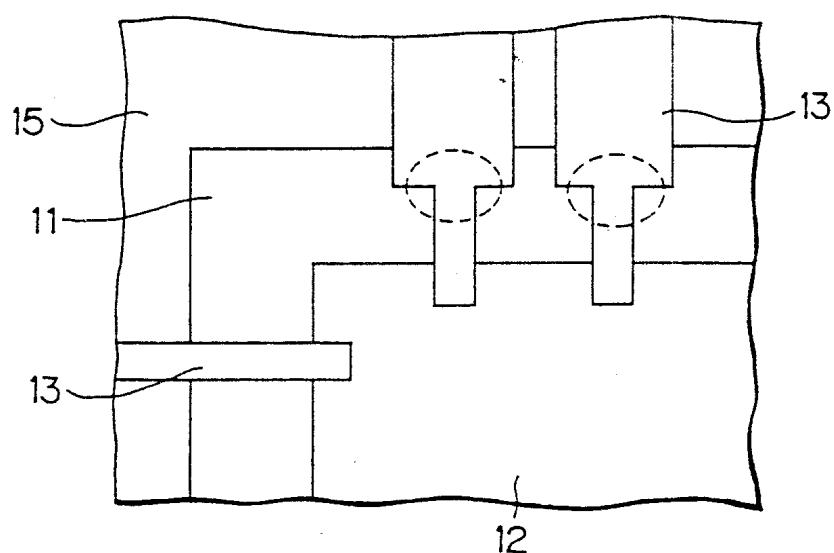
##### 도면 1a



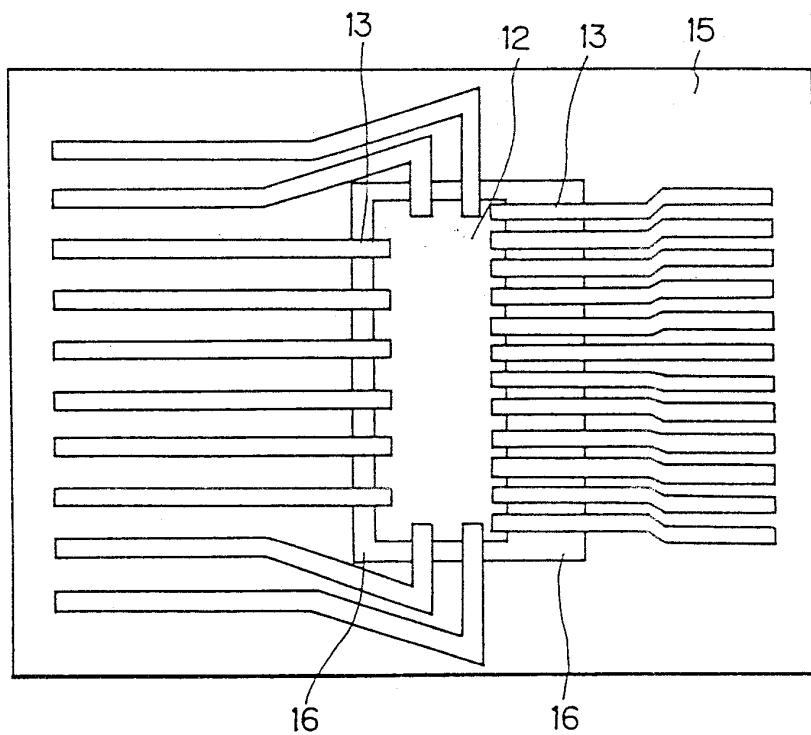
도면1b



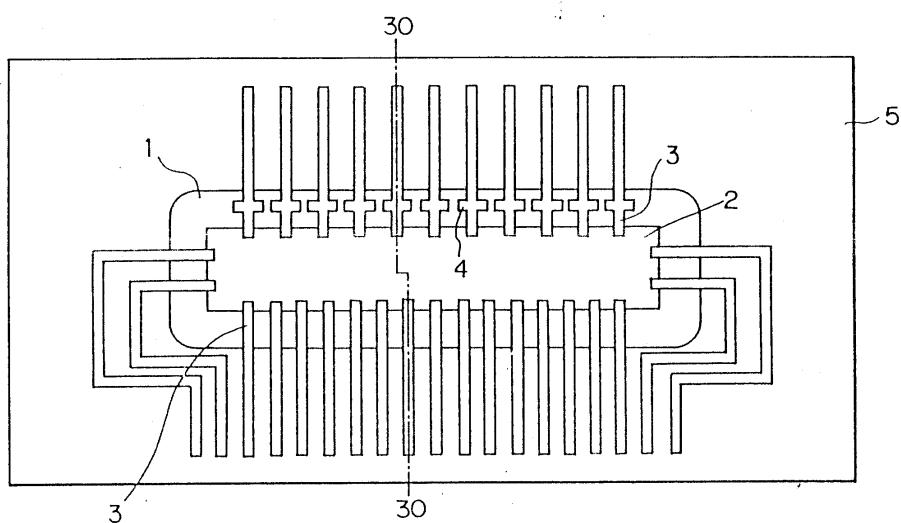
도면2



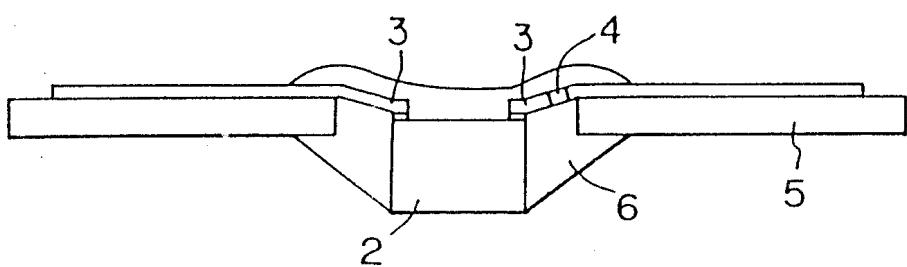
도면3

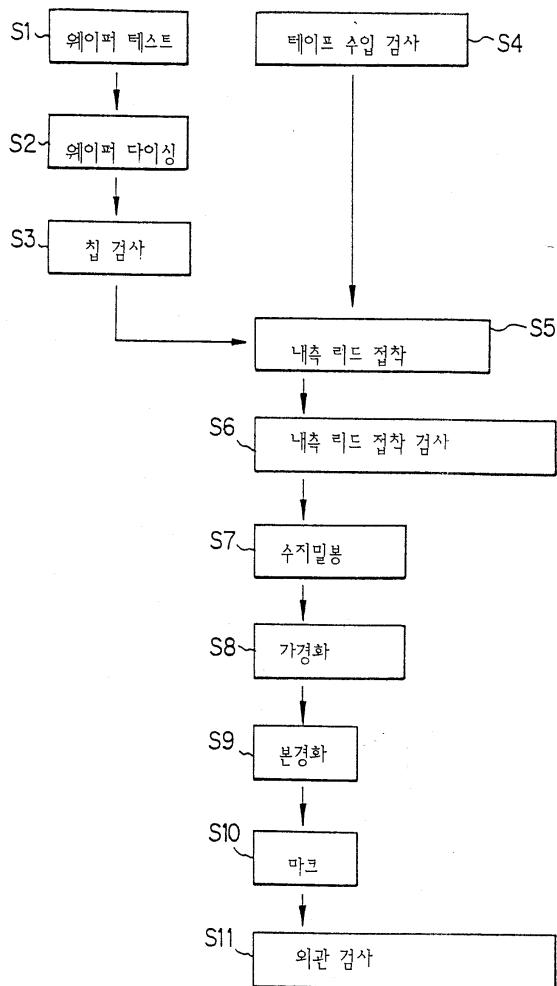
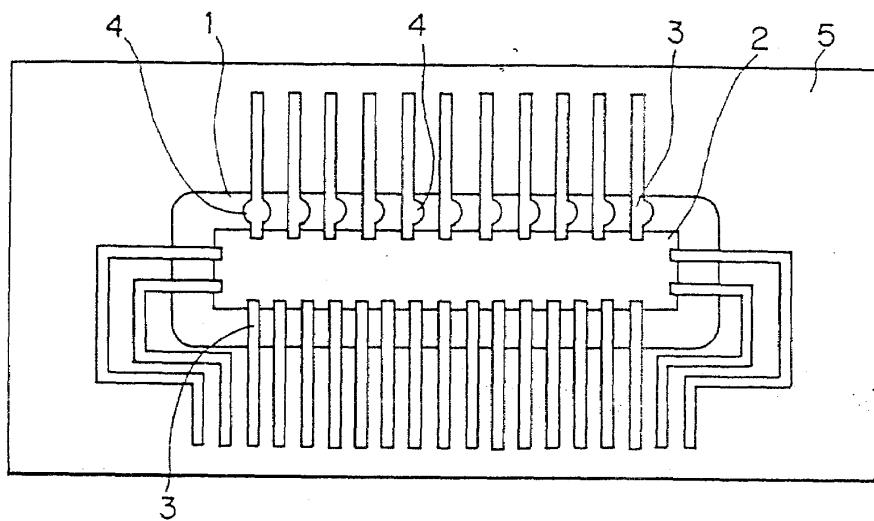


도면4a

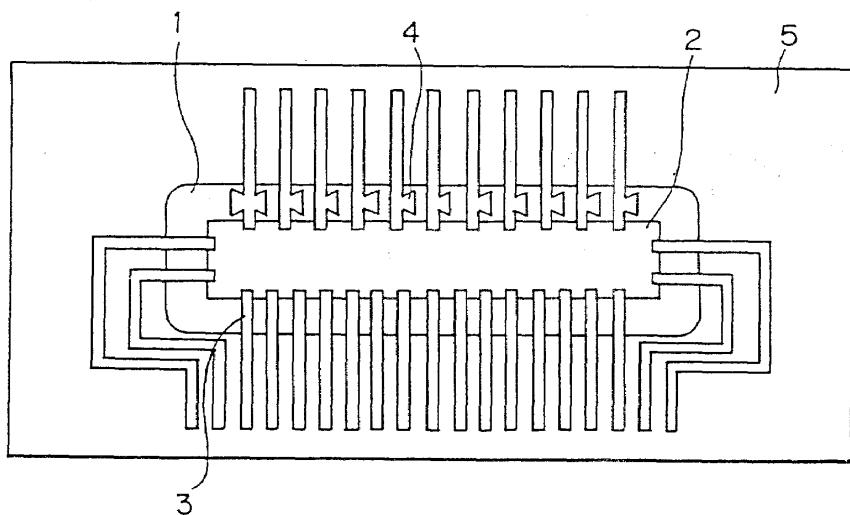


도면4b

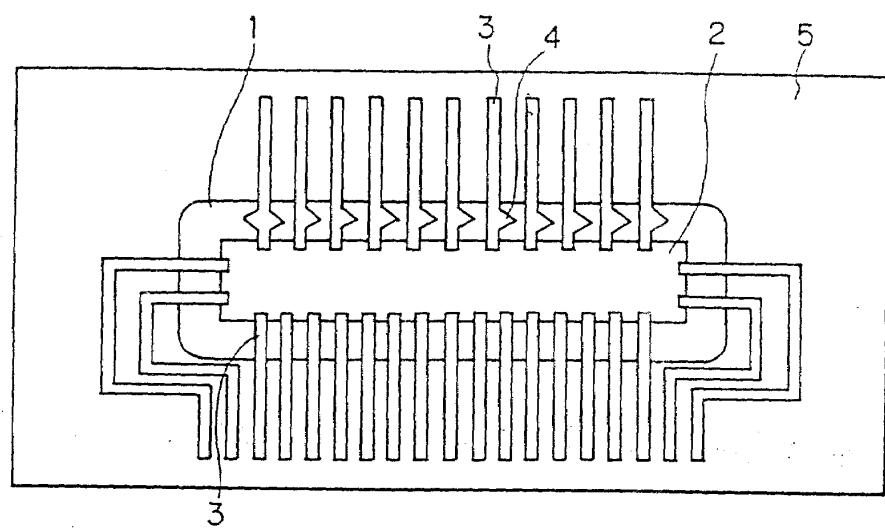


**도면5****도면6**

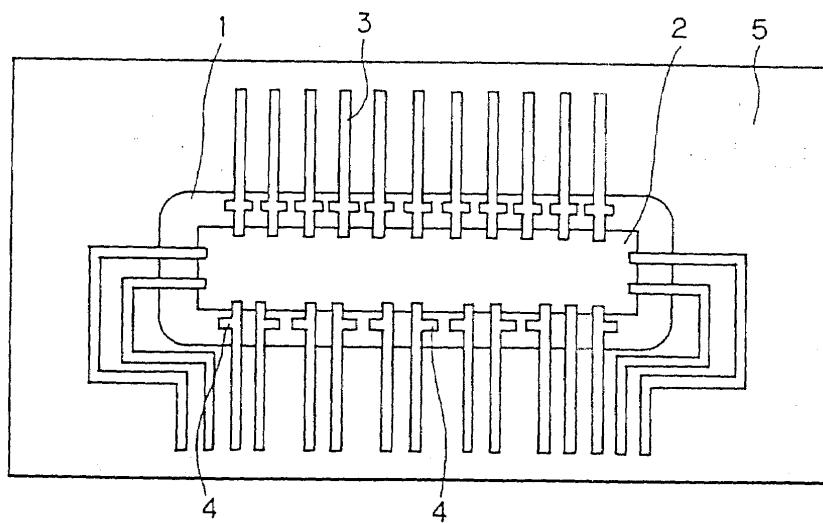
도면7



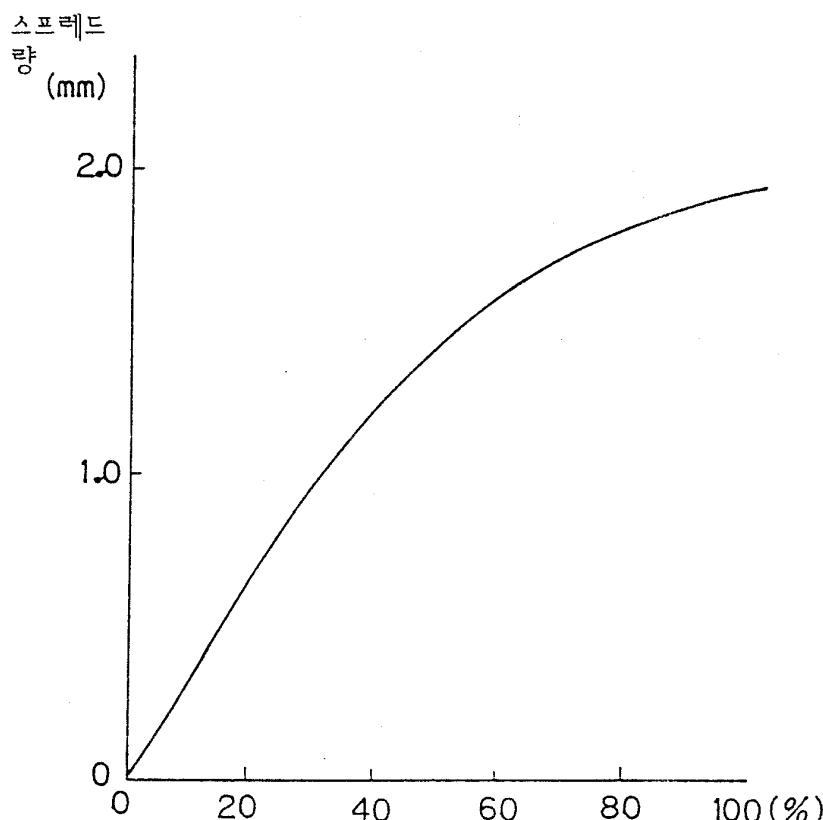
도면8



도면9



도면10



돌출부가 설치된 경우의 수지 유출가능 면적

돌출부가 설치되지 않은 경우의 수지 유출가능 면적