

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/077909 A1

PCT

(43) 国際公開日
2011 年 6 月 30 日(30.06.2011)

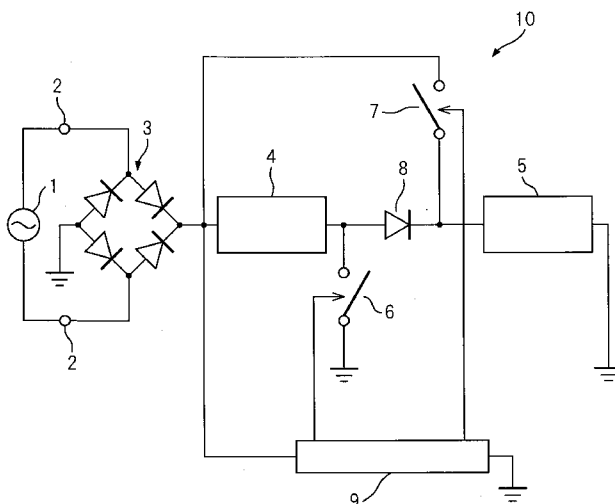
- (51) 国際特許分類:
H01L 33/00 (2010.01)
- (21) 国際出願番号: PCT/JP2010/071420
- (22) 国際出願日: 2010 年 11 月 24 日(24.11.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-291231 2009 年 12 月 22 日(22.12.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): シチズンホールディングス株式会社 (CITIZEN HOLDINGS CO., LTD.) [JP/JP]; 〒1888511 東京都西東京市田無町六丁目 1 番 1 2 号 Tokyo (JP). シチズン電子株式会社 (CITIZEN ELECTRONICS CO., LTD.) [JP/JP]; 〒4030001 山梨県富士吉田市上暮地一丁目 2 3 番 1 号 Yamanashi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 秋山 貴 (AKIYAMA, Takashi) [JP/JP]; 〒4030001 山梨県富士吉田市上暮地一丁目 2 3 番 1 号シチズン電子株式会社内 Yamanashi (JP).
- (74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目 5 番 1 号 虎ノ門 3 7 森ビル青和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LED DRIVE CIRCUIT

(54) 発明の名称: LED 駆動回路

図1



ダイオードを有することを特徴とする。

(57) Abstract: Disclosed is an LED drive circuit, which is low cost, small, and capable of efficiently eliminating a through current between a plurality of LED groups. The LED drive circuit has: a rectifier; a first LED group that includes a plurality of LEDs; a second LED group that includes a plurality of LEDs; a connecting unit, which connects the first and the second LED groups to the rectifier in series, or connects the first and the second LED groups to the rectifier in parallel; a control unit, which controls the connecting unit, and switches the connection of the first and the second LED groups to the rectifier from the parallel connection to the series connection; and a diode, which is disposed between the first LED group and the second LED group, and which eliminates the reverse direction current.

(57) 要約: 安価で小型化が可能であると共に、複数のLED群間の貫通電流を効率良く防止することを可能としたLED駆動回路を提供することを目的とする。LED駆動回路は、整流器と、複数のLEDを含む第1のLED群と、複数のLEDを含む第2のLED群と、整流器に対して第1及び第2のLED群を直列に接続又は整流器に対して第1及び第2のLED群を並列に接続する接続部と、接続部を制御して第1及び第2のLED群を整流器に対して並列接続から直列接続に切り換える制御部と、第1のLED群と第2のLED群との間に配置された逆方向電流防止用の



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称

L E D 駆動回路

技術分野

本発明は、L E D 駆動回路に関し、特に、交流電源を利用した効率の良いL E D 発光を行うためのL E D 駆動回路に関する。

背景技術

商用電源から供給される交流電源を全波整流するブリッジダイオードから出力される整流電圧を直列接続した複数個のL E D に印加して、複数個のL E D を発光させる照明用発光L E D 駆動回路が知られている（例えば、特許文献1 参照）。

L E D では、順方向降下電圧（ V_f ）以上の電圧がL E D に印加された場合に、順方向電流（ I_f ）にはほぼ比例した光度の発光がなされる。したがって、複数のL E D を直列に n 個接続した場合には、 $n \times V_f$ 以上の電圧が複数のL E D に印加された場合に、複数のL E D が発光する。また、商用電源から供給される交流電流を全波整流するブリッジダイオードから出力される整流電圧は、商用電源周波数の2 倍の周期で、0 v から最大出力電圧までの変化を繰り返す。したがって、整流電圧が、 $n \times V_f$ 以上となった場合のみ、複数のL E D が発光するが、 $n \times V_f$ 未満では、複数のL E D は発光しない。この場合、照明器具として利用するにはL E D の発光期間（発光デューティ）が短くなり光度が不足するという不具合があった。

そこで、このような不具合を解消する一つの方法として、整流電

圧を電解コンデンサ等を利用して平滑化した後に複数のＬＥＤへ供給するということが考えられる。しかしながら、ＬＥＤの熱によって電解コンデンサが劣化し、ＬＥＤ自体の寿命が尽きる前に、電解コンデンサを含むＬＥＤ駆動回路が劣化してしまう可能性があった。このようなＬＥＤ駆動回路では、例えば、点灯４００００ｈを超えるＬＥＤ自体の寿命の特性を生かすことができないという不具合があった。

他の方法として、スイッチングレギュレータ等のＡＣ－ＤＣコンバータを利用して、商用電源の交流出力をＤＣへ変換してから複数のＬＥＤへ供給するということが考えられる。しかしながら、ＡＣ－ＤＣコンバータを含むＬＥＤ駆動回路は回路が大規模になり、安価に製造できないという不具合があった。また、ＡＣ－ＤＣコンバータから発生するノイズを遮断するために追加の処理や部材が必要となり、さらにそのようなＬＥＤ駆動回路のコストがアップするという不具合があった。

そこで、複数のＬＥＤを４つのグループ（グループＡ（２個）、グループＢ（４個）、グループＣ（８個）、グループＤ（１６個））に分けるＬＥＤ駆動回路が知られている（例えば、特許文献２参照）。このＬＥＤ駆動回路では、印加電圧が低い場合には、グループＡのみに電圧を印加し、電圧が高くなる毎に、グループＡとＢ、グループＡ～Ｃ、最も電圧が高い場合には４つの全てのグループに電圧が印加されるように制御している。

しかしながら、上記の例では、グループＡに属するＬＥＤが最も長期間点灯し、グループＤに属するＬＥＤが最も短時間点灯することとなる。グループ間の駆動条件が異なることから各ＬＥＤブロック間でＬＥＤの発光量の偏りが発生し、発光装置の照度ムラが生じたり、ＬＥＤの劣化スピードの偏りが発生したりするという不具合

があった。

これらの不具合に対応するため、各LEDブロックの点灯期間を等しく電源電圧に応じてLEDブロックの接続形態を並列にしたり直列にしたりする方法がある（例えば、特許文献3参照）。

図13は、特許文献3に記載される従来のLED駆動回路を示す図である。

図13に示すLED駆動回路500では、同一個数のLEDが同一結線されてなる2つのLEDアレイLA1及びLA2を、交流電源504を全波整流して得られた脈流電源により駆動している。LED駆動回路500では、2つのLEDアレイLA1及びLA2に印加される脈流電圧に対応する被比較電圧が所定の閾値電圧より低い間は、2つのLEDアレイLA1及びLA2による並列接続回路が構成され、閾値電圧以上にある間は2つのLEDアレイLA1及びLA2による直列接続回路を構成される。

直列接続と並列接続とを切り替えるために、2つのLEDアレイLA1及びLA2間にはスイッチ回路が備えられているが、スイッチ回路では、貫通電流を招く危険がある。例えば、ダイオードブリッジ505の出力電圧が下降しているときに、インバータ508の出力がローレベルからハイレベルに変わると、有限の遅れをもってインバータ509の出力がハイレベルからローレベルに変わる。この遅れ期間においてはインバータ508及び509の出力が両方ともハイレベルになっているため、第1、第2及び第3のアナログスイッチ510、511及び512が全てオン（導通）している。このため第1、第2及び第3のアナログスイッチ510、511及び512を通して電流が流れてしまう（貫通電流）。この結果、アナログスイッチやダイオードブリッジなど回路素子の破壊を招いたり、商用電源系向かってノイズを発生したりするという不具合があった

。

また、アナログスイッチは入出力端子以外に制御用端子を備えているため、制御素子（インバータ 508 及び 509 等）や制御用端子と制御素子とを結ぶ配線が必要になる。さらに、アナログスイッチは、少なくとも 3 つの端子を必要とし、且つ高耐圧で低抵抗なアナログスイッチはダイサイズを小さくすることが難しい。したがって、回路の小型化、及び回路のコストダウンが難しいという不具合があった。

特許文献 1：特開平 7－273371（図 1）

特許文献 2：特開 2007－123562（図 1）

特許文献 3：特開 2009－283775（図 1）

発明の開示

そこで、本発明は、上記の問題点を解決することを目的とした LED 駆動回路を提供することを目的とする。

また、本発明は、安価で小型化が可能であると共に、複数の LED 群間の貫通電流を効率良く防止することを可能とした LED 駆動回路を提供することを目的とする。

さらに、本発明は、非発光期間を短くすると共に、LED 間で発光量の偏りや劣化スピードの偏りが少ない LED 駆動回路を提供することを目的とする。

本発明に係る LED 駆動回路は、整流器と、複数の LED を含む第 1 の LED 群と、複数の LED を含む第 2 の LED 群と、整流器に対して第 1 及び第 2 の LED 群を直列に接続又は整流器に対して第 1 及び第 2 の LED 群を並列に接続する接続部と、接続部を制御して第 1 及び第 2 の LED 群を整流器に対して並列接続から直列接続に切り換える制御部と、第 1 の LED 群と第 2 の LED 群との間

に配置された逆方向電流防止用のダイオードを有することを特徴とする。

本発明に係るLED駆動回路では、電解コンデンサ又はAC-DCコンバータを利用しないため、安価で且つ長寿命の駆動回路を構成することが可能となった。

また、本発明に係るLED駆動回路では、LEDの非発光期間を短くすることができるので、発光デューティを高めることが可能となった。

さらに、本発明に係るLED駆動回路では、複数のLEDを同じ駆動条件で駆動することが可能となるため、LED間で発光量の偏りがなくなり発光装置の照度ムラを発生しないようにし、劣化スピードに偏りを発生しないようにすることが可能となった。

さらに、本発明に係るLED駆動回路では、LED群とLED群との間に逆方向電流防止用のダイオードが配置されているので、複数のLED群間の貫通電流を効率良く防止することが可能となった。

図面の簡単な説明

図1は、LED駆動回路の概略説明図である。

図2は、図1に示すLED駆動回路の回路例100を示す図である。

図3は、図2の点Pにおける全波整流用ダイオードブリッジ回路3の出力電圧V1及び電流I1を示す図である。

図4は、図1に示すLED駆動回路の他の回路例110を示す図である。

図5は、図4の点Pにおける全波整流用ダイオードブリッジ回路3の出力電圧V1及び電流I1を示す図である。

図 6 は、他の L E D 駆動回路の概略説明図である。

図 7 は、図 6 に示す L E D 駆動回路の回路例 2 0 0 を示す図である。

図 8 は、図 7 の点 S における全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 及び電流 I_2 を示す図である。

図 9 は、図 6 に示す L E D 駆動回路の他の回路例 3 0 0 を示す図である。

図 1 0 は、定電流回路ユニットの一例を示す図である。

図 1 1 は、定電流回路ユニットを利用した場合の出力電圧及び電流を示す第 1 の図である。

図 1 2 は、定電流回路ユニットを利用した場合の出力電圧及び電流を示す第 2 の図である。

図 1 3 は、従来の L E D 駆動回路を示す図である。

発明を実施するための形態

以下図面を参照して、L E D 駆動回路について説明する。但し、本発明の技術的範囲はそれらの実施の形態に限定されず、特許請求の範囲に記載された発明とその均等物に及ぶ点に留意されたい。

図 1 は、L E D 駆動回路の概略説明図である。

L E D 駆動回路 1 0 は、図 1 に示す様に、商用電源（交流 1 0 0 V）1 と接続する接続端子 2、全波整流用ダイオードブリッジ回路 3、複数の L E D を含む第 1 L E D ブロック 4、複数の L E D を含む第 2 L E D ブロック 5、第 1 スイッチ 6、第 2 スイッチ 7、貫通電流を防止するための逆方向電流防止用ダイオード 8 及び制御回路 9 等から構成される。

第 1 L E D ブロック 4 及び第 2 L E D ブロック 5 は、 $V_f = 3.2 \text{ V}$ （消費電力 6 4 mW、光束 5 1 m）の白色 L E D を 1 6 個ずつ

直列に接続したものである。したがって、各LEDブロック単独では、印加電圧が発光最低電圧 V_{Bmin} ($51.2V = 3.2V \times 16$) 以上となった場合に、各ブロックに含まれるLEDが発光を開始することとなる。また、第1LEDブロック4及び第2LEDブロック5が直列に接続された場合には、印加電圧が発光最低電圧 $V_{Bmin} \times 2$ ($102.4V = 51.2V \times 2$) 以上となった場合に、両LEDブロックに含まれるLEDが発光を開始することとなる。

全波整流用ダイオードブリッジ回路3からの出力電圧は、概ね商用電源の電圧からダイオードブリッジによる電圧降下分を差し引いた電圧が出力される。しかしながら、LEDの最大許容電流 I_{max} に対するLEDの端子電圧を V_{max} とすると、全波整流用ダイオードブリッジ回路3からの出力電圧の実効値が、 $n \times V_{max}$ の値の近傍となるようにLEDの個数を定めた。この結果、本例では、 $n = 32$ 、即ち各ブロックのLEDの個数が16個（2ブロックの合計が32個）となるように設定した（なお、この場合、後述するように電流制限が必要となる）。

全波整流用ダイオードブリッジ回路3の出力は、商用電源1の周波数の2倍の周期で、0Vから最大出力電圧までの変化を繰り返している。そこで、制御回路9は、全波整流用ダイオードブリッジ回路3の出力電圧を検出し、 $V_{Bmin} \times 2$ 未満の場合には、第1スイッチ6及び第2スイッチ7をON（閉じる）として、全波整流用ダイオードブリッジ回路3に対して第1LEDブロック4及び第2LEDブロック5が並列に接続されるように制御し、両ブロックに含まれるLEDを点灯させる。なお、この場合、全波整流用ダイオードブリッジ回路3の出力電圧が発光最低電圧 V_{Bmin} 以上の場合に、両ブロックに含まれるLEDが点灯する。この時、逆方向電

流防止用ダイオード 8 は、電位の高い第 2 LED ブロック 5 から第 1 LED ブロック 4 に電流が逆流するのを防止するように作用する。

また、検出された全波整流用ダイオードブリッジ回路 3 の出力電圧が、 $V_{Bmin} \times 2$ 以上の場合には、第 1 スイッチ 6 及び第 2 スイッチ 7 を OFF（開く）として、全波整流用ダイオードブリッジ回路 3 に対して第 1 LED ブロック 4 及び第 2 LED ブロック 5 が直列に接続されるように制御し、両 LED ブロックに含まれる LED を点灯させる。この時、逆方向電流防止用ダイオード 8 は、電位の高い第 1 LED ブロック 4 から第 2 LED ブロック 5 に電流が流れるように作用する。

上述した様に、図 1 に示す LED 駆動回路では、全波整流用ダイオードブリッジ回路 3 の出力電圧が発光最低電圧 V_{Bmin} 以上となると、必ず、第 1 LED ブロック 4 及び第 2 LED ブロック 5 に含まれる全ての LED が点灯する。したがって、LED の非発光期間を短くすることができると共に、複数の LED を同じ駆動条件で駆動することが可能となる。この場合、LED 間で発光量の偏りがないため発光装置として照度ムラが発生しないようにでき、さらに LED 間で劣化スピードに偏りを発生しないようにすることが可能となった。また、第 1 及び第 2 LED ブロック 4 及び 5 が直列接続から並列接続に切り替わる瞬間を含めて、いかなるタイミングにおいても、第 2 LED ブロック 5 から第 1 LED ブロック 4 に向かって電流が流れることがないので、特許文献 3 に現れるような貫通電流が生じない。さらに、逆方向電流防止用ダイオード 8 は、2 端子型の受動素子であるから制御用の別素子や配線が無用となるので駆動回路の小型化やコストダウンに寄与できる。

図 2 は、図 1 に示す LED 駆動回路 1 の回路例 100 を示す図で

ある。なお、回路例 100 において、図 1 に示す LED 駆動回路 10 と同じ構成には同じ番号を付した。

回路例 100 の入力端子 2 は、商用交流電源と接続するためのものである。LED 駆動回路 10 が LED 電球に使用される場合には、LED 電球の口金として形成される。

全波整流用ダイオードブリッジ回路 3 は、4 つのダイオード D1 ~ D4 から構成される。なお、全波整流用ダイオードブリッジ回路 3 の代わりに、他の整流器を用いても良い。

第 1 スイッチ 6 及び第 2 スイッチ 7 は、MOSFET から構成され、ゲート電圧が GND となると OFF（開く）されるように設定されている。逆方向電流防止用ダイオード 8 は、シリコンダイオードで構成した。制御回路 9 は、全波整流用ダイオードブリッジ回路 3 の出力電圧 V1 を分圧するための抵抗 R2 及び R3、トランジスタ Q1 及びプルアップ用の抵抗 R1 から構成される。

V1 が発光最低電圧 $V_{Bmin} \times 2$ 以上となった場合、制御回路 9 は、全波整流用ダイオードブリッジ回路 3 の出力電圧 V1 を、抵抗 R2 及び R3 で分圧し、トランジスタ Q1 を ON として、第 1 スイッチ 6 及び第 2 スイッチ 7 の MOSFET のゲートを GND 電位とするように制御する。したがって、第 1 スイッチ 6 及び第 2 スイッチ 7 は OFF 状態となる。このとき、シリコンダイオード D5 は、電位の高い第 1 LED ブロック 4 から電位の低い第 2 LED ブロック 5 に電流を流すように作用する。このとき、第 1 LED ブロック 4 及び第 2 LED ブロック 5 は、全波整流用ダイオードブリッジ回路 3 に対して直列に接続されることとなる。

V1 が発光最低電圧 $V_{Bmin} \times 2$ 未満の場合、制御回路 9 は、全波整流用ダイオードブリッジ回路 3 の出力電圧 V1 を、抵抗 R2 及び R3 で分圧し、トランジスタ Q1 を ON とせず、第 1 スイッチ

6 及び第 2 スイッチ 7 の M O S F E T のゲートを、全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 と同じ電位に維持するように制御する。したがって、全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 が、第 1 L E D ブロック 4 及び第 2 L E D ブロック 5 が点灯する発光最低電圧 V_{Bmin} 以上では、第 1 スイッチ 6 及び第 2 スイッチ 7 は O N となり、第 1 L E D ブロック 4 及び第 2 L E D ブロック 5 は、全波整流用ダイオードブリッジ回路 3 に対して並列に接続されることとなる。

第 1 スイッチ 6 及び第 2 スイッチ 7 を O N として、第 1 L E D ブロック 4 及び第 2 L E D ブロック 5 が全波整流用ダイオードブリッジ回路 3 に対して並列に接続される場合、第 1 L E D ブロック 4 は、電流制限用の抵抗 R_{11} を介して全波整流用ダイオードブリッジ回路 3 と接続され、第 2 L E D ブロック 5 は、電流制限用の R_{14} を介して全波整流用ダイオードブリッジ回路 3 と接続されることとなる。

第 1 スイッチ 6 及び第 2 スイッチ 7 を O F F として、第 1 L E D ブロック 4 及び第 2 L E D ブロック 5 が全波整流用ダイオードブリッジ回路 3 に対して直列に接続される場合、第 1 L E D ブロック 4 及び第 2 L E D ブロック 5 は、電流制限用の抵抗 R_4 及び R_{14} を介して全波整流用ダイオードブリッジ回路 3 と接続されることとなる。ここで、各電流制限抵抗 R_4 、 R_{11} 、 R_{14} は、それぞれのブロックの電流を個々に制限できるように配置されている。 R_{11} 、 R_{14} は各ブロックが並列接続される場合の電流制限抵抗として作用し、ほぼ同値の抵抗値にあわせることで並列時の各ブロックの電流値が等しくなる。 R_4 は、直列接続時に R_{14} との和で、第 1 L E D ブロック 4 と第 2 L E D ブロック 5 が直列接続されている場合に作用する。 R_4 も各 L E D ブロックに流れる電流値が並列時と

ほぼ同じになるように調整する。

図 3 は、図 2 の点 P における全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 及び電流 I_1 を示す図である。

図 3 において、横軸は時間 T を示し、縦軸は電圧値又は電流値を示している。また、曲線 10 は、点 P における全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 を示し、曲線 11 は、点 P における電流 I_1 を示している。

時刻 T_1 において、出力電圧 V_1 が V_{Bmin} 以上となったので、LED ブロックに電流が流れ始めることから I_1 が立ち上がる。時刻 T_2 において出力電圧 V_1 が $V_{Bmin} \times 2$ 以上となったので、LED ブロックが直列に接続され、それに伴って I_1 が低下する。時刻 T_3 において、出力電圧 V_1 が $V_{Bmin} \times 2$ 未満となったので LED ブロックが並列に接続され、それに伴って I_1 が増加する。時刻 T_4 において、出力電圧 V_1 が V_{Bmin} 未満となったので、LED ブロックへ電流が流れなくなり、 I_1 が 0 となる。

図 3 に示すように、上述した状況が、商用電源の周波数の 2 倍の周期で繰り返される。また、 $T_1 \sim T_4$ の間で全ての LED ブロックが発光するので、全 LED の単位時間当たりの発光デューティは全ての LED で等しくなり、 $100 \times (T_4 - T_1) / (T_5 - T_0) \%$ となる。

図 4 は、図 1 に示す LED 駆動回路の他の回路例 110 を示す図である。

図 4 と図 2 との相違点は、全波整流用ダイオードブリッジ回路 3 の出力端に、電界コンデンサを利用しない平滑化回路 111 を追加した点のみである。他の構成は、図 2 に示した回路例 100 と同様であるので、説明を省略する。

平滑化回路 111 は、コンデンサ C_1 （例えば、セラミックコン

デンサで $4\ \mu\text{F}$ ）、ダイオード D_9 （例えば、シリコンダイオード）、抵抗 R_{31} （例えば、 $1\ \text{k}\Omega$ ）から構成される。なお、抵抗 R_{31} は、低電流ダイオードで置換することも可能である。

図 5 は、図 4 の点 P における全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 及び電流 I_1 を示す図である。

図 5 において、横軸は時間 T を示し、縦軸は電圧値又は電流値を示している。また、曲線 70 は、点 P における全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 を示し、曲線 71 は、点 P における電流 I_1 を示している。

以下、図 5 の波形を利用して図 4 に示す平滑化回路 111 の動作について説明する。

商用電源電圧（絶対値）が V_{Bmin} 以上となる期間（時刻 $T_1 \sim T_4$ 及び $T_6 \sim T_9$ ）は、電圧波形 70 は商用電源電圧の波形とほぼ同じ形となる。電圧波形 70 が商用電源電圧の波形と同じ形となっている期間において、電圧波形 70 のピークに達するまでは、ダイオード D_9 を通じてコンデンサ C_1 が充電される。電圧波形 70 がピークを過ぎると、コンデンサ C_1 は抵抗 R_{31} を介して放電する。しかしながら、コンデンサ C_1 が抵抗 R_{31} を介して放電する放電電流は、全波整流用ダイオードブリッジ回路 3 から第 1 LED ブロック 4 及び第 2 LED ブロック 5 へ流れ込む電流に比べて小さい。この結果、電流波形 71 は、図 3 に示す電流波形 11 とほぼ同じ形となる。したがって、コンデンサ C_1 の両端電圧は、点 P の電圧と概ね等しい。

商用電源電圧（絶対値）が V_{Bmin} 以上の値から V_{Bmin} へ近づくと（例えば、 T_3 から T_4 ）、全波整流用ダイオードブリッジ回路 3 から第 1 LED ブロック 4 及び第 2 LED ブロック 5 へ流れ込む電流が減り、コンデンサ C_1 からの放電電流の割合が高くな

る。さらに、商用電源電圧が急速に低下し、その一方でコンデンサ C 1 からの放電電流が続くと、全波整流用ダイオードブリッジ回路 3 はカットオフし、点 P の電圧波形 7 0 に放電曲線（例えば、時刻 T 4 ~ T 6）が現れる。

以上のように、コンデンサ C 1 が急速に充電し（例えば、時刻 T 1 ~ ピークになるまでの期間）、ゆっくりと放電する（例えば、ピークになる期間から時刻 T 6 までの期間）特性を利用し、商用電源電圧が V_{Bmin} になってから再び V_{Bmin} になるまでの期間（例えば、時刻 T 4 ~ T 6）、コンデンサ C 1 からの放電電流で第 1 LED ブロック 4 及び第 2 LED ブロック 5 に含まれる LED を点灯し続けることが可能となる。なお、この期間では、第 1 LED ブロック 4 及び第 2 LED ブロック 5 は、全波整流用ダイオードブリッジ回路 3 に対して並列に接続されている。

この結果、図 4 に示す回路例 1 1 0 では、寿命に課題のあった電界コンデンサを利用せずに、不灯期間を無くすることができ、フリッカを軽減させることが可能となった。

図 6 は、本発明に係る他の LED 駆動回路の概略説明図である。

LED 駆動回路 2 0 は、図 6 に示す様に、商用電源（交流 1 0 0 V）1 と接続する接続端子 2、全波整流用ダイオードブリッジ回路 3、複数の LED を含む第 1 LED ブロック 2 1、複数の LED を含む第 2 LED ブロック 2 2、複数の LED を含む第 3 LED ブロック 2 3、複数の LED を含む第 4 LED ブロック 2 4、第 1 逆方向電流防止用ダイオード D 6、第 2 逆方向電流防止用ダイオード D 7、第 3 逆方向電流防止用ダイオード D 8、第 1 スイッチ 2 8、第 2 スイッチ 2 9、第 3 スイッチ 3 0、第 4 スイッチ 3 1、第 5 スイッチ 3 2、第 6 スイッチ 3 3、及び制御回路 4 0 から構成される。図 1 に示す LED 駆動回路 1 と図 6 に示す LED 駆動回路 2 0 との

大きな差異は、LED駆動回路20が4つのLEDブロックを有している点である。

第1LEDブロック21～第4LEDブロック24は、 $V_f = 3.2\text{ V}$ （消費電力64mW、光束5lm）の白色LEDを8個ずつ直列に接続したものである。したがって、各LEDブロック単独では、印加電圧が発光最低電圧 V_{Bmin} （ $25.6\text{ V} = 3.2\text{ V} \times 8$ ）以上となった場合に、各ブロックに含まれるLEDが発光を開始することとなる。また、第1LEDブロック21～第4LEDブロック24が直列に接続された場合には、印加電圧が発光最低電圧 $V_{Bmin} \times 4$ （ $102.4\text{ V} = 25.6\text{ V} \times 4$ ）以上となった場合に、全LEDブロックに含まれるLEDが発光を開始することとなる。

全波整流用ダイオードブリッジ回路3からの出力電圧は、商用電源の電圧からダイオードブリッジによる電圧降下分を差し引いた値となる。しかしながら、全波整流用ダイオードブリッジ回路3からの出力電圧の実効値が、LEDの最大許容電流 I_{max} に対するLED端子電圧を V_{max} とした場合、 $4 \times 8 \times V_{max}$ の値の近傍となるようにLEDの個数を各ブロック8個とし、4ブロックの合計が32個に設定した（なお、この場合、後述するように電流制限が必要になる）。

全波整流用ダイオードブリッジ回路3の出力は、商用電源1の周波数の2倍の周期で、0Vから最大出力電圧までの変化を繰り返している。そこで、制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧を検出し、 $V_{Bmin} \times 2$ 未満の場合には、第1スイッチ28～第6スイッチ33の全てをON（閉じる）とし、全波整流用ダイオードブリッジ回路3に対して第1LEDブロック21～第4LEDブロック24が並列に接続されるように制御し、全

LEDブロックに含まれるLEDを点灯させる。なお、この場合、全波整流用ダイオードブリッジ回路3の出力電圧が発光最低電圧 V_{Bmin} 以上の場合に、全LEDブロックに含まれるLEDが点灯する。この時、逆方向電流防止用ダイオードD6～D8は、それぞれ、LEDブロック間に逆電流が流れないように作用する。したがって、第1LEDブロック21～第4LEDブロック24は、全波整流用ダイオードブリッジ回路3に対して並列に接続されることとなる。

また、制御回路40は、検出された全波整流用ダイオードブリッジ回路3の出力電圧が、 $V_{Bmin} \times 2$ 以上であって $V_{Bmin} \times 4$ 未満の場合には、第1スイッチ28、第3スイッチ30、第4スイッチ31、第6スイッチ33をOFF（開く）とし且つ第2スイッチ29、第5スイッチ32をON（閉じる）とし、第1LEDブロック21及び第2LEDブロック22が直列に接続されたものと、第3LEDブロック23及び第4LEDブロック24が直列に接続されたものが、全波整流用ダイオードブリッジ回路3に対して並列に接続されるように制御し、全LEDブロックに含まれるLEDを点灯させる。この時、逆方向電流防止用ダイオードD6は第1LEDブロック21から第2LEDブロック22に電流が流れるように作用し、逆方向電流防止用ダイオードD7は第3LEDブロック23から第2LEDブロック22に逆電流が流れないように作用し、逆方向電流防止用ダイオードD8は第3LEDブロック23から第4LEDブロック24に電流が流れるように作用する。したがって、第1LEDブロック21及び第2LEDブロック22が直列に接続されたものと、第3LEDブロック23及び第4LEDブロック24が直列に接続されたものが、全波整流用ダイオードブリッジ回路3に対して並列に接続されることとなる。

さらに、制御回路 40 は、検出された全波整流用ダイオードブリッジ回路 3 の出力電圧が、 $V_{Bmin} \times 4$ 以上の場合には、第 1 スイッチ 28 ～ 第 6 スイッチ 33 を全て OFF（開く）とし、全波整流用ダイオードブリッジ回路 3 に対して、第 1 LED ブロック 21 ～ 第 4 LED ブロック 24 が直列に接続されるように制御し、全 LED ブロックに含まれる LED を点灯させる。この時、逆方向電流防止用ダイオード D6 ～ D8 は第 1 LED ブロック 21 から第 4 LED ブロック 24 に電流を流すように作用する。したがって、第 1 LED ブロック 21 ～ 第 4 ブロック 24 は、全波整流用ダイオードブリッジ回路 3 に対して直列に接続されることとなる。

上述した様に、図 6 に示す LED 駆動回路 20 では、全波整流用ダイオードブリッジ回路 3 の出力電圧が発光最低電圧 V_{Bmin} 以上となると、必ず、第 1 LED ブロック 21 ～ 第 4 LED ブロック 24 に含まれる全ての LED が点灯する。したがって、LED の非発光期間を短くすることができるとともに、複数の LED を同じ駆動電流で同じ期間駆動することが可能となるため、各 LED 間で発光量に偏りがなく発光装置として照度ムラが発生しない。さらに各 LED 間で劣化スピードに偏りを発生しないようにすることが可能となった。

第 1 LED ブロック 21 ～ 第 4 LED ブロック 24 が直列接続している状態から、第 1 LED ブロック 21 と第 2 LED ブロック 22 及び第 3 LED ブロック 23 と第 4 LED ブロック 24 が同時に直列接続に切り替わる瞬間、更に第 1 LED ブロック 21 と第 2 LED ブロック 22 及び第 3 LED ブロック 23 と第 4 LED ブロック 24 が直列接続されている状態から第 1 LED ブロック 21 ～ 第 4 LED ブロック 24 が並列接続する状態に切り替わる瞬間を含めて、いかなるタイミングにおいても、第 2 LED ブロック 22 から

第1LEDブロック21、第3LEDブロック23から第2LEDブロック22、及び第4LEDブロック24から第3LEDブロック23に向かって電流が流れることがないので、特許文献3に現れるような貫通電流が生じない。

逆方向電流防止用ダイオードD6～D8は、2端子型の受動素子であるから制御用の別素子や配線が無用となるので駆動回路の小型化やコストダウンに寄与できる。また、図1で示した実施形態に比べて、きめ細かく制御できるので発光期間（発光デューティ）を大きくできる。さらに、並列接続時に流せる電流も図1の実施形態より大きい。これらの理由により、本実施形態では図1に示す実施形態より発光輝度を大きくすることが可能となる。

図7は、図6に示すLED駆動回路の回路例200を示す図である。なお、回路例200において、図6に示すLED駆動回路20と同じ構成には同じ番号を付した。

回路例200の入力端子2は、商用交流電源と接続するためのものであって、LED駆動回路20がLED電球に使用される場合には、LED電球の口金として形成される。全波整流用ダイオードブリッジ回路3は、4つのダイオードD1～D4から構成される。第1スイッチ28～第6スイッチ33は、MOSFETから構成され、ゲート電圧がGNDとなるとOFF（開く）されるように設定されている。逆方向電流防止用ダイオードD6～D8は、シリコンダイオードで構成した。制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧V1を分圧するための抵抗R2及びR3、トランジスタQ1及びプルアップ用の抵抗R1のセットと、全波整流用ダイオードブリッジ回路3の出力電圧V1を分圧するための抵抗R10及びR11、トランジスタQ2及びプルアップ用の抵抗R9のセットを有している。

V1が発光最低電圧 $V_{Bmi} \times 4$ 以上となった場合、制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧V1を、抵抗R2及びR3で分圧し、トランジスタQ1をONとして、第1スイッチ28、第3スイッチ30、第4スイッチ31及び第6スイッチ33のMOSFETのゲートをGND電位とするように制御する。これによって、第1スイッチ28、第3スイッチ30、第4スイッチ31及び第6スイッチ33はOFF（開く）となる。また、この場合、制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧V1を、抵抗R10及びR11で分圧して、トランジスタQ2をONとして、第2スイッチ29及び第5スイッチ32のMOSFETのゲートをGND電位とするように制御する。これによって、第2スイッチ29及び第5スイッチ32はOFF（開く）となる。さらに、シリコンダイオードD6～D8は第1LEDブロック21から第4LEDブロック24に電流を流すように作用する。したがって、第1LEDブロック21～第4ブロック24は、全波整流用ダイオードブリッジ回路3に対して直列に接続されることとなる。

V1が発光最低電圧 $V_{Bmin} \times 4$ 未満且つ $V_{Bmin} \times 2$ 以上となった場合、制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧V1を、抵抗R2及びR3で分圧し、トランジスタQ1をONとし、第1スイッチ28、第3スイッチ30、第4スイッチ31及び第6スイッチ33のMOSFETのゲートがGND電位となるように制御する。これによって、第1スイッチ28、第3スイッチ30、第4スイッチ31及び第6スイッチ33はOFF（開く）となる。また、この場合、制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧V1を、抵抗R10及びR11で分圧して、トランジスタQ2をONとせず、第2スイッチ29及び

第5スイッチ32のMOSFETのゲートを、全波整流用ダイオードブリッジ回路の出力電圧 V_1 と同じ電圧に維持するように制御する。これによって、第2スイッチ29及び第5スイッチ32はON（閉じる）となる。さらに、シリコンダイオードD6は第1LEDブロック21から第2LEDブロック22に電流が流れるように作用し、シリコンダイオードD7は第3LEDブロック23から第2LEDブロック22に逆電流が流れないように作用し、シリコンダイオードD8は第3LEDブロック23から第4LEDブロック24に電流が流れるように作用する。したがって、第1LEDブロック21及び第2LEDブロック22が直列に接続されたものと、第3LEDブロック23及び第4LEDブロック24が直列に接続されたものが、全波整流用ダイオードブリッジ回路3に対して並列に接続されることとなる。

V_1 が発光最低電圧 $V_{Bmin} \times 2$ 未満となった場合、制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧 V_1 を、抵抗 R_2 及び R_3 で分圧し、トランジスタQ1をONとせず、第1スイッチ28、第3スイッチ30、第4スイッチ31及び第6スイッチ33のMOSFETのゲートを、全波整流用ダイオードブリッジ回路3の出力電圧 V_1 と同じ電位に維持するように制御する。これによって、第1スイッチ28、第3スイッチ30、第4スイッチ31及び第6スイッチ33はON（閉じる）となる。また、この場合、制御回路40は、全波整流用ダイオードブリッジ回路3の出力電圧 V_1 を、抵抗 R_{10} 及び R_{11} で分圧し、トランジスタQ2をOFF（開く）として、第2スイッチ29及び第5スイッチ32のMOSFETのゲートを、全波整流用ダイオードブリッジ回路3の出力電圧 V_1 と同じ電位に維持するように制御する。これによって、第2スイッチ29及び第5スイッチ32はON（閉じる）となる。

。さらにシリコンダイオードD 6～D 8は、それぞれ、LEDブロック間に逆電流が流れないように作用する。したがって、第1 LEDブロック2 1～第4 LEDブロック2 4は、全波整流用ダイオードブリッジ回路3に対して並列に接続されることとなる。

第1 LEDブロック2 1～第4 LEDブロック2 4が全波整流用ダイオードブリッジ回路3に対して並列に接続される場合、第1 LEDブロック2 1は、電流制限用の抵抗R 1 2及び抵抗R 5を介して全波整流用ダイオードブリッジ回路3と接続され、第2 LEDブロック2 2は、電流制限用の抵抗R 1 2及びR 7を介して全波整流用ダイオードブリッジ回路3と接続されることとなる。同様に、第3 LEDブロック2 3は、電流制限用の抵抗R 1 2及び抵抗R 1 8を介して全波整流用ダイオードブリッジ回路3と接続され、第4 LEDブロック2 4は、電流制限用の抵抗R 1 2及びR 1 6を介して全波整流用ダイオードブリッジ回路3と接続されることとなる。各電流制限用の抵抗は、並列接続時、直列接続時において、各LEDに流れる電流が最適になるように設定されている。

第1ブロック2 1～第4ブロック2 4が直列に全波整流用ダイオードブリッジ回路3と接続される場合、第1ブロック2 1～第4ブロック2 4は、電流制限用の抵抗R 1 2及びR 1 6を介して全波整流用ダイオードブリッジ回路3と接続される。

図8は、図7の点Sにおける全波整流用ダイオードブリッジ回路3の出力電圧V 1及び電流I 2を示す図である。

図8において、横軸は時間Tを示し、縦軸は電圧値又は電流値を示している。また、曲線5 0は、点Sにおける全波整流用ダイオードブリッジ回路3の出力電圧V 1を示し、曲線5 1は、点Sにおける電流I 2を示している。

時刻T 1において、出力電圧V 1がV B m i n以上となったので

、LEDブロックに電流が流れ始めることから I_2 が立ち上がる。時刻 T_2 において出力電圧 V_1 が $V_{Bmin} \times 2$ 以上となったので、2つのLEDブロックが直列に接続され、それに伴って I_2 が低下する。時刻 T_3 において、出力電圧 V_1 が $V_{Bmin} \times 4$ 以上となったので4つのLEDブロックが直列に接続され、それに伴って I_2 が減少する。時刻 T_4 において、出力電圧 V_1 が $V_{Bmin} \times 4$ 未満となったので、2つのLEDブロックが直列に接続され、それに伴って I_2 が増加する。時刻 T_5 において、出力電圧 V_1 が $V_{Bmin} \times 2$ 未満となったので、LEDブロックが並列に接続され、それに伴って I_2 が増加する。時刻 T_6 において、出力電圧 V_1 が V_{Bmin} 未満となったので、LEDブロックへ電流が流れなくなり、 I_2 が0となる。

図8に示すように、上述した状況が、商用電源の周波数の2倍の周期で繰り返される。また、 $T_1 \sim T_6$ の間で全LEDブロックが発光するので、発光デューティは、 $100 \times (T_6 - T_1) / (T_7 - T_0) \%$ となる。

上述したように、図6に示したLED駆動回路は、整流器と、複数のLEDを含む第1のLED群と、複数のLEDを含む第2のLED群と、複数のLEDを含む第3のLED群と、複数のLEDを含む第4のLED群と、整流器に対して第1～第4のLED群を直列に接続、整流器に対して第1～第4のLED群を並列に接続、又は整流器に対して第1及び第2のLED群を直列に接続したものと第3及び第4のLED群を直列に接続したものを並列に接続する接続部と、接続回路を制御して第1～第4のLED群を整流器に対して並列接続から直列接続に切り換える制御部を有することを特徴とする。また、第1のLED群と第2のLED群との間、第2のLED群と第3のLED群との間、及び第3のLED群と第4のLED

群との間には、逆方向電流防止用のダイオードが配置されることが好ましい。

図 9 は、図 6 に示す L E D 駆動回路の他の回路例 3 0 0 を示す図である。なお、回路例 3 0 0 において、図 7 に示す回路例 2 0 0 と同じ構成には同じ番号を付した。

図 9 と図 7 の相違点は、図 9 において制御回路 3 4 0 が図 7 の制御回路 4 0 と異なる点のみである。即ち、図 9 に示す回路例 3 0 0 は、整流器と、複数の L E D を含む第 1 の L E D 群と、複数の L E D を含む第 2 の L E D 群と、複数の L E D を含む第 3 の L E D 群と、複数の L E D を含む第 4 の L E D 群と、整流器に対して第 1 ～第 4 の L E D 群を直列に接続、整流器に対して第 1 ～第 4 の L E D 群を並列に接続、又は整流器に対して第 1 及び第 2 の L E D 群を直列に接続したものと第 3 及び第 4 の L E D 群を直列に接続したものを並列に接続する接続部と、接続回路を制御して第 1 ～第 4 の L E D 群を整流器に対して並列接続から直列接続に切り換える制御部とを有し、第 4 の L E D 群のカソード側に電流検出回路を備えていることを特徴とする。

図 7 の制御回路 4 0 は、全波整流用ダイオードブリッジ回路 3 の出力電圧 V_1 に基づいて、第 1 スイッチ 2 8 ～第 6 スイッチ 3 3 の切り換え制御を行ったが、図 9 の制御回路 3 4 0 は、L E D ブロックに流れる電流 I_3 を、抵抗 $R_{20} \sim R_{22}$ から構成される電流検出部で検出し、検出された電流に応じて、トランジスタ Q_1 及び Q_2 を動作させて、第 1 スイッチ 2 8 ～第 6 スイッチ 3 3 の切り換え制御を行う。

L E D は、 V_f が素子ごとにばらつくため印加電圧で光度を制御することが難しいのに対し、 I_f （電流）と光度の関係は比較的安定しているから、電流制御による L E D 駆動回路は光度を管理しや

すなり照明機器ごとの個体（輝度）差を小さくできる。

図 7 に示す回路例 200 の様な電圧検出方式では、LED ブロックからみて外部にある電圧を検出し LED ブロックの接続方式を選択しているのでオープンループ系になっている。これに対し、図 9 に示す回路例 300 の様な電流検出方式では、LED ブロック内部に流れる電流を検出し LED ブロックの接続方式を選択しているのでクローズドループ系になっているため系の安定性が良くなる。例えば、商用電源の出力電圧（実効値）が周期的に変動した場合、電圧検出方式では輝度がこの変動に同期するため、ちらつきが目立つ。しかしながら、電流検出方式は、電圧検出方式に比べ商用電源変動の影響が間接的に影響するようになるため、ちらつきが目立ちにくくなるという作用効果がある。さらに、電圧検出方式では、AC 電源に重畳されたサージやノイズが電圧検出回路に直接的に侵入するので、チャタリングが発生しスイッチの誤動作を引き起こす。これに対し、電流検出方式ではチャタリングが入っても LED に流れる電流にあまり影響しないので誤動作が起きにくくなるという作用効果がある。

図 10 は、定電流回路ユニットの一例を示す図である。

図 10 に示す定電流回路ユニット 400 を、図 2 に示す回路例 100 における電流制限抵抗 R4、R11 及び R14 の代わりに用いることによって、第 1 LED ブロック 4 及び第 2 LED ブロック 5 を流れる電流を電源電圧の変動に拘らずほぼ一定とすることが可能となり、発光強度を安定させることが可能となる。なお、図 10 に示す定電流回路ユニット 400 は一例であって、定電流ダイオードなどの他の定電流回路ユニットを用いることも可能である。

同様に、図 10 に示す定電流回路ユニット 400 を、図 7 に示す回路例 200 及び図 9 に示す回路例 300 における電流制限用の抵

抗 R 1 2 の代わりに用いることによって、第 1 L E D ブロック 2 1 ～第 4 L E D ブロック 2 4 を流れるそれぞれの電流値は、電源電圧の変動に拘らず一定とすることが可能となり、発光強度を安定させることが可能となる。

図 1 1 に、図 1 0 に示す定電流回路ユニット 4 0 0 を、図 7 に示す回路例 2 0 0 及び図 9 に示す回路例 3 0 0 における電流制限用の抵抗 R 1 2 の代わりに用いた場合の、点 S における電圧波形 5 0 と電流波形 6 0 の一例を示す図である。このように、R 1 2 の代わりに定電流回路ユニット 4 0 0 を挿入することによって、A C 電源からの流出電流が一定となり、各 L E D ブロックは接続状態にかかわらず電流値が揃うこととなる。

また、図 1 0 に示す定電流回路ユニット 4 0 0 を、図 7 に示す回路例 2 0 0 及び図 9 に示す回路例 3 0 0 における電流制限用の抵抗 R 5、R 7、R 1 8 及び R 1 6 のそれぞれの代わりに用いることも可能である。

図 1 2 に、図 1 0 に示す定電流回路ユニット 4 0 0 を、図 7 に示す回路例 2 0 0 及び図 9 に示す回路例 3 0 0 における電流制限用の抵抗 R 5、R 7、R 1 8 及び R 1 6 のそれぞれの代わりに用いた場合の、点 S における電圧波形 5 0 と電流波形 6 0 の一例を示す図である。このように、定電流回路ユニット 4 0 0 を利用することによって、並列、直列にかかわらず、各 L E D ブロックには、各定電流回路ユニットで設定された電流値が流れる。この場合、接続状態にかかわらず、各 L E D ブロックには最適な電流値が常に流れており、発光デューティも著しく向上する。

ここでは、一例を図示したが、定電流回路ユニット、または電流制限用の抵抗をそれぞれの電流経路に適時配置することで、各 L E D ブロックに流れる電流値を、並列接続または直列接続のそれぞれ

の状態毎に個々に設定することができる。その場合、電源効率、電源の力率、発生ノイズの低減などを考慮して、それぞれの接続状態における電流値を設定すれば良い。

また、図 7 に示す回路例 2 0 0 及び図 9 に示す回路例 3 0 0 において、全波整流用ダイオードブリッジ回路 3 の出力端に、図 4 に示した電界コンデンサを利用しない平滑化回路 1 1 1 と同様の回路を接続することも可能である。平滑化回路 1 1 1 と同様の回路の付加によって、寿命に課題のあった電界コンデンサを利用せずに、不灯期間を無くすことができ、フリッカを軽減させることが可能となる。

上述した L E D 駆動回路は、L E D 電球のような L E D 照明器具、L E D をバックライトとして利用する液晶テレビ、P C の画面のバックライト用の照明器具等に利用することが可能である。

請 求 の 範 囲

請求項 1. 整流器と、

複数の LED を含む第 1 の LED 群と、

複数の LED を含む第 2 の LED 群と、

前記整流器に対して前記第 1 及び第 2 の LED 群を直列に接続、又は前記整流器に対して前記第 1 及び第 2 の LED 群を並列に接続する接続部と、

前記接続部を制御して、前記第 1 及び第 2 の LED 群を前記整流器に対して並列接続から直列接続に切り換える制御部と、

前記第 1 の LED 群と前記第 2 の LED 群との間に配置された逆方向電流防止用のダイオードと、

を有することを特徴とする LED 駆動回路。

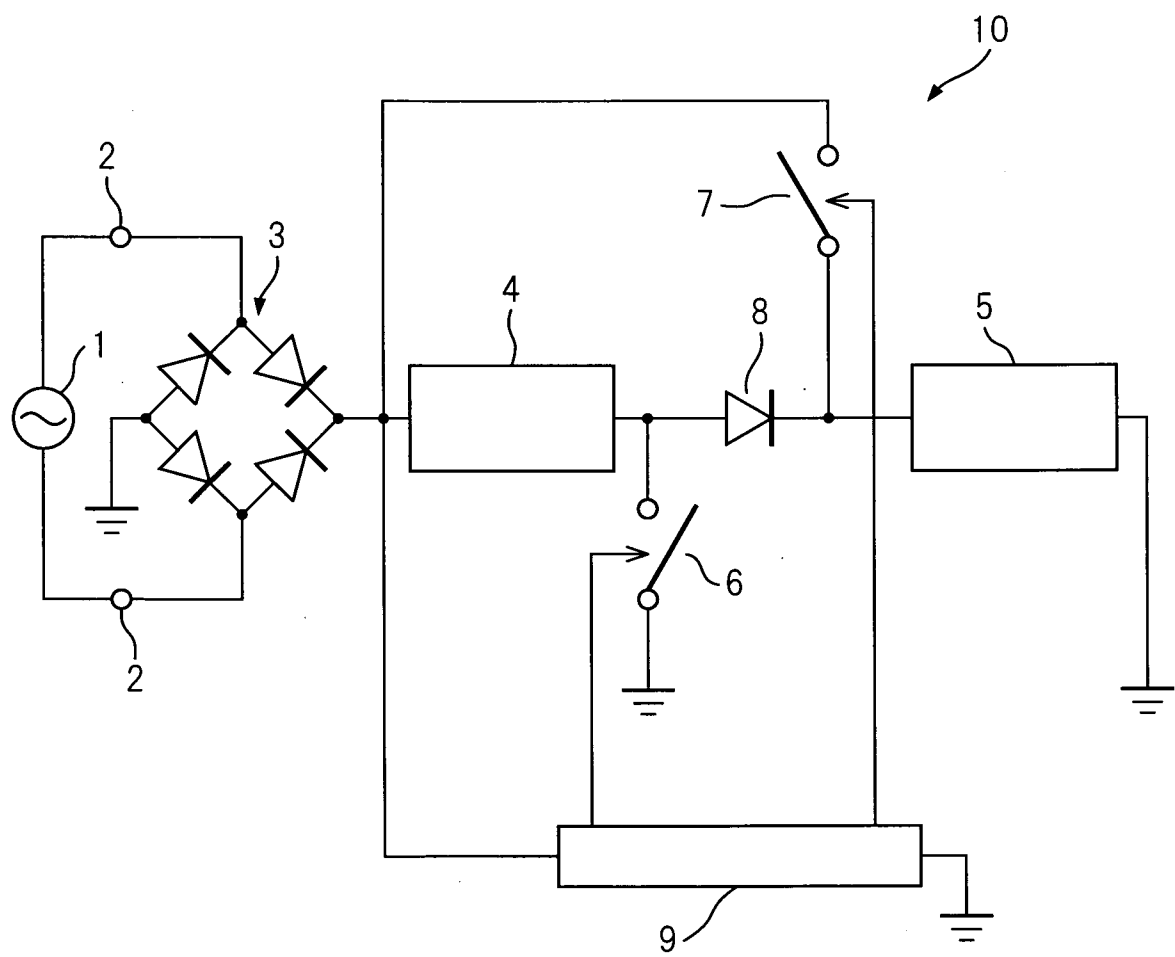
請求項 2. 前記整流器と前記第 1 及び第 2 の LED 群との間に配置された定電流回路を更に有する、請求項 1 に記載の LED 駆動回路。

請求項 3. 前記制御部は、前記整流器の出力電圧に応じて、切り換え制御を行う、請求項 1 又は 2 に記載の LED 駆動回路。

請求項 4. 前記制御部は、前記第 1 の LED 群又は前記第 2 の LED 群を流れる電流に応じて、切り換え制御を行う、請求項 1 又は 2 に記載の LED 駆動回路。

請求項 5. 前記整流器の出力端に、ダイオード及び、抵抗又は低電流ダイオードを介してコンデンサを接続し、前記コンデンサの充電経路に前記ダイオードを配置し、前記コンデンサの放電経路に前記抵抗又は低電流ダイオードを配置する、請求項 1 ～ 4 の何れか一項に記載の LED 駆動回路。

図1



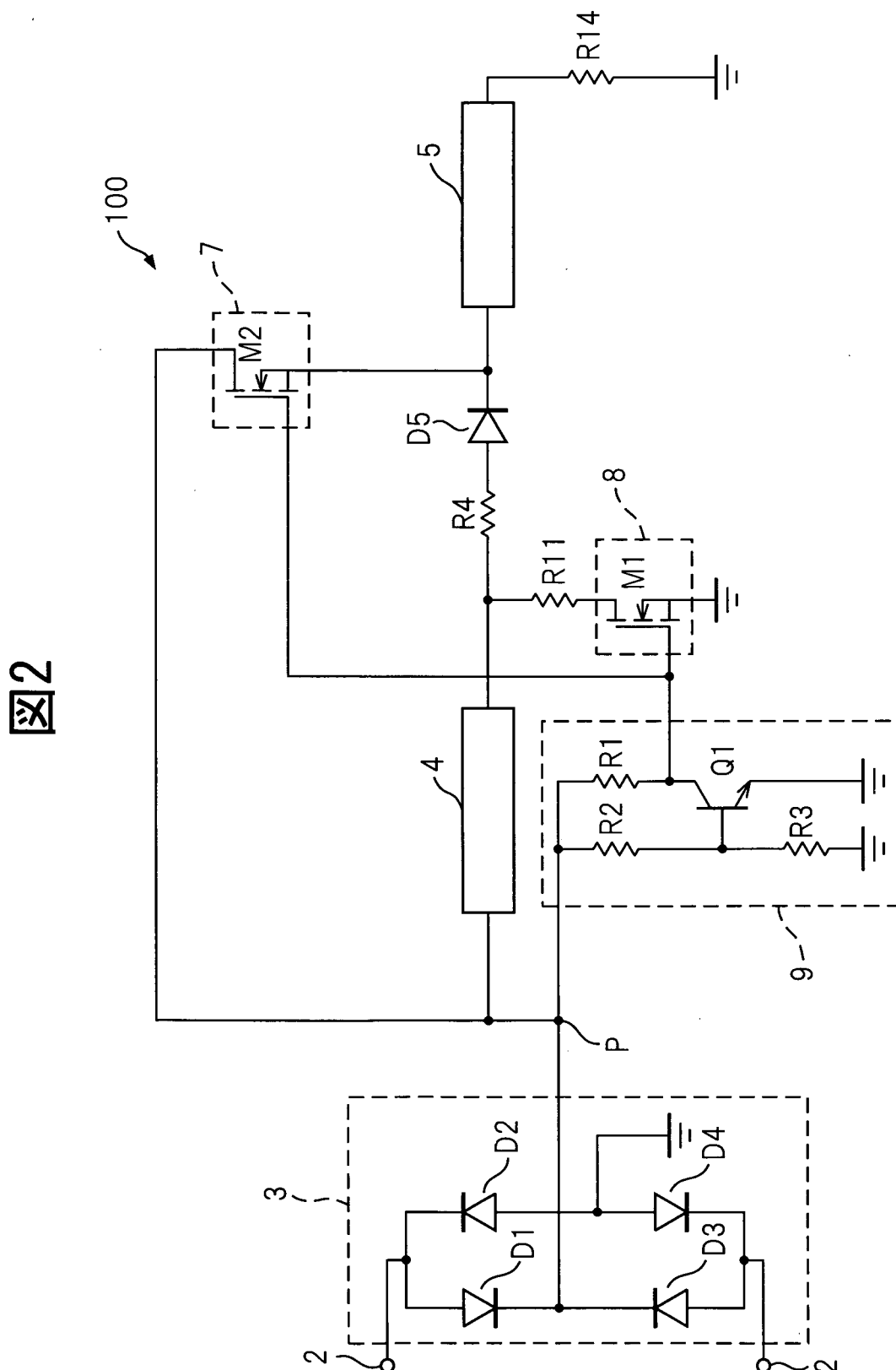
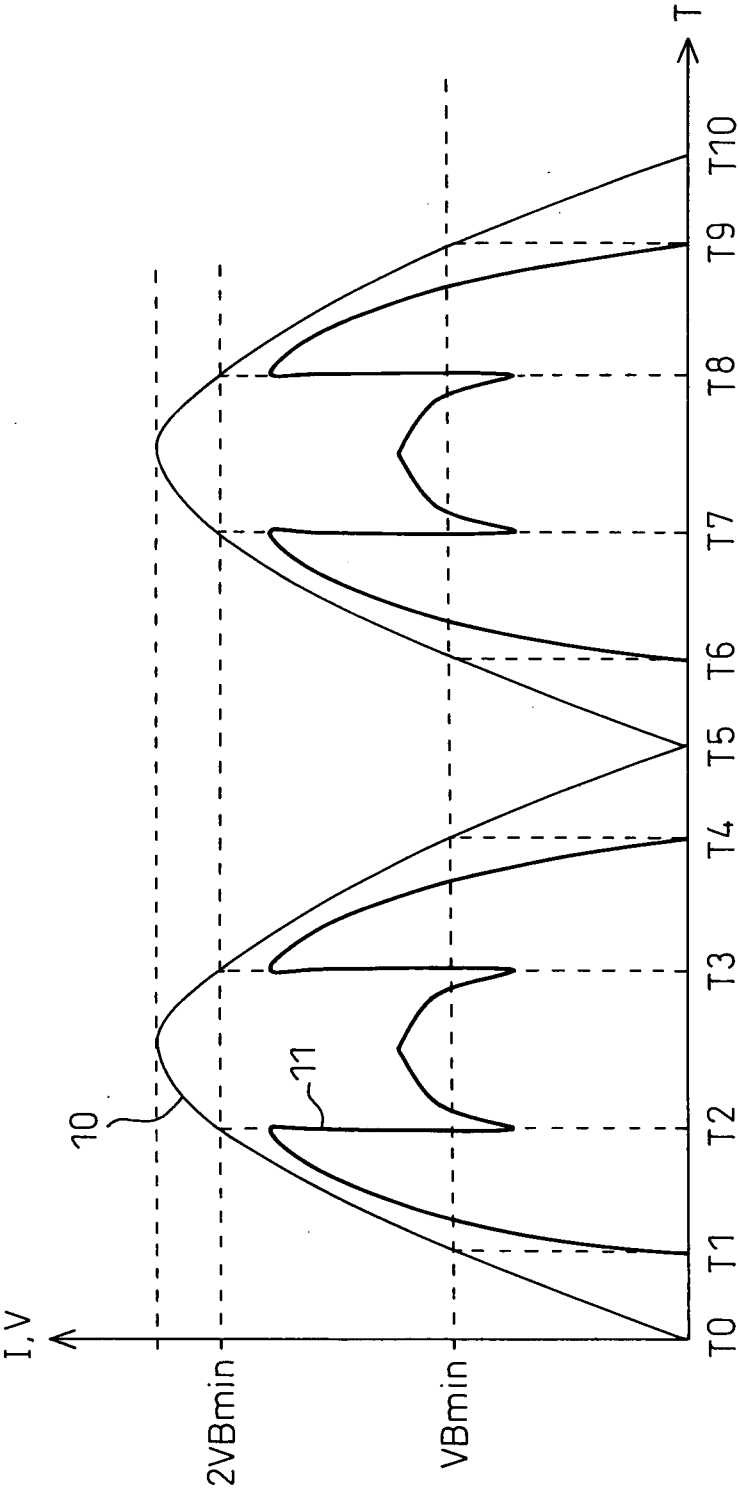


図3



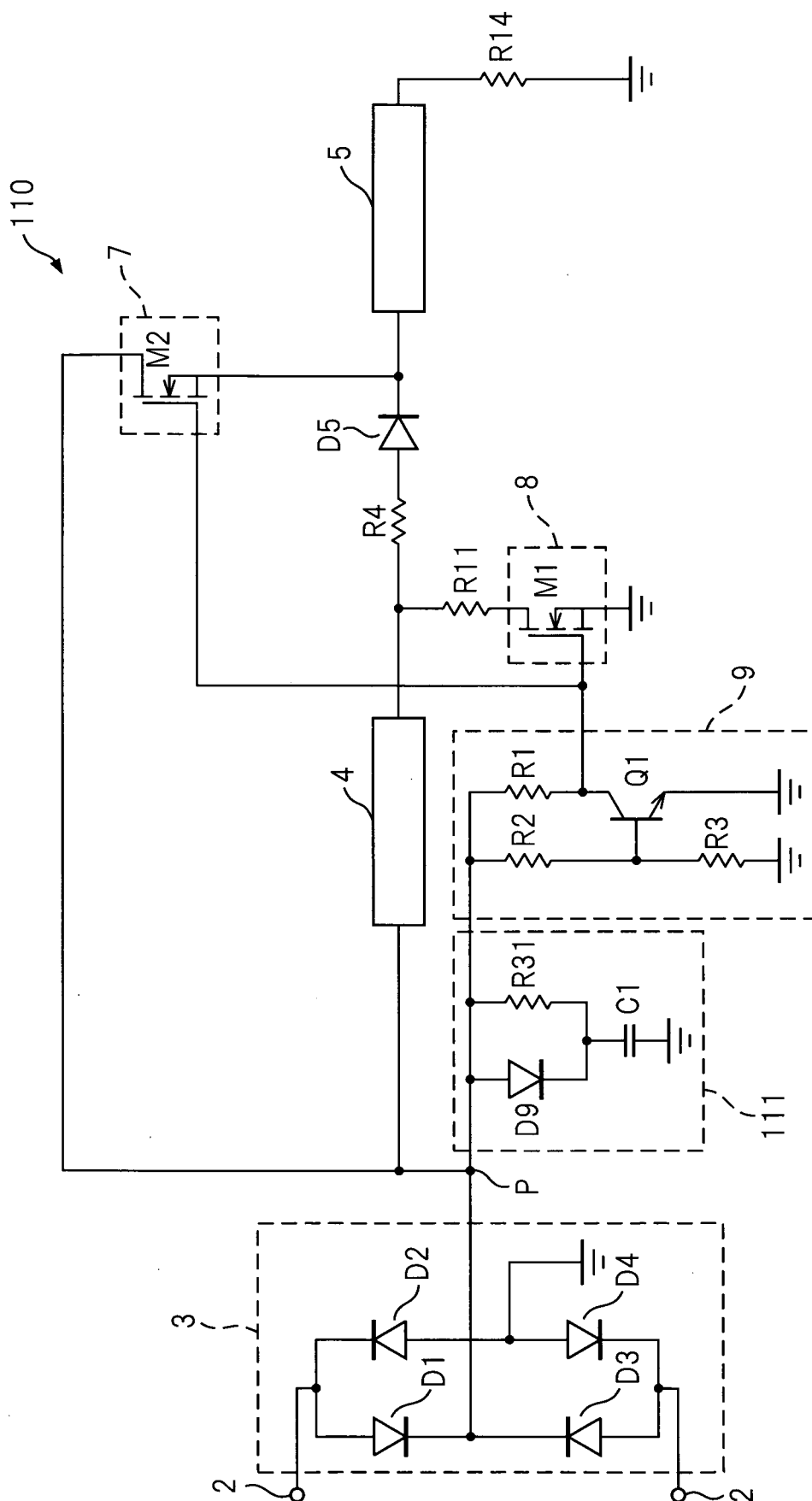


図5

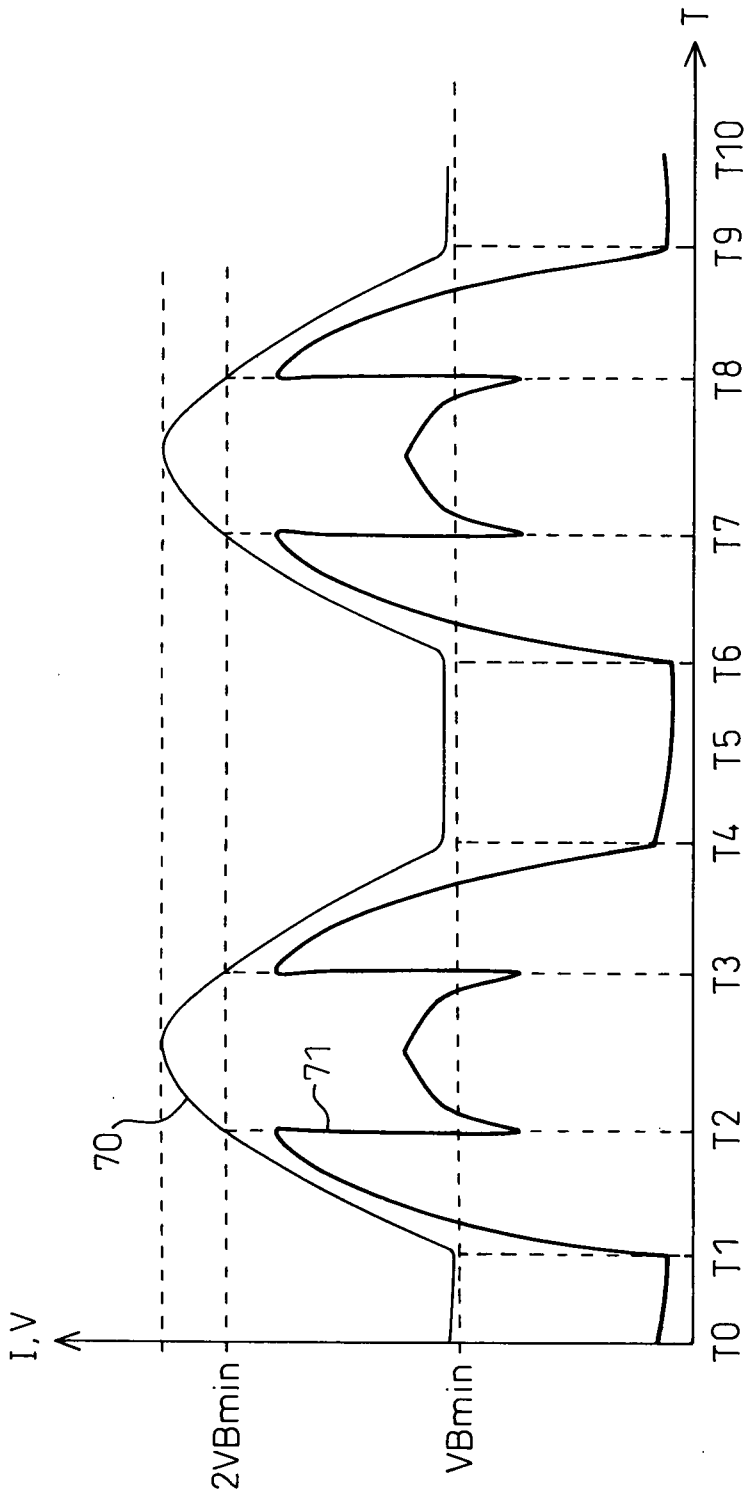


図6

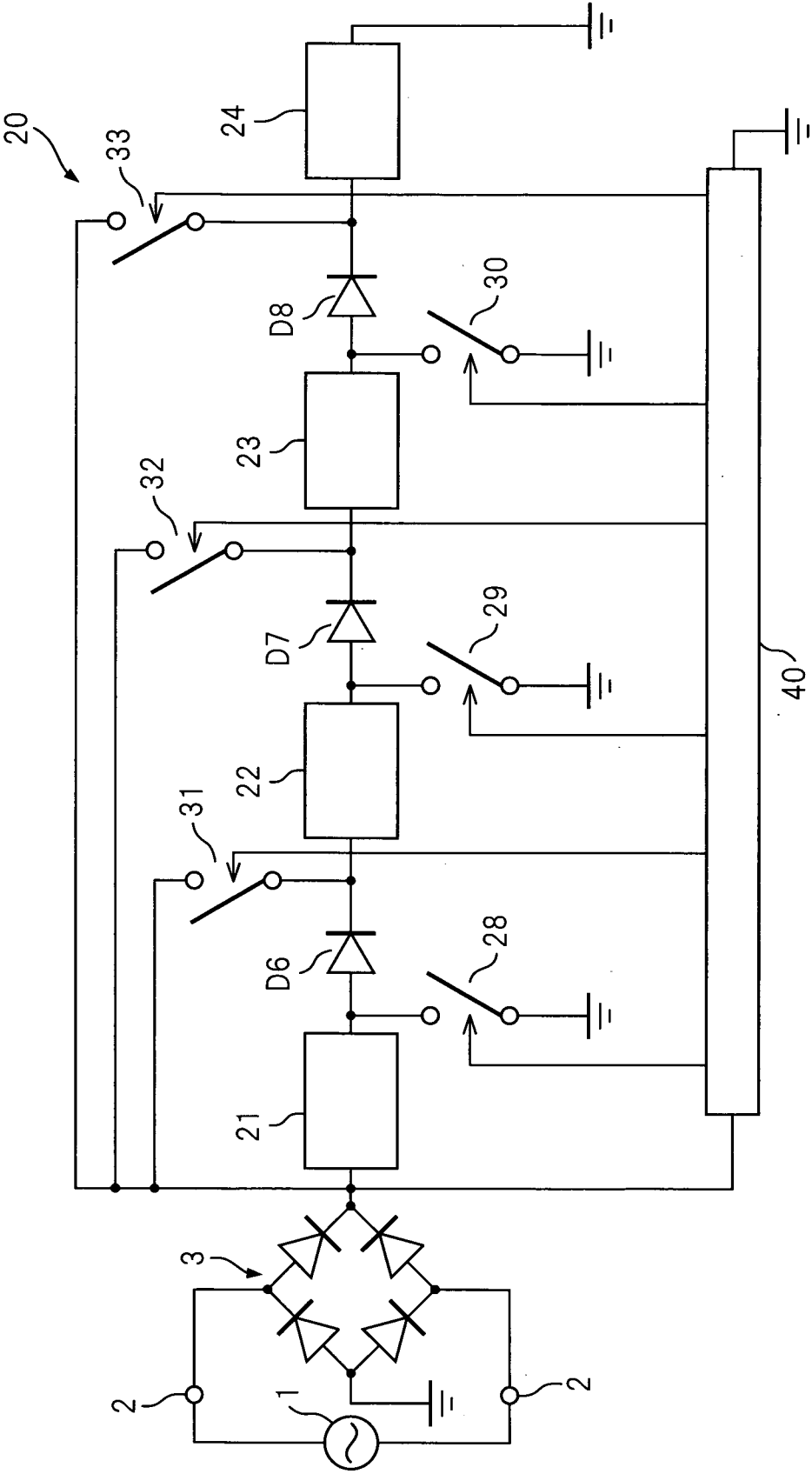


図7

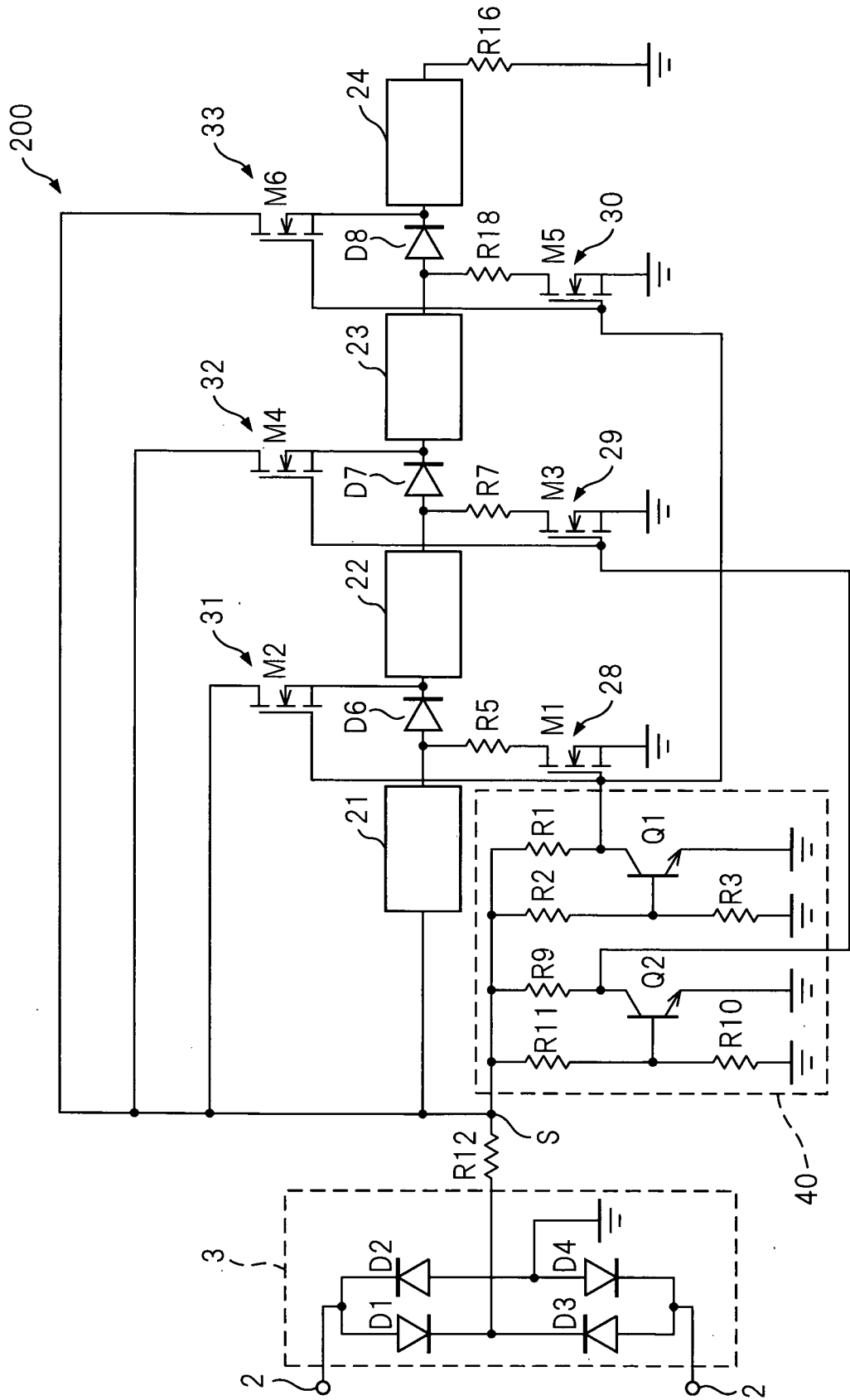


図8

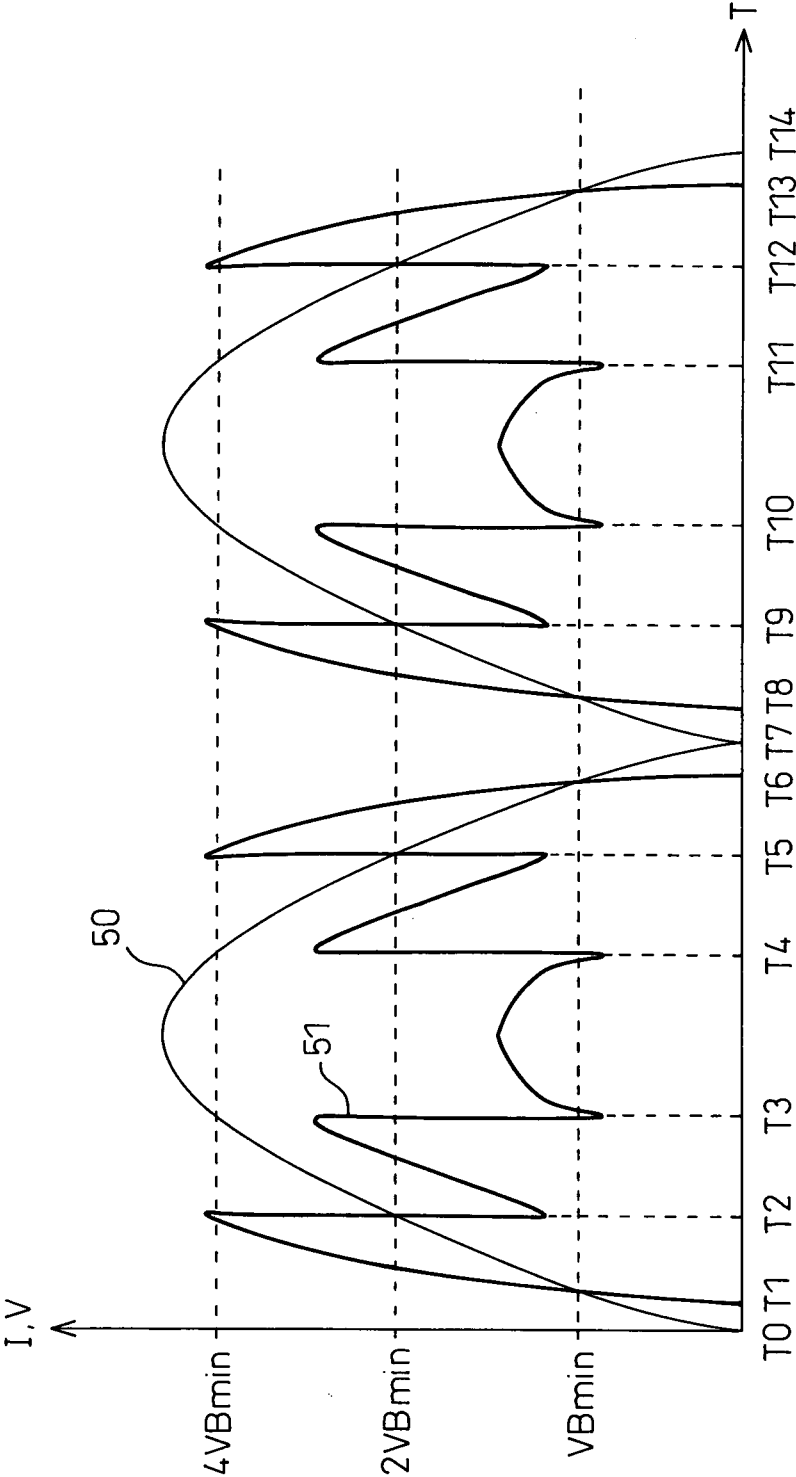


図9

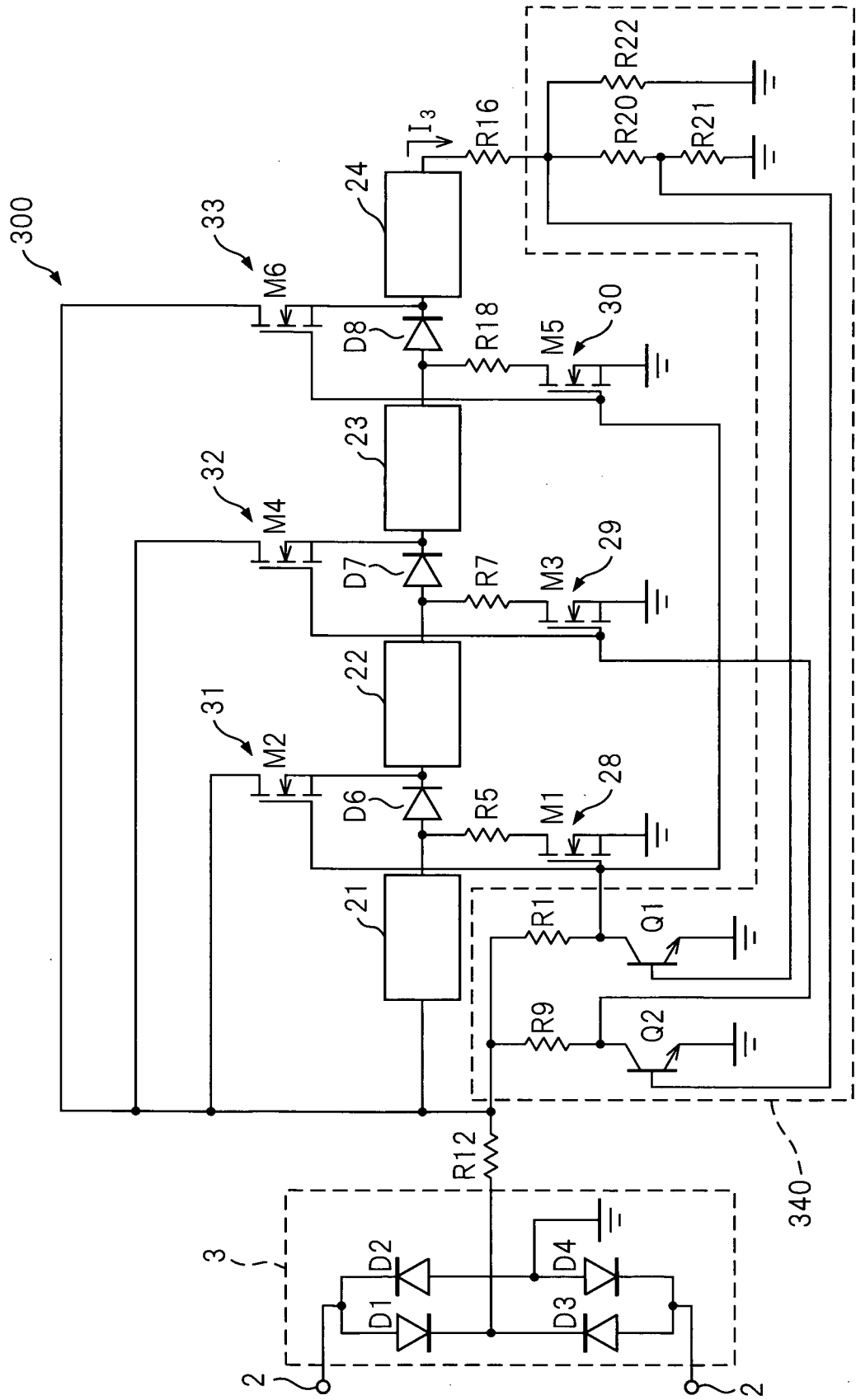


図10

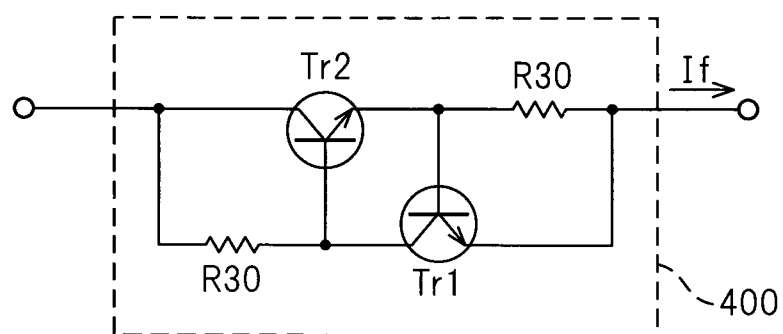


図11

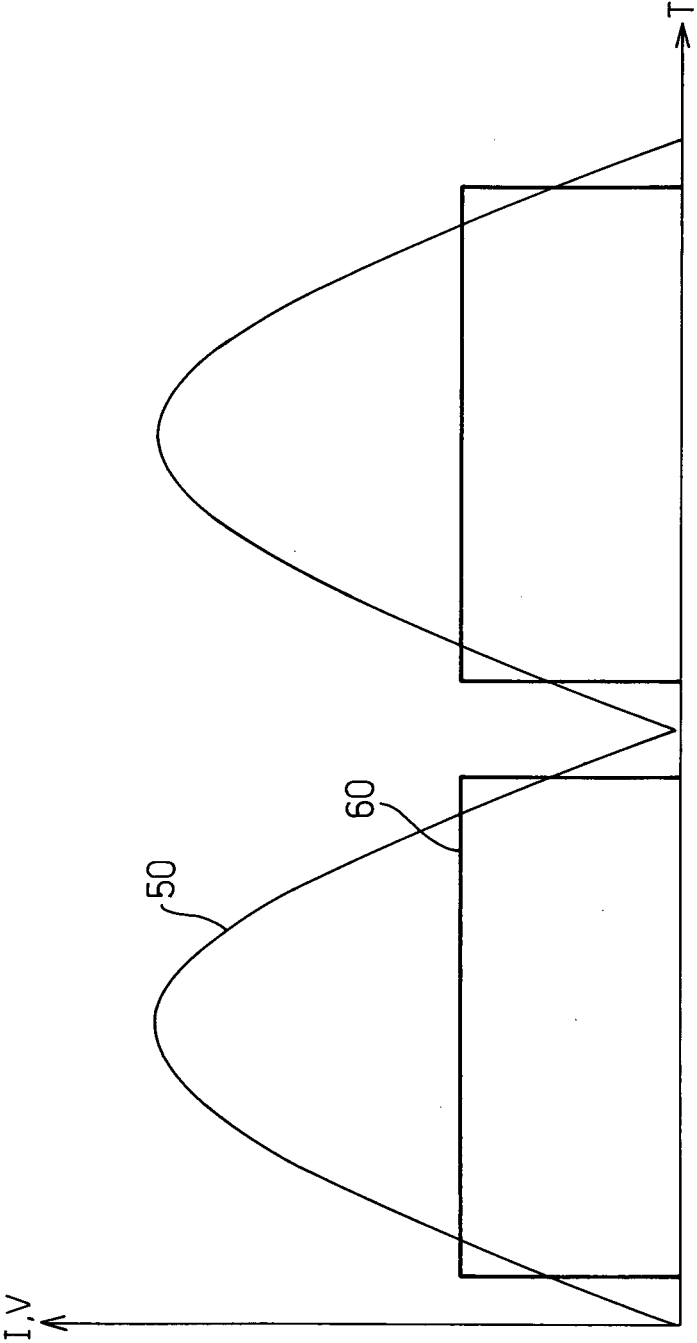
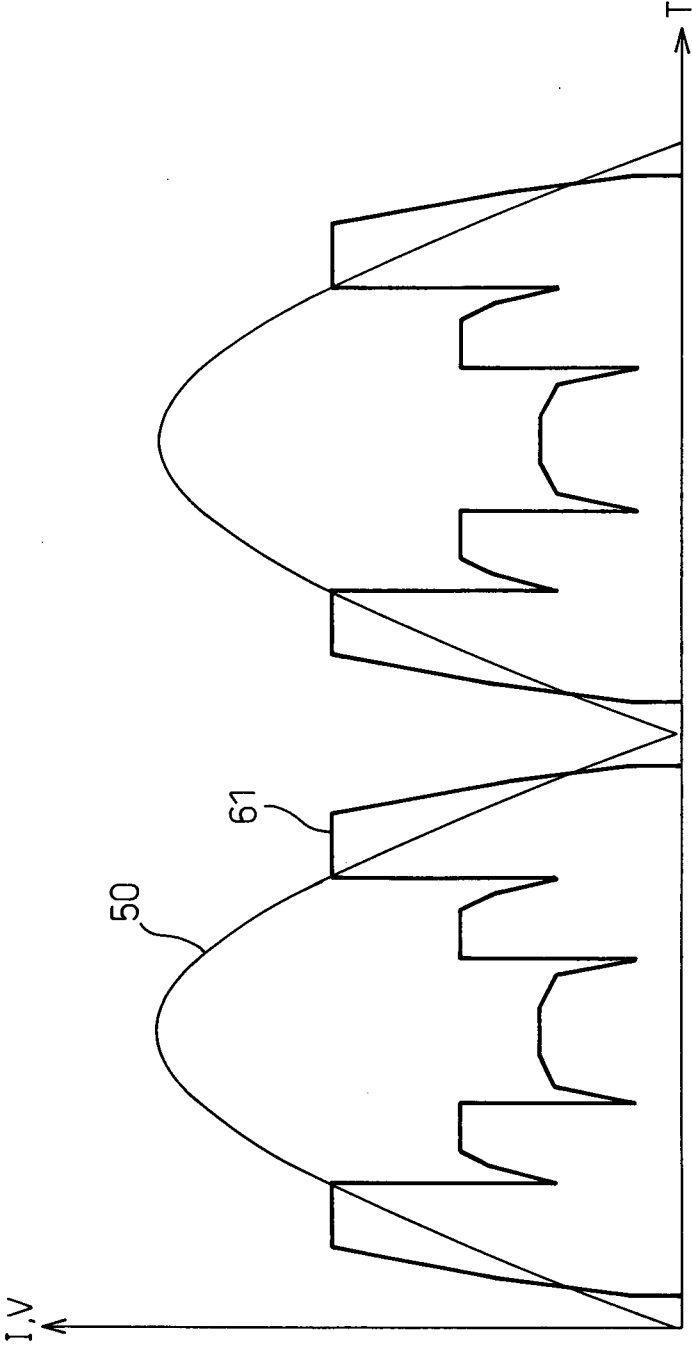
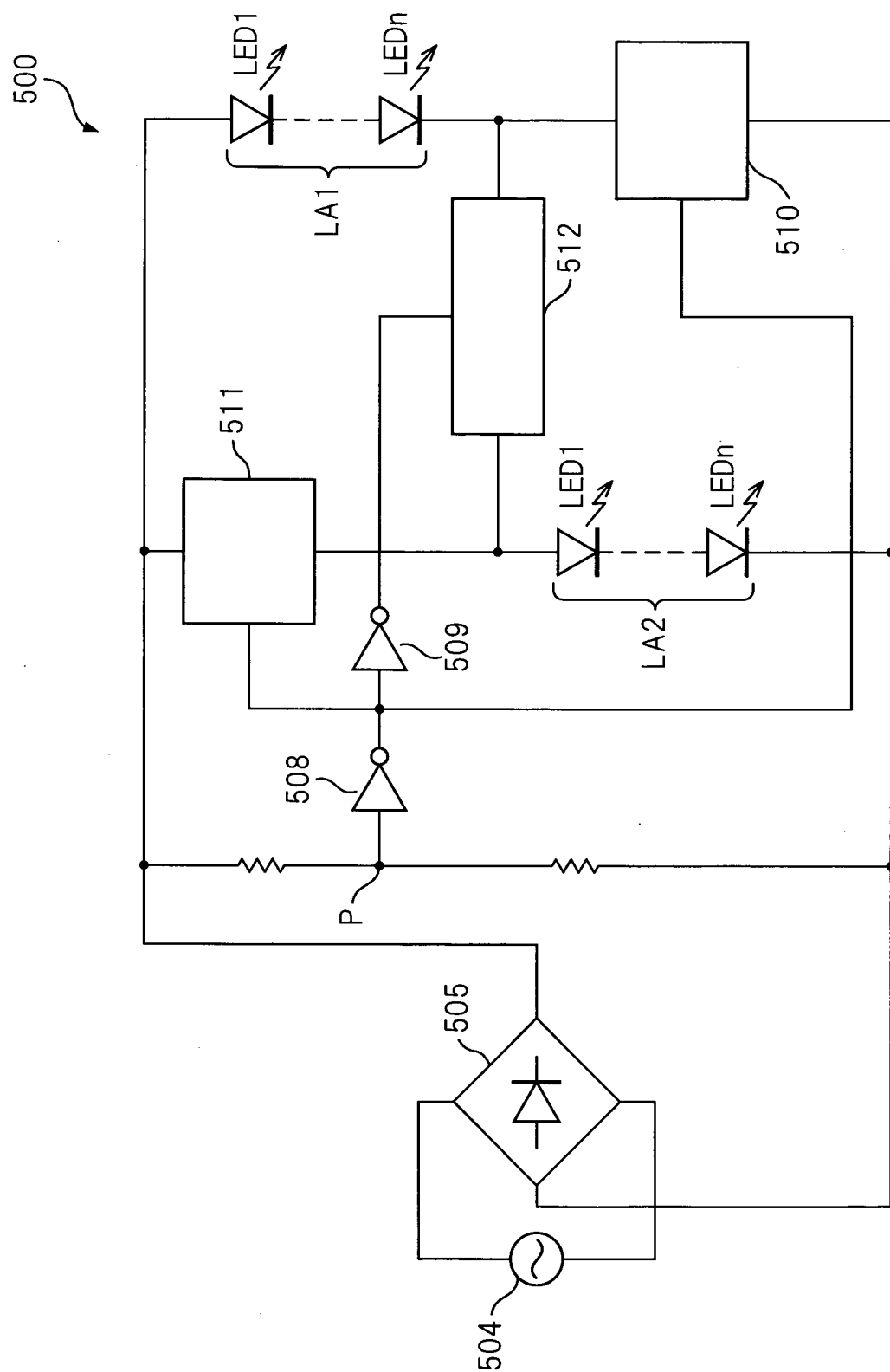


図12



31



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/071420

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/00 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-283775 A (Stanley Electric Co., Ltd.), 03 December 2009 (03.12.2009), entire text; all drawings (Family: none)	1-5
A	JP 2004-114968 A (Daido Signal Co., Ltd.), 15 April 2004 (15.04.2004), entire text; all drawings (Family: none)	1-5
A	JP 2007-173548 A (Rohm Co., Ltd.), 05 July 2007 (05.07.2007), entire text; all drawings & US 2009/0026972 A1 & EP 1973175 A1 & WO 2007/072873 A1 & CN 101346826 A	1-5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 December, 2010 (28.12.10)Date of mailing of the international search report
11 January, 2011 (11.01.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/071420

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-272088 A (Rohm Co., Ltd.), 19 November 2009 (19.11.2009), entire text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L33/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-283775 A（スタンレー電気株式会社） 2009.12.03, 全文、全図（ファミリーなし）	1-5
A	JP 2004-114968 A（大同信号株式会社） 2004.04.15, 全文、全図（ファミリーなし）	1-5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 1 2 . 2 0 1 0

国際調査報告の発送日

1 1 . 0 1 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松崎 義邦

2 K

3 4 9 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-173548 A (ローム株式会社) 2007.07.05, 全文、全図 & US 2009/0026972 A1 & EP 1973175 A1 & WO 2007/072873 A1 & CN 101346826 A	1-5
A	JP 2009-272088 A (ローム株式会社) 2009.11.19, 全文、全図 (ファミリーなし)	1-5