

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94126260

※ 申請日期：94 年 8 月 2 日

※IPC 分類：

H01L 21/8238 (2006.01)

一、發明名稱：(中文/英文)

使用隔離井之金氧半導體可變電容

MOS VARACTOR USING ISOLATION WELL

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文) 琳奈 D 安德森/ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國 籍：(中文/英文) 美國/US

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 道格拉斯 D 古伯/COOLBAUGH, DOUGLAS D.

2. 道格拉斯 B 赫斯伯格/HERSHBERGER, DOUGLAS B.

3. 羅伯特 M 羅素/RASSEL, ROBERT M.

國 籍：(中文/英文)

1.-3. 均為美國/US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；西元 2004 年 8 月 27 日；10/711,144

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有改良的可調性(tunability)之可變電容(varactor)的互補金氧半導體(CMOS)以及雙載子/CMOS(BiCMOS)電子元件以及製造這些元件的製程，其中在一些情況，可變電容可引發負偏壓以及隔離以降低雜訊，例如寄生電容(parasitics)。本發明中，包括可變電容之電子元件非常適合應用於行動電話、個人數位助理(PDAs)以及其他的高射頻(RF)電子元件。

【先前技術】

可變電容係具有可藉適當的電壓或是電流偏壓控制的一電容值之電子元件。舉例來說，可變電容通常應用於所謂的電壓控制振盪器(VCOs)中，其中振盪器的頻率可由一施加的電流或是電壓加以控制。在這種情況下，VCOs就會被使用在需要可變頻率時，或是當一訊號要與一參考訊號同步時。

在無線電通訊設備中，例如行動電話，常使用VCOs於鎖相迴路中，以產生適當的訊號，例如：產生一個和無線電接收器所接收到的訊號同步的參考訊號、調變或是解調操作以及頻率合成。

目前有很多可變電容被開發出來，並且應用於積體電路中。舉例來說，在雙載子、CMOS以及BiCMOS技術中，常使用pn二極體、Schottky二極體或是MOS二極體作為可變電容。R.A. Moline等人在1972年，發表於IEEE Trans. Electron. Device, ED-19 第 267f 頁之 “ Ion-Implanted

Hyperbrupt Junction Voltage Variable Capacitors”一文中，就提到包含pn二極體的可變電容。而在Foxhall等人的第3,638,300號美國專利、Goodwin等人的第4,226,648號美國專利、Pavlidis等人的第4,827,319號美國專利以及Nguyen等人的第5,557,140號美國專利中，也都提到包含超陡峭(hyper-abrupt)離子植入接面之其他形式的可變電容(variable capacitor)(也就是varactor)二極體。“超陡峭”一詞表示植入的摻雜曲線和相鄰的非外部基極區域之側壁接觸。另一方面，Embree等人的第4,973,922號美國專利、Stolfa等人的第5,965,912號美國專利、以及Litwin等人的第6,100,770號美國專利，則描述了使用MOS二極體作為可變電容。

可變電容的整合決定於積體電路技術的能力。對於在BiCMOS技術中的高射頻應用之積體電路元件的概述可參考J.N. Burghartz等人於1996年九月發表在IEEE Trans. Electron Devices，第1559頁，第43欄之“Integrated RF and Microwave Components in BiCMOS Technology”一文。如其中所述，可變電容並不是標準BiCMOS元件組的一部份，而是被設計為使用一個雙載子電晶體的集極-基極接面作為可變電容。

為了將一個元件作為可變電容，此元件必須滿足至少一個以上，最好是兩個以上的下列條件：(1)可調性(也就是最大電容值對最小電容值的比值)必須要高(約為十的三次方或是更高)；(2)品質參數Q必須要高(約為十的二十次方或是更高)；(3)此元件必須呈線性。

許多先前技術中的可變電容並不符合前述的條件。舉例而言，傳統的基極-集極接面可變電容係決定於NPN基極

-集極曲線，也就是沒有針對可變電容的可調性作最佳化。至於超陡峭基極-集極接面可變電容，也就是植入物的摻雜曲線位於非外部基極區域的“側壁”，此元件缺乏線性。至於傳統的MOS可變電容，可調性很高，不過通常需要更高的可調性。

基於前述關於先前技術中可變電容所具備的缺點，需要提供一種新型改良的可變電容，以滿足前述的條件，並且可以整合於CMOS以及BiCMOS元件中。

除此之外，在傳統的MOS可變電容的設計中，不容易將MOS可變電容和整體的基板隔絕。缺少了足夠的電性隔絕會導致元件具有很高的寄生電容，也就是雜訊。因此需要提供一種可變電容的設計，具有足夠的電性隔離，以減少元件中的雜訊。

【發明內容】

本發明提供一種可變電容以及製造可變電容的方法，此可變電容具有更高的可調性以及高品質參數Q。本發明的方法可與一般的CMOS製程或是一般的BiCMOS製程整合。

特別是，以較廣義的說法來說，本發明中的可變電容包括：

一第一傳導型式(conductivity type)之一半導體基板，此基板包含一第二傳導型式的一摻雜區域(doped region)於基板之一上部區域之下，就摻雜形式來說，第一傳導型式和第二傳導型式不同；

一井區域(well region)，位於基板之上部區域，其中井區域包含第二傳導型式之外側井區域(outer well regions)

，以及第一傳導型式之一內側井區域(inner well region)，井區域中的每一井係以一隔離區域而分隔於一上表面；以及

一場效電晶體，具有至少一個第一傳導型式之閘極導體於內側井區域之上。

在製造BiCMOS或是雙載子電晶體的某些實施例中，第二傳導型式的摻雜區域係為一次集極。而在製造CMOS元件的其他實施例中，第二傳導型式的摻雜區域係為一隔離井。

根據本發明之一較佳實施例，可變電容包括：

一p型半導體基板，包含一n型摻雜區域(即次集極或隔離井)於基板之一上部區域之下；

一井區域，位於基板之上部區域，其中井區域包含外側N型井(N-well)區域以及一內側P型井(P-well)區域，井區域中的每一井係以一隔離區域而分隔於一上表面；以及

一場效電晶體，具有至少一p型閘極導體於內側P型井區域之上。

在本發明之另一個實施例中，可變電容包括：

一n型半導體基板，包含一p型摻雜區域(即次集極或隔離井)於基板之一上部區域之下；

一井區域，位於基板之上部區域，其中井區域包含外側P型井(P-well)區域以及一內側N型井(N-well)區域，井區域中的每一井係以一隔離區域而分隔於一上表面；以及

一場效電晶體，具有至少一n型閘極導體於內側N型井區域之上。

除了可變電容的結構外，本發明亦提供製造可變電容

的方法。此方法包括下列步驟：

提供包含第一傳導型式之半導體基板的一結構；

形成複數個隔離區域於基板之一上部區域中；

形成一井區域於基板之上部區域中，其中井區域包含不同於第一傳導型式之一第二傳導型式的外側井區域，以及第一傳導型式的一內側井區域，井區域中的每一井係藉由一隔離區域而分隔於一上表面；以及

形成一場效電晶體於內側井區域之上，此場效電晶體具有至少一個第一傳導型式之閘極導體。

在一個實施例中，此基板包含一第二傳導型式的一摻雜區域(doped region)於基板之一上部區域之下。可在形成複數個隔離區域之前或在形成複數個隔離區域之後，甚至在形成井區域之前，形成摻雜區域。需注意的是，摻雜區域可以是用於BiCMOS或是雙載子元件的次集極，或是用於CMOS元件的隔離井。

用以製造一較佳的可變電容結構之方法包括以下步驟：

提供包含一p型半導體基板的一結構；

形成複數個隔離區域於基板之一上部區域中；

形成一井區域於基板之上部區域中，其中井區域包含外側井N型區域及一內側P型井區域，井區域中的每一井係藉由一隔離區域而分隔於一上表面；以及

形成一場效電晶體於內側井區域之上，此場效電晶體具有至少一個P型閘極導體。

在一個實施例中，基板包含一第二傳導型式的一摻雜區域(doped region)於基板之一上部區域之下。可在形成複

數個隔離區域之前或在形成複數個隔離區域之後，甚至在形成井區域之前，形成摻雜區域。

【實施方式】

本發明係提供一種MOS可變電容，其具有改良的可調性並降低了寄生電容(也就是雜訊)，本發明同時也提供一種製造此可變電容的方法。以下將更詳細的描述本發明，並請參考本發明所附的圖式。本發明之圖式係用以說明，因此並未依照比例繪示。此外，圖示中相似的元件將以相似的元件符號標示。

在之後的描述中，包括了交替的N型井、P型井以及N型井佈局的一種可應用於BiCMOS以及雙載子之PMOS可變電容將被描述，並且描述了n型次集極。即使已詳細地說明這樣的安排，本發明也考量可應用於BiCMOS以及雙載子的NMOS可變電容，其包括了可替代的P型井、N型井以及P型井佈局、以及p型次集極。NMOS可變電容是由和PMOS可變電容相反的摻雜物導體性質來形成。請注意，所示的BiCMOS或是雙載子應用，例如圖1A-圖1D的次集極，表示了第二傳導型式的摻雜區域，其中第二傳導型式與出現在基板中的第一傳導型式摻雜物不同。在CMOS的應用中，則具有隔離井，其代表了與出現在基板中的第一傳導型式摻雜物不同的第二傳導型式之摻雜區域。摻雜區域可以在形成隔離區域之前或是之後形成，不過是在本發明中的井區域形成之前形成。

請參照顯示一初始結構10的圖1A，這是在n+次集極14形成於部分半導體基板12中之後所形成。半導體基板12包括一半導體材料，例如矽(Si)、鍺化矽(SiGe)、碳鍺化矽

(SiGeC)、碳化矽(SiC)、砷化鎵(GaAs)、砷化銦(InAs)、磷化銦(InP)或是層狀半導體，例如絕緣層上矽(SOIs)、絕緣層上鍺化矽(SGOIs)、以及矽/鍺化矽(Si/SiGe)。在所示的實施例中，半導體基板12是p型基板。請注意基板12包括一上部區域11，上部區域11可包括基板材料本身或是在形成n+次集極14之前所形成的選擇性磊晶成長半導體層。

n+次集極14係藉以下形成：利用熟此技藝者所習知的傳統離子植入製程及條件，植入例如砷或磷之n型摻雜物原子。此植入可以是一個毯覆式(blanket)的植入，以在整個基板提供連續的次集極14，或是使用遮罩的離子植入製程，以在基板的特定區域內形成分開的次集極。可以使用的n型摻雜物的一個例子為砷，其植入條件為約 10^{14} 至大約 5×10^{16} atoms/cm²的摻雜劑量，且所使用的能量大約是20至大約100 keV。也可以使用上述以外的摻雜物離子或是植入條件。n+次集極14是位在離基板12上表面約300至2000 nm的位置。

不論所使用的摻雜誤為何，次集極14一般的摻雜濃度大約是 10^{18} 至大約 10^{20} atoms/cm³，而以約 10^{19} 至 10^{20} atoms/cm³較為常見。

需注意，雖然所示的次集極14是在本發明的這個階段形成，但次集極14也可以在之後的製程中形成，例如在隔離區域形成之後，但在井區域形成之前。

在前述的一些實施例中，磊晶半導體層(例如矽或是鍺化矽)是以一般熟悉技藝者所習知的磊晶成長製程而形成在半導體基板12的表面。磊晶層即是圖1A中的區域11。

接著如圖1B所示，複數個隔離區域16形成在半導體基板12的上部區域11中。在本發明的這個階段所形成的複數

個隔離區域16可以是矽的局部氧化(LOCOS)隔離區域，或者較佳為，複數個隔離區域16係溝渠隔離區域，如圖1B所示。隔離區域16是以一般熟悉技藝者所習知的製程形成。舉例來說，當隔離區域16係包括LOCOS隔離區域，可使用矽的局部氧化製程來形成這樣的隔離區域。當隔離區域16包括溝渠隔離區域，溝渠隔離區域係以光學微影、蝕刻以及溝渠填充(也就是沉積溝渠介電質，例如矽酸四乙酯(TEOS)或是高密度電漿氧化物(HDPO))來形成。在溝渠填充之後，可選擇性地進行平坦化製程，例如化學機械拋光(CMP)或是研磨。此外，也可使用一選擇性的緊密化(densification)製程。

在本發明中，複數個隔離區域16係形成在基板12的上部區域11，而且並不會向下延伸到 n^+ 次集極14。兩個相鄰的隔離區域則定義為元件區域18，如圖1B所示。

接著，以離子植入以及退火方式形成交替傳導性的井區域。在圖1C所揭示的範例中，交替傳導性的井區域包括第一N型井區域20A、P型井區域20B以及第二N型井區域20C。在另一個實施例中，在井區域可形成另一種摻雜型式。在圖1C所揭示的範例中，P型井區域(主動井)20B位在元件區域18中。N型井區域20A及20C係鄰接著元件區域18而形成，而那些井區域在此可稱為「穿透植入區域(reach-through implant regions)」，如圖所示，井區域延伸至隔離區域16之下，使得鄰近的井區域和相鄰的井區域接觸，例如，20A及20B。井區域20A、20B以及20C向下延伸至 n^+ 次集極14的表面，如圖1C所示。井區域20A及20C係用以和次集極14或隔離井14電性接觸。

如前所述，井區域係以離子植入和退火形成。用以形

成各井的摻雜物型式決定於可變電容的最終極性。N型摻雜物，例如在週期表的VA族中的元素(如砷及磷)可用以形成N型井，而P型摻雜物，例如在週期表的IIIA族中的元素(如硼、銦及鎵)可用以形成P型井。

不論使用的摻雜物形式為何，每個井區域一般的摻雜濃度是從大約 10^{17} 至大約 10^{19} atoms/cm³，較常見為的摻雜濃度是從大約 10^{17} 至大約 10^{18} atoms/cm³。

根據本發明，利用遮罩離子植入製程，將一選擇性的摻雜物離子型式植入部分的半導體基板12。外側的井區域20A及20C可以使用相同的植入條件而同時形成。此外，外側的井區域20A及20C也可使用不同的植入條件來而在不同時間形成。植入的順序可以改變。例如井區域20B可以在井區域20A及20C之前或是之後形成。

用以形成每個井區域的植入條件都係一般且已為熟此技藝者所習知的條件。舉例來說，用以形成N型井區域的植入條件可以包括一n型摻雜物，其劑量為大約 10^{12} 至 8×10^{15} atoms/cm²，且其能量為大約30至1000 keV。P型井區域可利用劑量為大約 10^{12} 至 8×10^{13} atoms/cm²且能量為大約30至600 keV的一p型摻雜物而形成。若技術上可達成穿透植入(reach-through)(n型)，則可用標準N型井植入取代之。一般而言，穿透植入包括n型摻雜物(例如銻)，其摻雜劑量是從 5×10^{13} 至 5×10^{14} ，且能量為100至300 keV。

離子植入可以使用一實質上垂直的離子植入製程而實施，或是使用傾斜一個角度的離子植入製程。

退火步驟係用以活化在每個井區域中的摻雜物。單一的退火步驟可以在井區域完成後進行，或者，退火步驟可在個別的井區域植入之後進行。在本發明中的退火溫度一

般約為900°C或更高，較常見為約1000°C或更高的退火溫度。退火的時間根據所使用的退火製程種類不同而有不同。舉例來說，對於快速熱退火(RTA)退火、雷射退火或是峰值退火的時間大約為5分鐘或更少，而爐管退火的退火時間一般為大約30分鐘或更長。

請注意在井區域的活化可以被延遲，直到執行本發明製程中的另一個加熱循環。舉例來說，井區域可以在源極/汲極擴散活化過程中被活化。將井區域的活化延遲至較晚的熱製程有其優點，因為如此可以減少整個製程中熱循環的次數，並因而降低成本。

接著使用傳統的CMOS製程，以提供圖1D所示的可變電容22。請注意圖1D所示的可變電容22包括一個場效電晶體(FET)，其中包括閘極介電層24、閘極導體26、位於至少閘極導體26側壁的至少一間隔物30、以及位於基板10上方的源極/汲極區域32。可變電容22位在中央井區域(也就是P型井區域20B)上方的元件區域18中。

一個傳統的CMOS製程可以用來形成圖1D中所示的可變電容22，此傳統CMOS製程包括下列步驟：首先將閘極介電層24形成在圖1C所示的結構之整個表面上，此結構包括半導體基板12及其上的隔離區域16，假設這兩者都包括沉積的介電材料。

閘極介電層24可以熱成長製程來形成，例如：氧化、氮化或是氮氧化。另外，閘極介電層24也可以沉積製程來形成，例如化學氣相沉積(CVD)、電漿輔助化學氣相沉積、原子層沉積(ALD)、蒸鍍、反應濺鍍、化學溶液沉積以及其他類似的沉積製程。閘極介電層24也可以利用前述製程的組合來形成。

閘極介電層24是由絕緣材料組成，此絕緣材料包括但不限於：氧化物、氮化物、氮氧化物及/或包括金屬矽酸鹽以及氮化金屬矽酸鹽的矽酸鹽。在一實施例中，閘極介電層24較佳為包含一氧化物，例如： SiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 以及這些的混合物。

閘極介電層24的物理厚度可能會變化，不過一般而言，閘極介電層24的厚度大約是從0.5至10nm，較常見為大約是0.5至3nm。

在形成閘極介電層24之後，使用已知的沉積製程，例如：物理氣相沉積、化學氣相沉積或是蒸鍍，在閘極介電層24上形成一毯覆式的多晶矽層(也就是PolySi)，而成為圖1D中所示的閘極導體26。毯覆式的多晶矽層可以是已摻雜或是未摻雜的。若是已摻雜的，可以使用原位(in-situ)摻雜沉積製程來形成。另外，也可以沉積、離子植入以及退火來形成一摻雜的多晶矽層。多晶矽層的摻雜會改變所形成閘極的工作函數。摻雜物離子的例示性範例包括砷、磷、硼、銻、鉍、銦、鋁、鎵、鉈或是其混合物。如圖示所示的例子，形成一個p型摻雜的多晶矽閘極導體26。較佳的離子植入濃度為 10^{14} 至 10^{16} atoms/cm²，其較佳為 10^{15} 至 5×10^{15} atoms/cm²。本發明這個階段所沉積的多晶矽層厚度，也就是高度，會隨著所使用的沉積製程而不同。一般而言，多晶矽層的垂直厚度大約是從20至大約180nm，較常見的厚度為約40至約150nm。

不論使用的摻雜物為何，閘極導體26的摻雜濃度一般是從大約 10^{19} 至大約 10^{21} atoms/cm³，較常見的摻雜濃度是從大約 5×10^{19} 至大約 5×10^{20} atoms/cm³。

在沉積多晶矽毯覆層26之後，使用一沉積製程(例如物

理氣相沉積或是化學氣相沉積)而形成一層硬式光罩28於多晶矽毯覆層26之上。硬式光罩28可以是氧化物、氮化物、氮氧化物或是其組合。在一個實施例中，例如 Si_3N_4 的氮化物可以作為硬式光罩28。在另一個實施例中，硬式光罩28為一氧化物，例如 SiO_2 。硬式光罩28厚度，也就是高度，大約是20nm至大約180 nm，較常見的厚度為約30nm至約140nm。

接著，以光學微影及蝕刻製程來圖案化毯覆式的多晶矽層26以及硬式光罩28，以提供至少一個圖案化的閘極堆疊(gate stack)。圖案化的閘極堆疊可以具有相同的尺寸，也就是長度，或是具有不同的尺寸以改良元件的效能。每個被圖案化的閘極堆疊在本發明的這個階段包括了多晶矽閘極導體26以及硬式光罩28。光學微影的步驟包括在硬式光罩28的上表面塗上一層光阻、將光阻曝光於一所需的輻射圖案，接著使用一般的光阻顯影劑來顯影曝光的光阻。接著以一道或是多道乾蝕刻步驟，將光阻上的圖案轉移到硬式光罩28以及多晶矽毯覆層26中。在一些實施例中，圖案化的光阻可以在圖案已經轉移到硬式光罩28之後移除。在其他的實施例中，圖案化的光阻可以在蝕刻完成後移除。

請注意硬式光罩28一般在閘極圖案化製程之中或是之後被移除。硬式光罩28一般不會出現在最終的結構中，如圖1D所示。

本發明可用以形成圖案化的閘極堆疊之合適的乾式蝕刻程序包括但不限於：反應離子蝕刻、離子束蝕刻、電漿蝕刻或是雷射剝除。所使用的乾式蝕刻製程一般對下方的閘極介電層24有選擇性，因此蝕刻步驟一般不會移除閘

極介電層24。在一些實施例中，這個蝕刻步驟可以用來移除閘極介電層24沒有被閘極堆疊保護的部分。

接著，至少一個間隔物30形成在圖案化閘極堆疊之露出的側壁上。此至少一個的間隔物30包括一絕緣層，例如氧化物、氮化物、氮氧化物及/或是其組合。此至少一個的間隔物係由沉積和蝕刻所形成。

此至少有一個的間隔物30的寬度必須足夠寬，使得接下來形成的源極和汲極矽化接觸不會侵入閘極堆疊的邊緣下方。一般而言，當間隔物30在底部的寬度為約15nm至約80 nm時，源極/汲極矽化物不會侵入閘極堆疊的邊緣下方。

在間隔物形成之後，源極/汲極區域32、32'也形成至基板12中。源極/汲極區域32、32'係利用離子植入以及退火步驟而形成。退火步驟係用以活化在之前植入步驟中被植入的摻雜物。這些離子植入以及退火步驟的條件為熟此技藝者所習知。而「源極/汲極區域」一詞包括深部的源極/汲極擴散區域，選擇性地環繞植入物以及源極/汲極延伸區域。

接著，若先前閘極介電層24之外露部份沒有被移除，則以選擇性地移除閘極介電層24之化學蝕刻製程將其移除。這個蝕刻步驟在半導體基板12的上表面以及隔離區域16的上表面停止。雖然任何的化學蝕刻液均可以用來移除閘極介電層24的外露區域，在一實施例中，則使用稀釋的氫氟酸(DHF)。

利用熟此技藝者所習知的傳統的源極/汲極矽化製程以及金屬閘極矽化製程，可在本發明的這個階段中，矽化源極/汲極區域32、32'以及閘極導體24選擇性地至少一部

分。

請注意圖1D顯示本發明的結構，對於BiCMOS或是雙載子的應用，也就是可變電容22位於包括井型式以及一下方次集極的基板12之表面上方。在圖式中，可變電容22包括p型多晶矽閘極導體26、下方的P型井區域20B、藉由隔離區域16與可變電容分開的相鄰的N井區域20A及20C、以及將P型井區域20B和p型半導體基板12本體隔離的下方n+次集極14。相反極性的結構也可以形成，也就是n型多晶矽閘極導體26、下方的N型井區域20B、藉由隔離區域16與可變電容結構分開的相鄰的P型井區域20A及20C、以及將N型井區域20B和n型的半導體基板12本體隔離的下方p型+次集極14。

圖1D所繪示的結構係為較佳實施例，因為此結構提供了在空乏區操作的一負向偏壓累積型可變電容。

請注意，其他的可變電容22可視需要形成在基板12的表面。

圖2係CV特性圖，其中曲線1為習知在n型井中的NMOS，曲線2為習知在p型井中的PMOS，而曲線3為本發明之在P型井中的可變電容PMOS，其具有井型式以及一下方的n+次集極或隔離井。從這個圖式中可以看出，本發明的可變電容的最小電容值降低了，因此，相對於曲線1和2，增加了元件的可調性。最小電容值的降低係因為n型次集極或是隔離井輕微的反向摻雜所造成。這會降低本發明在P型井中的p型摻雜物，並因此降低最小電容值。

圖3A至圖3C描述在CMOS應用中形成可變電容之製造步驟。首先提供一如圖3A所示之結構，其中包括半導體基板12，在基板12之上部區域中形成有複數個隔離區域16

。複數個隔離區域16係如前述而形成。如圖所示，元件區域18在兩個相鄰的隔離區域之間形成。半導體基板12係以第一傳導型式之摻雜物(n或p型式)而摻雜。

接著，藉由離子植入p或n型摻雜物至圖3A所示的結構中，形成隔離井14(也就是第二傳導型式的摻雜區域)，而產生圖3B所示的結構。隔離井區域14係使用熟知此技術人士所知的傳統植入製程形成。

接著，如前述形成井區域20A、20B以及20。需注意，20A和20B為和隔離井區域14具有相同傳導型式摻雜物的穿透植入物，其中主動井區域20B和基板具有相同傳導型式的摻雜物。形成的結構如圖3C所示。

前述的進一步製程可以在圖3C所示的結構上形成，以提供圖1D所示的結構。

以上對於本發明之較佳實施例所作的敘述係用以說明，對於熟習本技藝之人士而言，基於以上的教導或從本發明的實施例學習，可在不脫離本發明的範疇下作出修改或變化。因此，本發明並不限定於所揭露的型式，而係由以下的申請專利範圍及其均等來決定。

【圖式簡單說明】

圖1A-1D為剖面圖，用以說明本發明中製造BiCMOS或是雙載子應用的累積可變電容之基本製程步驟；

圖2係CV特性(電容密度對於閘極電壓 V_g)圖，其中曲線1為習知在n型井中的NMOS，曲線2為習知在p型井中的PMOS，而曲線3為本發明之PMOS累積可變電容；以及

圖3A-3C為剖面圖，用以說明本發明中製造CMOS應用的累積可變電容之基本製程步驟。

【主要元件符號說明】

- | | |
|-----------------|----------------|
| 10、初始結構 | 11、上部區域 |
| 12、半導體基板 | 14、次集極 |
| 16、隔離區域 | 18、元件區域 |
| 20A、20B、20C、井區域 | |
| 22、可變電容 | 24、介電層 |
| 26、閘極導體 | 28、硬式光罩 |
| 30、間隔物 | 32、32'、源極和汲極區域 |

五、中文發明摘要：

本發明提供一種可變電容及製造可變電容的方法，此可變電容具有更高的可調性以及高品質參數 Q 。本發明的方法可與一般的 CMOS 製程或是一般的 BiCMOS 製程整合。本發明的方法包括提供一結構，此結構包含一第一傳導型式之一半導體基板，以及選擇性的包含一第二傳導型式的一次集極或隔離井（即摻雜區域）於基板之一上部區域之下，其中第一傳導型式和第二傳導型式不同。接著，形成複數個隔離區域於基板之一上部區域中，再形成一井區域於基板之該上部區域中。在某些情況中，本製程方法會在這個時候形成摻雜區域。井區域包含第二傳導型式之外側井區域，以及第一傳導型式之一內側井區域。井區域中的每一井係以一隔離區域而分隔於一上表面。接著形成一場效電晶體於內側井區域之上，此場效電晶體具有該第一傳導型式之至少一個閘極導體。

六、英文發明摘要：

The present invention provides a varactor that has increased tunability and a high quality factor Q as well as a method of fabricating the varactor. The method of the present invention can be integrated into a conventional CMOS processing scheme or into a conventional BiCMOS processing scheme. The method includes providing a structure that includes a semiconductor substrate of a first conductivity type and optionally a subcollector or isolation well (i.e., doped region) of a second conductivity type located below an upper region of the substrate, the first conductivity type is different from said second conductivity type. Next, a plurality of isolation regions are formed in the upper region of the substrate and then a well region is formed in the upper region of the substrate. In some cases, the doped region is formed at this point of the inventive process. The well region includes outer well regions of the second conductivity type and an inner well region of the first conductivity type. Each well of said well region is separated at an upper surface by an isolation region. A field effect transistor having at least a gate conductor of the first conductivity type is then formed above the inner well region.

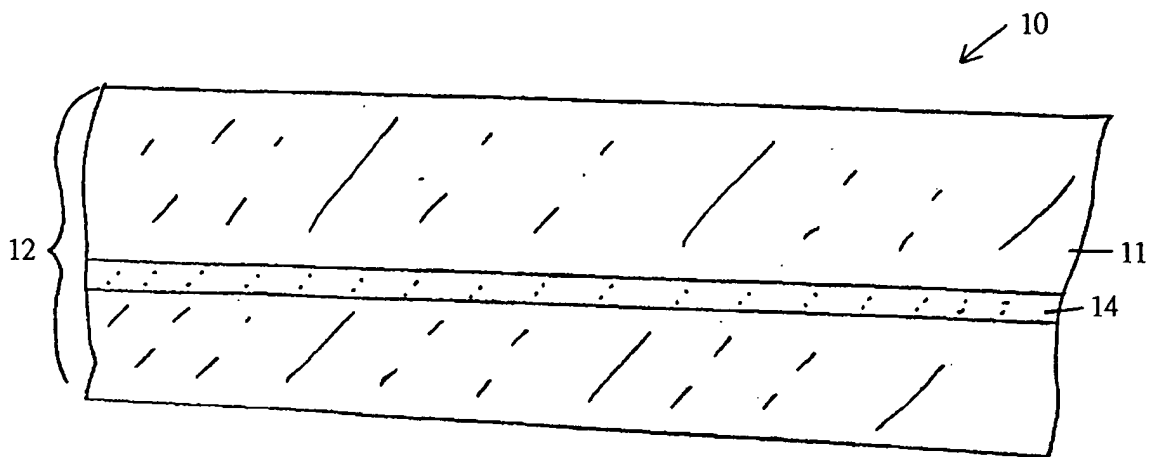


圖1A

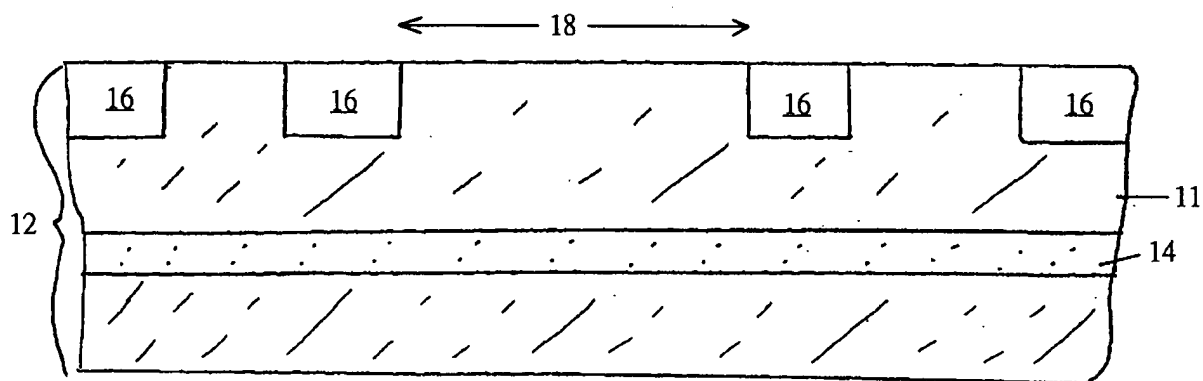


圖1B

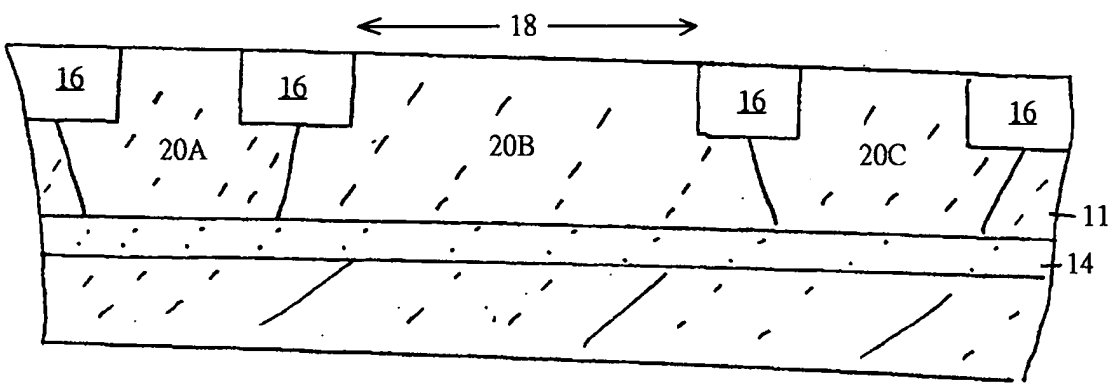


圖1C

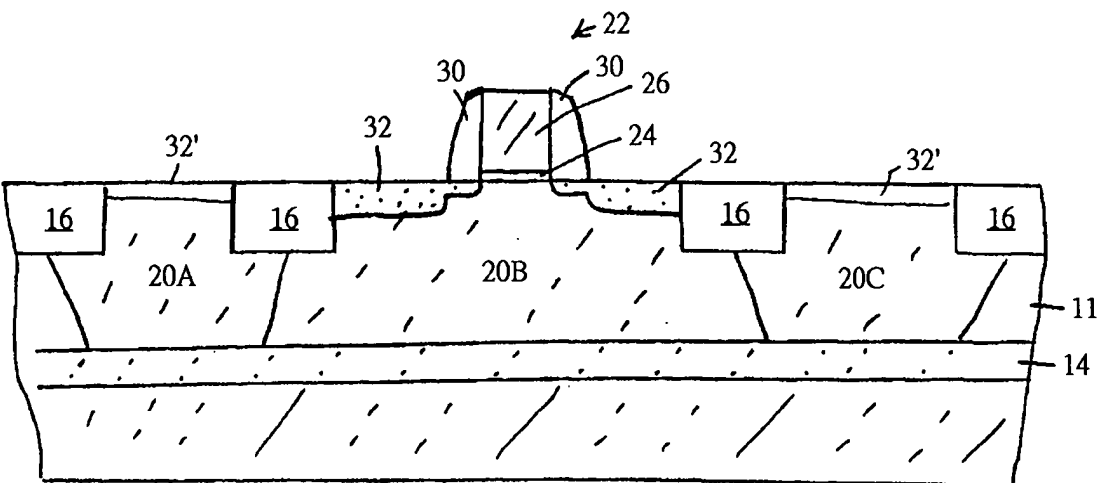


圖1D

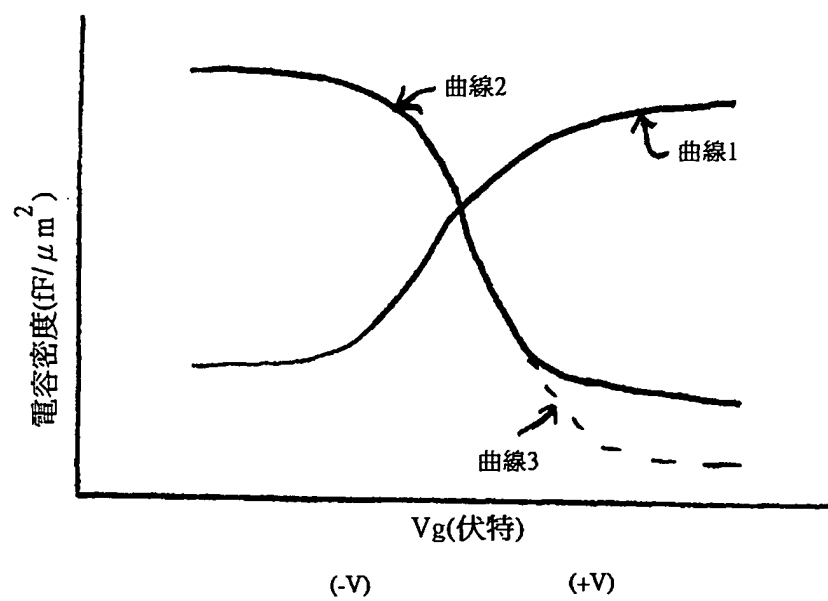


圖2

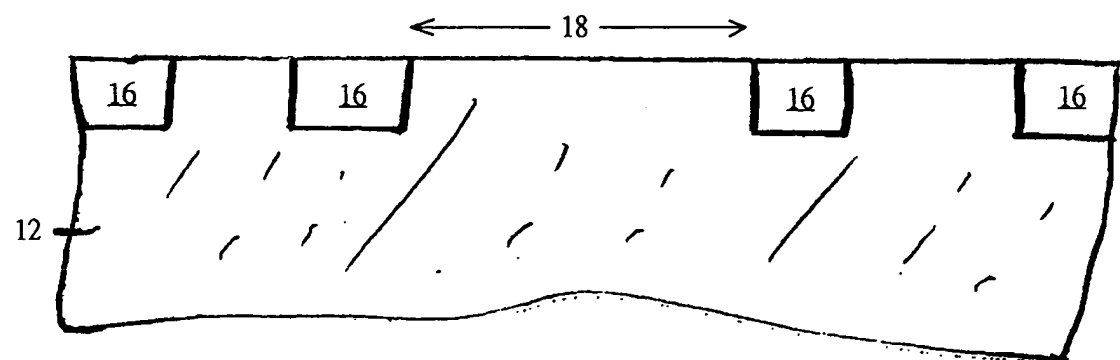


圖3A

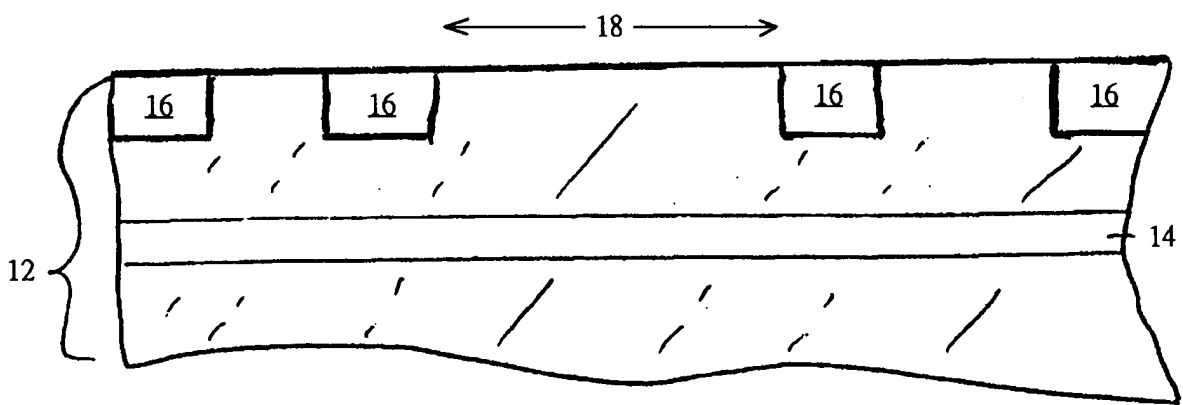


圖3B

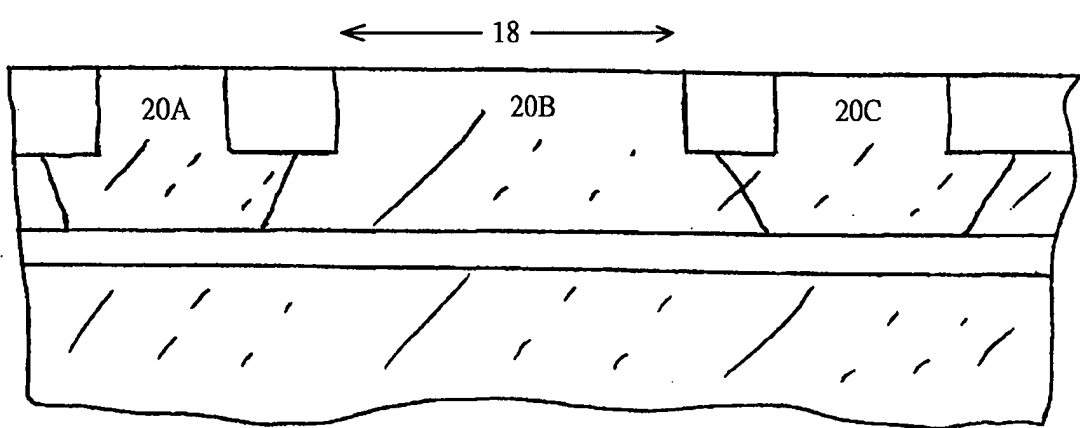


圖3C

七、指定代表圖：

(一)本案指定代表圖為：圖 1D。

(二)本代表圖之元件符號簡單說明：

- | | |
|----------------|-----------------|
| 11、上部區域 | 14、次集極 |
| 16、隔離區域 | 20A、20B、20C、井區域 |
| 22、可變電容 | 24、介電層 |
| 26、閘極導體 | 30、間隔物 |
| 32、32'、源極和汲極區域 | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

十、申請專利範圍：

1. 一種可變電容(varactor)結構，包括：

一半導體基板，包括一第二傳導型式(conductivity type)之一次集極(subcollector)以及一第一傳導型式之一半導體層，其中該次集極位於該半導體基板之一上部區域之下，該半導體層位於該次集極之下，且該第一傳導型式和該第二傳導型式不同；

一井區域(well region)，位於該半導體基板之該上部區域，其中該井區域包含該第二傳導型式之外側井區域(outer well regions)，以及該第一傳導型式之一內側井區域(inner well region)，該不同傳導型式之井區域中的每一井係以一隔離區域而分隔於一上表面，其中該外側井區域以及該內側井區域皆具有包括源極與汲極摻雜物(dopant)區域的一上表面，其中該內側井區域之該源極與汲極摻雜物區域係藉由包括一介電材料的該隔離區域而和該外側井區域之該源極與汲極摻雜物區域分隔；以及

一場效電晶體，具有至少一個該第一傳導型式之閘極導體於該內側井區域之上，該外側井區域以及該內側井區域係與具有該第二傳導型式之該次集極接觸，其中該不同傳導型式之井區域中的每一井係在該隔離區域之下延伸至該次集極，因而相鄰井區域沿著每一井區域之整個深度彼此接觸，其中該次集極連續延伸穿過該半導體基板的該外側井區域與該內側井區域。

2. 如請求項1所述之可變電容結構，其中該第一傳導型式包含一p型摻雜物(dopant)，而該第二傳導型式包含一n型摻雜物。

3. 如請求項1所述之可變電容結構，其中該第一傳導型式包含

一n型摻雜物，而該第二傳導型式包含一p型摻雜物。

4. 如請求項1所述之可變電容結構，其中該半導體基板之該上部區域包含一磊晶半導體層。

5. 如請求項1所述之可變電容結構，其中該場效電晶體進一步包含：一閘極介電層於該閘極導體下方、一硬式光罩(hard mask)於該閘極導體上、以及至少一間隔物(spacer)於該閘極導體以及相鄰的汲極/源極區域之側壁上。

6. 如請求項1所述之可變電容結構，其中該閘極導體包含多晶矽。

7. 一種可變電容結構，包含：

一p型半導體基板，包含一n型次集極以及一p型半導體層，其中該n型次集極位於該半導體基板之一上部區域之下，該p型半導體層位於該n型次集極之下；

一井區域，位於該半導體基板之該上部區域，其中該井區域包含外側N型井(N-well)區域以及一內側P型井(P-well)區域，該不同傳導型式之井區域中的每一井係以一隔離區域而分隔於一上表面，其中該外側N型井區域以及該內側P型井區域皆具有包括源極與汲極摻雜物(dopant)區域的一上表面，其中該內側P型井區域之該源極與汲極摻雜物區域係藉由包括一介電材料的該隔離區域而和該外側N型井區域之該源極與汲極摻雜物區域分隔；以及

一場效電晶體，具有至少一p型閘極導體於該內側P型井區域之上，該外側N型井區域以及該內側P型井區域係與該n型次

集極接觸，其中該外側N型井區域以及該內側P型井區域係在該隔離區域之下延伸至該n型次集極，因而相鄰井區域沿著每一井區域之整個深度彼此接觸，其中該n型次集極連續延伸穿過該外側N型井區域與該內側P型井區域。

8. 如請求項7所述之可變電容結構，其中該半導體基板之該上部區域包含一磊晶半導體層。

9. 如請求項7所述之可變電容結構，其中該場效電晶體進一步包含：一閘極介電層於該閘極導體下方、一硬式光罩於該閘極導體上、以及至少一間隔物位於該閘極導體以及相鄰的汲極/源極區域之側壁上。

10. 如請求項7所述之可變電容結構，其中該閘極導體包含多晶矽。