

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成23年7月28日(2011.7.28)

【公表番号】特表2010-530630(P2010-530630A)

【公表日】平成22年9月9日(2010.9.9)

【年通号数】公開・登録公報2010-036

【出願番号】特願2010-512741(P2010-512741)

【国際特許分類】

H 0 1 L 21/60 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 25/04 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 21/60 3 2 1 E

H 0 1 L 23/52 D

H 0 1 L 25/04 Z

【手続補正書】

【提出日】平成23年6月10日(2011.6.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

フレキシブルな接続によって機械的に相互接続された複数のチップ(2)のアッセンブリを生成する方法であって、

- ・各々がレシーブ領域(4)を含む複数のチップ(2)を基板(1)上に生成し、
 - ・前記アッセンブリの前記チップ(2)の前記レシーブ領域(4)を、接続素子(6)を用いて直列に接続し、
 - ・前記複数のチップ(2)を分離することを具備し、
- 前記レシーブ領域(4)は溝によって形成されており、
前記接続素子(6)は、前記フレキシブルな接続手段を達成するために前記溝に埋め込まれたスレッドであることを特徴とする方法。

【請求項 2】

前記接続素子(6)は導電性を有することを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記基板は、当初、仮の支持部(7, 9, 10)に固定されたアクティブ基板(8)を備えており、当該方法は、

- ・前記基板(1)の前記アクティブ基板(8)上に複数のチップ(2)を生成し、
- ・前記レシーブ領域(4)を直列に接続する前に、前記基板(1)の前記アクティブ基板(8)のレベルにおいて前記チップ(2)を部分的にダイシングすることを具備し、前記仮の支持部(7, 9, 10)は、前記チップが分離されるときに除去されることを特徴とする請求項 1 または請求項 2 に記載の方法。

【請求項 4】

前記仮の支持部は、前記チップ(2)とは反対側の前記基板の表面に形成された固定膜(7)であることを特徴とする請求項 3 に記載の方法。

【請求項 5】

前記基板（１）は、前記アクティブ基板（８）と、埋込み絶縁膜（９）と、支持基板（１０）とを備え、前記埋込み基板（９）は、前記アクティブ基板（８）と前記支持基板（１０）との間に配置され、前記チップ（２）の分離は、前記埋込み基板（９）の除去によって行われることを特徴とする請求項３に記載の方法。

【請求項６】

前記溝は、凹型、四角形、あるいは、円形の断面を有することを特徴とする請求項１から請求項５のいずれか一項に記載の方法。

【請求項７】

追加の溝が前記チップ上に形成され、追加のスレッドが各チップを接続することを特徴とする請求項１から請求項６のいずれか一項に記載の方法。

【請求項８】

前記チップのセットは、コイルに形成されることを特徴とする請求項１から請求項７のいずれか一項に記載の方法。

【請求項９】

２つの連続したチップは、個別のスレッドによって接続されていることを特徴とする請求項１から請求項８のいずれか一項に記載の方法。