



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0040488
(43) 공개일자 2019년04월18일

- (51) 국제특허분류(Int. Cl.)
 HO1L 29/78 (2006.01) HO1L 23/535 (2006.01)
 HO1L 29/06 (2006.01) HO1L 29/41 (2006.01)
 HO1L 29/417 (2006.01) HO1L 29/423 (2006.01)
 HO1L 29/66 (2006.01)
- (52) CPC특허분류
 HO1L 29/7834 (2013.01)
 HO1L 29/413 (2013.01)
- (21) 출원번호 10-2019-7005151
- (22) 출원일자(국제) 2017년08월21일
 심사청구일자 없음
- (85) 번역문제출일자 2019년02월21일
- (86) 국제출원번호 PCT/US2017/047747
- (87) 국제공개번호 WO 2018/039108
 국제공개일자 2018년03월01일
- (30) 우선권주장
 15/245,777 2016년08월24일 미국(US)

- (71) 출원인
헬컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스
 우스 드라이브 5775
- (72) 발명자
최, 윤 성
 미국 92121 캘리포니아주 샌 디에고 모어하우스
 드라이브 5775
로, 옥진
 미국 92121 캘리포니아주 샌 디에고 모어하우스
 드라이브 5775
엑보테, 샤샨크
 미국 92121 캘리포니아주 샌 디에고 모어하우스
 드라이브 5775
- (74) 대리인
특허법인 남앤남

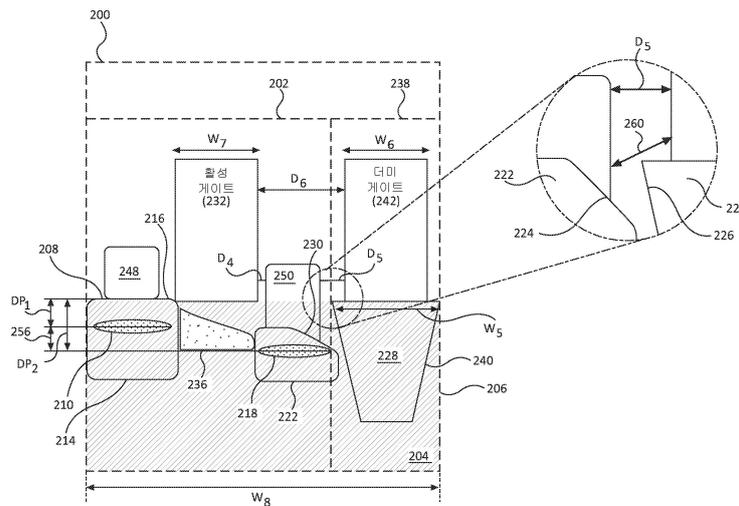
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 전계 효과 트랜지스터(FET) 디바이스들**

(57) 요약

인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 전계 효과 트랜지스터(FET) 디바이스들이 개시된다. 예시적인 양상에서, 활성 게이트, 소스 구역, 및 드레인 구역을 갖는 FET 디바이스를 포함하는 FET 셀이 제공된다. FET 셀은 또한, 소스 구역 및 드레인 구역 중 하나에 인접하게 로케이팅되는 확산 브레이크 위의 더미 게이트를 포함하는 격리 구조를 포함한다. FET 셀은, 활성 게이트의 폭이 인접한 더미 게이트의 폭보다 크다는 점에서 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 갖는다. 활성 게이트의 증가된 폭은 증가된 게이트 제어를 제공하고, 더미 게이트의 감소된 폭은 더미 게이트로부터의 격리를 증가시키며, 따라서, 더미 게이트를 통한 서브-임계치 누설을 감소시킨다.

대표도



(52) CPC특허분류

- H01L 29/41775* (2013.01)
 - H01L 29/42376* (2013.01)
 - H01L 29/66545* (2013.01)
 - H01L 29/66606* (2013.01)
 - H01L 29/66795* (2013.01)
 - H01L 29/7811* (2013.01)
 - H01L 29/7835* (2013.01)
 - H01L 29/7848* (2013.01)
 - H01L 29/7851* (2013.01)
-

명세서

청구범위

청구항 1

비대칭 게이트 폭 레이아웃을 갖는 전계 효과 트랜지스터(FET) 셀로서,
 최상부 표면을 갖는 본체를 포함하는 기판;
 FET 디바이스 - 상기 FET 디바이스는,
 상기 기판에 배치된 소스;
 상기 기판에 배치된 드레인; 및
 상기 소스와 상기 드레인 사이에 형성된 활성 게이트 폭의 활성 게이트를 포함함 -; 및
 상기 FET 디바이스에 인접하게 상기 기판에 배치된 격리 구조를 포함하며,
 상기 격리 구조는,
 상기 FET 디바이스의 상기 소스 및 상기 드레인 중 하나에 인접하게 상기 기판에 배치된 확산 브레이크(diffusion break) - 상기 확산 브레이크에 인접한 상기 소스 및 상기 드레인 중 하나의 깊이는 상기 확산 브레이크에 인접하지 않은 상기 소스 및 상기 드레인 중 하나의 깊이보다 큼 -; 및
 상기 활성 게이트에 인접하게 상기 확산 브레이크 위에 형성된 더미 게이트 폭의 더미 게이트를 포함하며,
 상기 더미 게이트 폭은 게이트 폭 마진만큼 상기 활성 게이트 폭보다 작은, 전계-효과 트랜지스터 셀.

청구항 2

제1항에 있어서,
 상기 활성 게이트에 인접하게 상기 소스 위에 배치된 소스 콘택(source contact); 및
 상기 활성 게이트에 인접하게 상기 드레인 위에 배치된 드레인 콘택을 더 포함하며,
 상기 확산 브레이크에 인접한 상기 소스 및 상기 드레인 중 하나에 대응하는 상기 소스 콘택 및 상기 드레인 콘택 중 하나는 상기 활성 게이트와 상기 더미 게이트 사이에 배치되며, 제1 거리만큼 상기 활성 게이트로부터 격리되고, 격리 마진만큼 상기 제1 거리와 상이한 제2 거리만큼 상기 더미 게이트로부터 격리되고,
 상기 격리 마진은 상기 게이트 폭 마진의 대략 절반인, 전계-효과 트랜지스터 셀.

청구항 3

제2항에 있어서,
 상기 활성 게이트 폭은 대략 15나노미터(nm)이고;
 상기 더미 게이트 폭은 대략 13nm이고; 그리고
 상기 격리 마진은 대략 1nm인, 전계-효과 트랜지스터 셀.

청구항 4

제2항에 있어서,
 상기 활성 게이트 폭은 대략 18나노미터(nm)이고;
 상기 더미 게이트 폭은 대략 14nm이고; 그리고
 상기 격리 마진은 대략 2nm인, 전계-효과 트랜지스터 셀.

청구항 5

제1항에 있어서,
 상기 게이트 폭 마진은 적어도 2나노미터(nm)인, 전계-효과 트랜지스터 셀.

청구항 6

제5항에 있어서,
 상기 활성 게이트 폭은 대략 15nm이고; 그리고
 상기 더미 게이트 폭은 대략 13nm인, 전계-효과 트랜지스터 셀.

청구항 7

제5항에 있어서,
 상기 활성 게이트 폭은 대략 17nm이고; 그리고
 상기 더미 게이트 폭은 대략 14nm인, 전계-효과 트랜지스터 셀.

청구항 8

제1항에 있어서,
 상기 게이트 폭 마진은 적어도 4나노미터(nm)이고; 그리고
 상기 활성 게이트 폭은 대략 18나노미터(nm)인, 전계-효과 트랜지스터 셀.

청구항 9

제1항에 있어서,
 집적 회로(IC)로 통합되는, 전계-효과 트랜지스터 셀.

청구항 10

제1항에 있어서,
 셋탑 박스; 엔터테인먼트 유닛; 네비게이션 디바이스; 통신 디바이스; 고정 위치 데이터 유닛; 모바일 위치 데이터 유닛; 모바일 폰; 셀룰러 폰; 스마트 폰; 태블릿; 패블릿; 서버; 컴퓨터; 휴대용 컴퓨터; 데스크톱 컴퓨터; 개인 휴대 정보 단말(PDA); 모니터; 컴퓨터 모니터; 텔레비전; 튜너; 라디오; 위성 라디오; 뮤직 플레이어; 디지털 뮤직 플레이어; 휴대용 뮤직 플레이어; 디지털 비디오 플레이어; 비디오 플레이어; 디지털 비디오 디스크(DVD) 플레이어; 휴대용 디지털 비디오 플레이어; 및 자동차(automobile)로 이루어진 그룹으로부터 선택되는 디바이스로 통합되는, 전계-효과 트랜지스터 셀.

청구항 11

반도체 다이에서 전계 효과 트랜지스터(FET) 셀을 제조하는 방법으로서,
 기판에 배치된 확산 브레이크를 형성하는 단계;
 상기 기판 상에 활성 게이트 폭의 활성 게이트를 형성하는 단계;
 상기 확산 브레이크 위에 그리고 상기 활성 게이트에 인접하게 더미 게이트 폭의 더미 게이트를 형성하는 단계 - 상기 더미 게이트 폭은 게이트 폭 마진만큼 상기 활성 게이트 폭보다 작음 -;
 상기 활성 게이트에 인접하게 상기 기판에 FET 디바이스의 소스 에피택셜 구역을 형성하는 단계;
 상기 기판의 최상부 표면으로부터 제1 깊이로 상기 소스 에피택셜 구역에 소스를 형성하는 단계;
 상기 활성 게이트와 상기 더미 게이트 사이에서 상기 확산 브레이크에 인접하게 상기 기판에 상기 FET 디바이스의 드레인 에피택셜 구역을 형성하는 단계 - 상기 드레인 에피택셜 구역의 일부는 상기 확산 브레이크와 접촉함 -;

상기 기관의 최상부 표면으로부터, 상기 제1 깊이보다 큰 제2 깊이로 상기 드레인 에피택셜 구역에 드레인을 형성하는 단계; 및

상기 소스와 상기 드레인 사이에서 상기 기관에 상기 FET 디바이스의 채널 구역을 형성하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 12

제11항에 있어서,

상기 더미 게이트를 형성하는 단계는, 적어도 2나노미터(nm)의 게이트 폭 마진만큼 상기 활성 게이트 폭보다 작은 더미 게이트 폭을 포함하는 더미 게이트를 형성하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 13

제12항에 있어서,

상기 활성 게이트를 형성하는 단계는, 대략 15nm인 활성 게이트 폭을 포함하는 활성 게이트를 형성하는 단계를 포함하고; 그리고

상기 더미 게이트를 형성하는 단계는, 대략 13nm인 더미 게이트 폭을 포함하는 더미 게이트를 형성하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 14

제12항에 있어서,

상기 활성 게이트를 형성하는 단계는, 대략 17nm인 활성 게이트 폭을 포함하는 활성 게이트를 형성하는 단계를 포함하고; 그리고

상기 더미 게이트를 형성하는 단계는, 대략 14nm인 더미 게이트 폭을 포함하는 더미 게이트를 형성하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 15

제11항에 있어서,

상기 더미 게이트를 형성하는 단계는, 적어도 4나노미터(nm)의 게이트 폭 마진만큼 상기 활성 게이트 폭보다 작은 더미 게이트 폭을 포함하는 더미 게이트를 형성하는 단계를 포함하고; 그리고

상기 활성 게이트를 형성하는 단계는, 대략 18nm인 활성 게이트 폭을 포함하는 활성 게이트를 형성하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 16

제11항에 있어서,

상기 활성 게이트에 인접하게 상기 소스 에피택셜 구역 상에 소스 콘택을 배치하는 단계; 및

상기 활성 게이트와 상기 더미 게이트 사이에서 상기 드레인 에피택셜 구역 상에 드레인 콘택을 배치하는 단계를 더 포함하며,

상기 드레인 콘택은, 제1 거리만큼 상기 활성 게이트로부터 격리되고, 격리 마진만큼 상기 제1 거리보다 큰 제2 거리만큼 상기 더미 게이트로부터 격리되고,

상기 격리 마진은 상기 게이트 폭 마진의 대략 절반인, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 17

제16항에 있어서,

상기 활성 게이트를 형성하는 단계는, 대략 15nm인 활성 게이트 폭을 포함하는 활성 게이트를 형성하는 단계를 포함하고; 그리고

상기 더미 게이트를 형성하는 단계는, 대략 1nm인 격리 마진을 제공하기 위해, 대략 13nm인 더미 게이트 폭을 포함하는 더미 게이트를 형성하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 18

제16항에 있어서,

상기 활성 게이트를 형성하는 단계는, 대략 18nm인 활성 게이트 폭을 포함하는 활성 게이트를 형성하는 단계를 포함하고; 그리고

상기 더미 게이트를 형성하는 단계는, 대략 2nm인 격리 마진을 제공하기 위해, 대략 14nm인 더미 게이트 폭을 포함하는 더미 게이트를 형성하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

청구항 19

제11항에 있어서,

상기 소스 에피택셜 구역에 소스를 형성하는 단계는, 상기 기판의 최상부 표면으로부터 상기 제1 깊이로 상기 소스 에피택셜 구역에 상기 소스를 주입하는 단계를 포함하고; 그리고

상기 드레인 에피택셜 구역에 드레인을 형성하는 단계는, 상기 기판의 최상부 표면으로부터, 상기 제1 깊이보다 큰 상기 제2 깊이로 상기 드레인 에피택셜 구역에 상기 드레인을 주입하는 단계를 포함하는, 반도체 다이에서 전계 효과 트랜지스터 셀을 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 출원은, 발명의 명칭이 "FIELD-EFFECT TRANSISTOR (FET) DEVICES EMPLOYING ADJACENT ASYMMETRIC ACTIVE GATE / DUMMY GATE WIDTH LAYOUT"으로 2016년 8월 24일자로 출원된 미국 특허 출원 시리얼 넘버 제 15/245,777호를 우선권으로 주장하며, 그 특허 출원은 그 전체가 인용에 의해 본 명세서에 포함된다.

[0002] 개시내용의 기술은 일반적으로 전계 효과 트랜지스터(FET)들에 관한 것으로, 더 상세하게는 FET들 내의 게이트 구조들의 레이아웃에 관한 것이다.

배경 기술

[0003] 트랜지스터들은 현대의 전자 디바이스들에서 본질적인 컴포넌트들이다. 많은 양들의 트랜지스터들이 많은 현대의 전자 디바이스들의 집적 회로(IC)들에서 이용된다. 예컨대, 현대의 전자 디바이스들의 컴포넌트들, 이를테면 중앙 프로세싱 유닛(CPU)들 및 메모리 유닛들은 로직 회로들 및 데이터 저장소에 대해 많은 양의 트랜지스터들을 이용한다.

[0004] IC 발전의 과정에서, 기능 밀도(즉, 칩 면적 당, 상호연결된 디바이스들의 수)가 증가했다. 이러한 기능 밀도의 증가는 (예컨대, 점점 더 많은 트랜지스터 노드들을 동일한 양의 공간에 배치시키기 위해 트랜지스터 노드들의 사이즈를 감소시켜) IC들에서 트랜지스터 셀들을 축소시키기 위한 계속된 노력들을 통해 부분적으로 달성된다. 예컨대, 트랜지스터 셀들은 내부의 트랜지스터 노드들의 게이트 폭 및/또는 채널 길이의 감소에 의해 축소될 수 있다. 트랜지스터 셀들은 또한, 내부의 트랜지스터 노드를 인접한 트랜지스터 셀들로부터 격리시키는 격리 구조의 사이즈를 감소시킴으로써 축소될 수 있다. 예컨대, 이중 확산 브레이크(double diffusion break)(DDB)를 포함한 격리 구조를 포함하는 트랜지스터 셀은 단일 확산 브레이크(SDB)를 대신 구현함으로써 축소될 수 있다.

[0005] 예컨대, 도 1은 종래의 Fin 전계 효과 트랜지스터(FET)(FinFET) 셀(100)의 단면이다. FinFET 셀(100)은 폭(W_1)(예컨대, 14 또는 16나노미터(nm))의 활성 게이트(104)를 포함하는 FinFET(102)를 포함한다. FinFET(102)는 기판(112) 상에서 성장된 소스 및 드레인 에피택셜 구역들(108 및 110)을 더 포함한다. 소스 및

드레인 에피택셜 구역들(108 및 110)은 각각의 소스 및 드레인 열(column)들(114 및 116)에 로케이팅된다. 예컨대, 소스 및 드레인 에피택셜 구역들(108 및 110)은 실리콘 게르마늄(SiGe) 또는 게르마늄(Ge)의 에피택셜 성장을 포함할 수 있다. 소스 및 드레인 에피택셜 구역들(108 및 110)은, 대응하는 소스 또는 드레인을 소스 및 드레인 에피택셜 구역들(108 및 110) 각각에 제공하기 위한 소스 및 드레인 임플란트(implant)들(118 및 120)을 각각 포함한다. 예컨대, 소스 및 드레인 임플란트들(118 및 120)은 이온 주입(ion implantation)에 의해 형성될 수 있다. FinFET(102)는, 소스 및 드레인 에피택셜 구역들(108 및 110) 각각에 대한 액세스를 제공하고, 그에 따라 활성 게이트(104) 아래의 소스 및 드레인 에피택셜 구역들(108 및 110) 사이에서 활성 채널 구역(126)에 대한 액세스를 제공하기 위한 소스 및 드레인 콘택(contact)들(122 및 124)을 더 포함한다. 드레인 콘택(124)은 거리(D₁)만큼 활성 게이트(104)로부터 그리고 거리(D₂)만큼 더미 게이트(dummy gate)(134)로부터 격리된다. 더미 게이트(134)는 도 1에서 W₄로서 표시된 폭을 갖는다. FinFET(102)에서, 거리들(D₁ 및 D₂)은 실질적으로 유사하다. 명확화의 목적들을 위해, 에피택셜 구역(108)이 소스 에피택셜 구역(108)으로 정의되었고, 에피택셜 구역(108)의 임플란트(118)가 소스 임플란트(118)로 정의되었고, 에피택셜 구역(110)이 드레인 에피택셜 구역(110)으로 정의되었으며, 에피택셜 구역(110)의 임플란트(120)가 드레인 임플란트(120)로 정의되었음을 유의한다. 그러나, 이들 엘리먼트들의 소스/드레인 지정들은 일 예이며, 활성 채널 구역(126)이 어떠한 고유 극성도 갖지 않으므로, FinFET 셀(100)이 회로에서 어떻게 연결되는지에 기반하여 소스 또는 드레인 중 어느 하나에 대한 것으로 지정될 수 있다.

[0006] [0006] FinFET 셀(100)은 FinFET(102)와, 예컨대 인접한 FinFET 셀(도시되지 않음) 사이에 격리를 제공하기 위한 SDB 격리 구조(129)를 더 포함한다. SDB 격리 구조(129)는 폭(W₂)의 SDB(130)를 포함한다. 예컨대, SDB(130)는 얇은 트렌치 격리 산화물을 포함할 수 있다. SDB 격리 구조(129)는 더미 게이트(134)를 더 포함한다.

[0007] [0007] 위에서 설명된 FinFET 셀(100)의 구성 하에서, FinFET 셀(100)은, 예컨대, 활성 게이트(104)의 폭(W₁), 활성 게이트(104)와 더미 게이트(134) 사이의 거리(D₃), 및 SDB(130)의 폭(W₂)에 의존하는 폭(W₃)(즉, 셀들의 어레이에서 단일 FinFET 셀에 의해 점유된 공간)를 갖는다. 따라서, FinFET 셀(100)은, 예컨대, 활성 게이트(104)의 폭(W₁), 활성 게이트(104)와 더미 게이트(134) 사이의 거리(D₃), 또는 SDB(130)의 폭(W₂) 중 하나 이상을 감소시킴으로써 축소될 수 있다. 그러나, 이러한 방식으로 FinFET 셀(100)을 축소시키는 것은 제조 및 성능 고려사항들에 의해 제한될 수 있다. 예컨대, 제조 제한들 및/또는 격리 요건들로 인해, 거리(D₃)를 감소시키는 것은 드레인 에피택셜 구역(110)을 SDB(130)에 더 가깝게 배치할 수 있다. 따라서, 제조 동안, 드레인 에피택셜 구역(110)의 에피택셜 성장은, 드레인 에피택셜 구역(110)의 패시트(facet)(140)와 SDB(130)의 패시트(144) 사이의 패시트 미스매치로 인해 드레인 에피택셜 구역(110)의 최상부 표면(142)에 걸쳐 균일하지 않을 수 있다. 특히, 드레인 에피택셜 구역(110)의 패시트(140)는 SDB(130)의 패시트(144)와 매칭되지 않을 수 있으며, 따라서, SDB(130)의 패시트(144) 근처에서의 드레인 에피택셜 구역(110)의 성장을 저해시킨다. 따라서, SDB(130)의 패시트(144) 근처에서의 드레인 에피택셜 구역(110)의 성장은 SDB(130)의 패시트(144)로부터 멀리 떨어진 드레인 에피택셜 구역(110)의 성장보다 느릴 것이다. 이러한 균일하지 않은 성장은 드레인 에피택셜 구역(110)의 균일하지 않은 최상부 표면(142)에 의해 도 1에 예시된다. 드레인 에피택셜 구역(110)의 이러한 균일하지 않은 성장은 FinFET(102)에서 감소된 게이트 제어 및 증가된 서브-임계치 전류를 초래할 수 있다. 특히, 소스 및 드레인 에피택셜 구역들(108 및 110) 각각에서의 소스 임플란트(118) 및 드레인 임플란트(120)의 나중의 형성 동안, 드레인 임플란트(120)는 원하는 것보다 더 깊게 드레인 에피택셜 구역(110)에 배치되고, 소스/드레인 임플란트 마진(146)만큼 소스 에피택셜 구역(108)의 소스 임플란트(118)보다 더 깊게 배치될 수 있다. 이것은 원하는 것보다 기판(112)에서 더 낮고, 그에 따라 원하는 것보다 활성 게이트(104)로부터 더 멀리있는 활성 채널 구역(126)을 초래한다. 활성 채널 구역(126)을 원하는 것보다 활성 게이트(104)로부터 더 멀리있게 하는 것은 활성 채널 구역(126)의 감소된 게이트 제어, 및 그에 따른 FinFET(102)의 저하된 성능을 초래할 수 있다. 더욱이, 활성 채널 구역(126)을 원하는 것보다 활성 게이트(104)로부터 더 멀리있게 하는 것은 FinFET(102)에 대해 원하는 것보다 더 낮은 전압 임계치를 초래할 수 있다. 이러한 감소된 전압 임계치는, 활성 게이트(104)가 FinFET 셀(100)의 "오프" 상태 동안 활성 채널 구역(126)을 완전히 폐쇄할 수 없을 수 있으므로 서브-임계치 전류를 증가시키며, 따라서, 전력 소비를 증가시키고 성능을 저하시킨다.

[0008] [0008] 더미 게이트(134)가 드레인 에피택셜 구역(110) 및 드레인 콘택(124)에 가깝게 위치되는 것에 기반하여 전류 누설이 또한 초래될 수 있다. FinFET(102)의 피치(pitch)가 감소됨에 따라, 더미 게이트(134) 및 드레인

에피택셜 구역(110) 및 드레인 콘택(124) 사이의 거리가 감소될 수 있다. 예컨대, 거리(D₂)는 피치가 감소됨에 따라 감소될 수 있다. 드레인 콘택(124)과 더미 게이트(134) 사이의 이러한 가까운 근접도는 더미 게이트(134)를 통한 잠재적인 누설 전류 경로(148)를 초래할 수 있으며, 따라서 또한, 전력 소비를 증가시키고 FinFET(102)의 성능을 저하시킨다.

발명의 내용

- [0009] 상세한 설명에 개시된 양상들은, 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 전계 효과 트랜지스터(FET) 디바이스들을 포함한다. 예시적인 양상에서, 소스 구역과 드레인 구역 사이의 채널 구역을 제어하도록 구성된 활성 게이트를 갖는 FET 디바이스를 포함하는 FET 셀이 제공된다. FET 셀은 또한, FET 디바이스에 인접하게 배치된 격리 구조를 포함한다. 격리 구조는, FET 디바이스의 소스 구역 및 드레인 구역 중 하나에 인접하게 로케이팅된 확산 브레이크, 및 확산 브레이크를 오버레이(overlay)하는 더미 게이트를 포함한다. FET 셀은, 더미 게이트의 폭이 활성 게이트의 폭보다 작다는 점에서 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 갖는다. 활성 게이트의 더 큰 폭은 채널 구역에 대한 증가된 게이트 제어, 및 그에 따른 감소된 서브-임계치 누설 전류를 제공할 수 있다.
- [0010] 부가적인 예들로서, 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 제공하는 것은 또한, 더 깊은 소스 또는 드레인 임플란트를 초래하는, 소스 및/또는 드레인 구역들의 이상적이지 않은 성장의 악영향들을 완화시킬 수 있다. 소스 및/또는 드레인 구역들의 이상적이지 않은 성장은 FET 디바이스의 채널 구역을 낮추며, 따라서 채널 구역을 활성 게이트로부터 더 멀리 배치시킨다. 더욱이, 다른 예로서, FET 셀에서 더 작은 폭의 더미 게이트를 제공하는 것은, FET 디바이스의 활성 게이트가 더 큰 폭을 갖더라도 FET 셀이 셀 피치를 유지하게 허용한다. 더욱이, 다른 예로서, 감소된 폭의 더미 게이트를 제공하는 것은 현재의 제조 프로세스들에 따른 소스/드레인 구역들, 임플란트들, 및 콘택들의 형성을 허용할 수 있다. 더욱이, 일 예로서, 감소된 폭의 더미 게이트를 제공하는 것은 더미 게이트와 인접한 소스 및/또는 드레인 구역 사이의 분리를 증가시키며, 따라서, FET 디바이스와 더미 게이트 사이의 거리 및 격리를 증가시키고, 그에 의해 더미 게이트를 통한 누설 전류를 감소시킨다.
- [0011] 이와 관련하여, 일 양상에서, 비대칭 게이트 폭 레이아웃을 갖는 FET 셀이 제공된다. FET 셀은 최상부 표면을 갖는 본체를 포함하는 기판, 및 FET 디바이스를 포함한다. FET 디바이스는 기판에 배치된 소스를 포함한다. FET 디바이스는 기판에 배치된 드레인을 더 포함한다. FET 디바이스는 소스와 드레인 사이에 형성된 활성 게이트 폭의 활성 게이트를 더 포함한다. FET 셀은 FET 디바이스에 인접하게 기판에 배치된 격리 구조를 더 포함한다. 격리 구조는 FET 디바이스의 소스 및 드레인 중 하나에 인접하게 기판에 배치된 확산 브레이크를 포함하며, 여기서, 확산 브레이크에 인접한 소스 및 드레인 중 하나의 깊이는 확산 브레이크에 인접하지 않은 소스 및 드레인 중 하나의 깊이보다 크다. 격리 구조는 활성 게이트에 인접하게 확산 브레이크 위에 형성된 더미 게이트 폭의 더미 게이트를 더 포함한다. 더미 게이트 폭은 게이트 폭 마진만큼 활성 게이트 폭보다 작다.
- [0012] 다른 양상에서, 반도체 다이에서 FET 셀을 제조하는 방법이 제공된다. 방법은 기판에 배치된 확산 브레이크를 형성하는 단계를 포함한다. 방법은, 기판 상에 활성 게이트 폭의 활성 게이트를 형성하는 단계, 및 확산 브레이크 위에 그리고 활성 게이트에 인접하게 더미 게이트 폭의 더미 게이트를 형성하는 단계를 더 포함하며, 더미 게이트 폭은 게이트 폭 마진만큼 활성 게이트 폭보다 작다. 방법은, 활성 게이트에 인접하게 기판에 FET 디바이스의 소스 에피택셜 구역을 형성하는 단계, 및 기판의 최상부 표면으로부터 제1 깊이로 소스 에피택셜 구역에 소스를 형성하는 단계를 더 포함한다. 방법은, 활성 게이트와 더미 게이트 사이에서 확산 브레이크에 인접하게 기판에 FET 디바이스의 드레인 에피택셜 구역을 형성하는 단계 - 드레인 에피택셜 구역의 일부는 확산 브레이크와 접촉함 -, 및 기판의 최상부 표면으로부터 제1 깊이보다 큰 제2 깊이로 드레인 에피택셜 구역에 드레인을 형성하는 단계를 더 포함한다. 방법은, 소스와 드레인 사이에서 기판에 FET 디바이스의 채널 구역을 형성하는 단계를 더 포함한다.
- [0013] 다른 양상에서, 비대칭 게이트 폭 레이아웃을 갖는 FET 셀이 제공된다. FET 셀은 최상부 표면을 갖는 본체를 포함하는 기판을 제공하기 위한 수단을 포함한다. FET 셀은 FET 디바이스를 제공하기 위한 수단을 더 포함하며, 그 FET 디바이스를 제공하기 위한 수단은, 기판을 제공하기 위한 수단의 최상부 표면으로부터 제1 깊이로, 기판을 제공하기 위한 수단에 배치된 소스를 제공하기 위한 수단, 및 기판을 제공하기 위한 수단의 최상부 표면으로부터 제2 깊이로, 기판을 제공하기 위한 수단에 배치된 드레인을 제공하기 위한 수단을 포함한다. FET 디바이스를 제공하기 위한 수단은, 소스를 제공하기 위한 수단과 드레인을 제공하기 위한 수단 사이에 형성된 활성 게이트 폭의 활성 게이트를 제공하기 위한 수단을 더 포함한다. 활성 게이트를 제공하기 위한 수단은,

소스를 제공하기 위한 수단과 드레인을 제공하기 위한 수단 사이에 활성 게이트를 제공하기 위한 수단 아래의 채널 구역에서 전도율을 제어하도록 구성된다. FET 셀은, FET 디바이스를 제공하기 위한 수단에 인접하게, 기판을 제공하기 위한 수단에 배치된 격리 구조를 제공하기 위한 수단을 더 포함한다. 격리 구조를 제공하기 위한 수단은, FET 디바이스를 제공하기 위한 수단의 소스를 제공하기 위한 수단 및 드레인을 제공하기 위한 수단 중 하나의 수단에 인접하게, 기판을 제공하기 위한 수단에 배치된 확산 브레이크를 제공하기 위한 수단을 포함한다. 확산 브레이크를 제공하기 위한 수단에 인접하는, 소스를 제공하기 위한 수단 및 드레인을 제공하기 위한 수단 중 하나의 수단의 깊이는, 확산 브레이크를 제공하기 위한 수단에 인접하지 않는, 소스를 제공하기 위한 수단 및 드레인을 제공하기 위한 수단 중 하나의 수단의 깊이보다 크다. 격리 구조를 제공하기 위한 수단은, 활성 게이트를 제공하기 위한 수단에 인접하게, 확산 브레이크를 제공하기 위한 수단 위에 형성된 더미 게이트 폭의 더미 게이트를 제공하기 위한 수단을 더 포함하며, 더미 게이트 폭은 게이트 폭 마진만큼 활성 게이트 폭보다 작다.

도면의 간단한 설명

- [0014] [0014] 도 1은 종래의 Fin 전계 효과 트랜지스터(FET)(FinFET) 셀의 단면을 예시한다.
- [0015] [0015] 도 2는 누설 전류를 감소시키기 위한 증가된 게이트 제어를 촉진할 수 있는 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 예시적인 FinFET를 포함하는 예시적인 FinFET 셀의 단면을 예시한다.
- [0016] [0016] 도 3은 도 2의 예시적인 FinFET 셀을 제조하기 위한 예시적인 프로세스를 예시한 흐름도이다.
- [0017] [0017] 도 4a는 도 2에 예시된 예시적인 FinFET 셀을 제조하기 위해 기판에 확산 브레이크를 형성하는 예시적인 제조 스테이지의 단면도이다.
- [0018] [0018] 도 4b는, 기판 상에 활성 게이트 폭의 활성 게이트를 형성하고, 확산 브레이크 위에 그리고 활성 게이트에 인접하게 더미 게이트 폭의 더미 게이트를 형성하는 예시적인 제조 스테이지의 단면도이며, 더미 게이트 폭은 도 2에 예시된 예시적인 FinFET 셀을 제조하기 위한 비대칭 게이트 폭 레이아웃을 형성하기 위해 게이트 폭 마진만큼 활성 게이트 폭보다 작다.
- [0019] [0019] 도 4c는 도 2에 예시된 예시적인 FinFET 셀을 제조하기 위하여 소스 에피택셜 구역 및 드레인 에피택셜 구역을 증착시키기 위해 기판 상에서 리세스들을 에칭하는 예시적인 제조 스테이지의 단면도이다.
- [0020] [0020] 도 4d는 도 2에 예시된 예시적인 FinFET 셀을 제조하기 위해 대응하는 리세스들 상에 소스 에피택셜 구역 및 드레인 에피택셜 구역을 증착시키는 예시적인 제조 스테이지의 단면도이다.
- [0021] [0021] 도 4e는 도 2에 예시된 예시적인 FinFET 셀을 제조하기 위해, 소스 에피택셜 구역 및 드레인 에피택셜 구역 각각에 소스 및 드레인을 형성하는 예시적인 제조 스테이지의 단면도이다.
- [0022] [0022] 도 4f는 도 2에 예시된 예시적인 FinFET 셀을 제조하기 위해, 활성 게이트에 인접하게 소스 에피택셜 구역 상에 소스 콘택을 배치하고, 활성 게이트와 더미 게이트 사이에서 드레인 에피택셜 구역 상에 드레인 콘택을 배치하는 예시적인 제조 스테이지의 단면도이다.
- [0023] [0023] 도 5는 도 2에 예시된 예시적인 FinFET 셀을 포함할 수 있는 예시적인 프로세서-기반 시스템의 블록 다이어그램이다.
- [0024] [0024] 도 6은 본 명세서에 개시된 예시적인 양상들에 따른, 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 FinFET를 포함하는 FinFET 셀들을 포함하는 라디오-주파수(RF) 컴포넌트들을 포함하는 예시적인 무선 통신 디바이스의 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0015] [0025] 이제 도면의 도들을 참조하여, 본 개시내용의 수 개의 예시적인 양상들이 설명된다. 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에 설명된 임의의 양상은 다른 양상들에 비해 바람직하거나 유리한 것으로서 반드시 해석되는 것은 아니다.
- [0016] [0026] 상세한 설명에 개시된 양상들은, 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 전계 효과 트랜지스터(FET) 디바이스들을 포함한다. 예시적인 양상에서, 소스 구역과 드레인 구역 사이의 채널 구역을 제어하도록 구성된 활성 게이트를 갖는 FET 디바이스를 포함하는 FET 셀이 제공된다. FET 셀은 또한, FET 디바이스에 인접하게 배치된 격리 구조를 포함한다. 격리 구조는, FET 디바이스의 소스 구역 및 드레인 구역

중 하나에 인접하게 로케이팅된 확산 브레이크, 및 확산 브레이크를 오버레이하는 더미 게이트를 포함한다. FET 셀은, 더미 게이트의 폭이 활성 게이트의 폭보다 작다는 점에서 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 갖는다. 활성 게이트의 더 큰 폭은 채널 구역에 대한 증가된 게이트 제어, 및 그에 따른 감소된 서브-임계치 누설 전류를 제공할 수 있다.

[0017] [0027] 부가적인 예들로서, 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 제공하는 것은 또한, 더 깊은 소스 또는 드레인 임플란트를 초래하는, 소스 및/또는 드레인 구역들의 이상적이지 않은 성장의 악영향들을 완화시킬 수 있다. 소스 및/또는 드레인 구역들의 이상적이지 않은 성장은 FET 디바이스의 채널 구역을 낮추며, 따라서 채널 구역을 활성 게이트로부터 더 멀리 배치시킨다. 더욱이, 다른 예로서, FET 셀에서 더 작은 폭의 더미 게이트를 제공하는 것은, FET 디바이스의 활성 게이트가 더 큰 폭을 갖더라도 FET 셀이 셀 피치를 유지하게 허용한다. 더욱이, 다른 예로서, 감소된 폭의 더미 게이트를 제공하는 것은 현재의 제조 프로세스들에 따른 소스/드레인 구역들, 임플란트들, 및 콘택들의 형성을 허용할 수 있다. 더욱이, 일 예로서, 감소된 폭의 더미 게이트를 제공하는 것은 더미 게이트와 인접한 소스 및/또는 드레인 구역 사이의 분리를 증가시키며, 따라서, FET 디바이스와 더미 게이트 사이의 거리 및 격리를 증가시키고, 그에 의해 더미 게이트를 통한 누설 전류를 감소시킨다.

[0018] [0028] 이와 관련하여, 도 2는 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 예시적인 FinFET(202)를 포함하는 예시적인 FinFET 셀(200)의 단면을 예시한다. 도 2에 도시된 바와 같이, FinFET 셀(200)은 최상부 표면(208)을 갖는 본체(206)를 포함하는 기관(204)을 포함한다. FinFET 셀(200)은 FinFET(202)에 인접하게 기관(204)에 배치된 격리 구조(238)를 포함한다. 예컨대, 격리 구조(238)는 인접한 셀(도시되지 않음), 이를테면 인접한 FinFET 셀로부터 FinFET(202)를 격리시키도록 FinFET 셀(200)에 배치된다. 격리 구조(238)는 단일 확산 브레이크(SDB)(228)를 포함하며, FinFET(202)의 드레인(218)에 인접하게 기관(204)에 배치된다. 예컨대, SDB(228)는 폭(W_6)을 가지며, 얇은 트렌치 격리(STI) 산화물(240)을 포함할 수 있다. 격리 구조(238)는 활성 게이트(232)에 인접하게 SDB(228) 위에 형성된 더미 게이트 폭(W_6)의 더미 게이트(242)를 더 포함한다.

[0019] [0029] FinFET 셀(200)의 FinFET(202)는 기관(204)의 최상부 표면(208)으로부터 깊이(DP_1)로 기관(204)에 배치된 소스(210)를 포함한다. FinFET(202)의 소스(210)는 이온 주입에 의해 기관(204) 내의 소스 에피택셜 구역(214) 상에 형성된다. 일 예로서, 소스 에피택셜 구역(214)은 기관(204)에서, 실리콘 게르마늄(SiGe) 또는 게르마늄(Ge)의 에피택셜 성장을 포함할 수 있다. FinFET 셀(200)의 소스 에피택셜 구역(214)은, 기관(204)의 최상부 표면(208)과 동일 평면에 있는(flush with) 균일한 최상부 표면(216)을 가질 수 있다.

[0020] [0030] 도 2를 계속 참조하면, FinFET(202)는 기관(204)의 최상부 표면(208)으로부터 깊이(DP_2)로 기관(204)에 배치된 드레인(218)을 더 포함하며, 깊이(DP_2)는 깊이(DP_1)보다 크다. 드레인(218)은 이온 주입에 의해 드레인 에피택셜 구역(222) 상에 형성된다. 일 예로서, 드레인 에피택셜 구역(222)은, 예컨대 기관(204) 상에서, 실리콘 게르마늄(SiGe) 또는 게르마늄(Ge)의 에피택셜 성장을 포함한다. 드레인(218)의 깊이(DP_2)는 소스(210)의 깊이(DP_1)보다 큰데, 그 이유는 이들 깊이들(DP_1 , DP_2)이 각각, 소스 에피택셜 구역(214) 및 드레인 에피택셜 구역(222)의 최상부 표면(216) 및 최상부 표면(230)의 높이 및 형상의 함수이기 때문이다. 아래에서 더 상세히 설명될 바와 같이, 드레인 에피택셜 구역(222)의 최상부 표면(230)은 균일하지 않고, 소스 에피택셜 구역(214)의 최상부 표면(216)보다 낮다. 따라서, 드레인(218)은 기관(204)의 최상부 표면(208)에 대해, 소스(210)보다 낮게 형성된다. 명확화의 목적들을 위해, 에피택셜 구역(214)이 소스 에피택셜 구역(214)으로 정의되었고, 에피택셜 구역(214)의 소스(210)가 소스(210)로 정의되었고, 에피택셜 구역(222)이 드레인 에피택셜 구역(222)으로 정의되었으며, 에피택셜 구역(222)의 드레인(218)이 드레인(218)으로 정의되었음을 유의한다. 그러나, 이들 엘리먼트들의 소스/드레인 지정들은 일 예이며, 채널 구역(236)이 어떠한 고유 극성도 갖지 않으므로, FinFET(202)가 회로에서 어떻게 연결되는지에 기반하여 소스 또는 드레인에 대한 것으로 지정될 수 있다.

[0021] [0031] 도 2의 예시적인 FinFET 셀(200)에서 예시된 바와 같이, 드레인 에피택셜 구역(222)은 균일하지 않게 성장되었다. 이러한 균일하지 않은 성장은, 드레인 에피택셜 구역(222)의 패시트(224)와 드레인 에피택셜 구역(222)에 인접하게 배치된 SDB(228)의 패시트(226) 사이의 패시트 미스매치로 인한 것이며, 따라서 SDB(228)의 패시트(226) 근처에서 드레인 에피택셜 구역(222)의 성장을 저해한다. 따라서, SDB(228)의 패시트(226) 근처에서의 드레인 에피택셜 구역(222)의 성장은 SDB(228)의 패시트(226)로부터 멀리 떨어진 드레인 에피택셜 구역(222)의 성장보다 느리고, 그에 따라 기관(204)에서 더 낮을 것이다. 따라서, 드레인 에피택셜 구역(222)은

SDB(228) 근처에서 더 낮은 균일하지 않은 최상부 표면(230)을 갖는다.

- [0022] [0032] 도 2를 계속 참조하면, FinFET(202)는 또한, 소스(210)와 드레인(218) 사이에 형성된 활성 게이트 폭(W_7)의 활성 게이트(232)를 포함한다. FinFET(202)는 소스(210)와 드레인(218) 사이에서 활성 게이트(232) 아래에 채널 구역(236)을 더 포함한다. 따라서, 활성 게이트(232)는, 전압이 활성 게이트에 인가될 경우 활성 게이트(232)에 의해 생성된 필드(도시되지 않음)에 기반하여 소스(210)와 드레인(218) 사이의 채널 구역(236)에서 전도율을 제어하도록 구성된다.
- [0023] [0033] FinFET(202)는 소스(210)에 대한 액세스를 제공하기 위해, 활성 게이트(232)에 인접하게 소스 에피택셜 구역(214) 상에 배치된 소스 콘택(248)을 더 포함한다. FinFET(202)는 드레인(218)에 대한 액세스를 제공하기 위해, 활성 게이트(232)와 더미 게이트(242) 사이에서 드레인 에피택셜 구역(222) 상에 배치된 드레인 콘택(250)을 더 포함한다. 드레인 콘택(250)은 거리(D_4)만큼 활성 게이트(232)로부터 격리된다. 드레인 콘택(250)은 거리(D_5)만큼 더미 게이트(242)로부터 격리된다.
- [0024] [0034] FinFET 셀(200)에서, 드레인 에피택셜 구역(222)의 균일하지 않은 성장은 감소된 게이트 제어 및 증가된 서브-임계치 전류를 초래할 수 있다. 특히, 예컨대 이온 주입을 통한 FinFET(202)에서의 소스(210) 및 드레인(218)의 형성 동안 드레인(218)은 원하는 것보다 더 깊게 드레인 에피택셜 구역(222)에 배치되고, 소스/드레인 임플란트 마진(256)만큼 소스(210)보다 더 깊게 배치될 수 있다. 이것은 원하는 것보다 기판(204)에서 더 낮고, 그에 따라 원하는 것보다 활성 게이트(232)로부터 더 멀리있는 채널 구역(236)을 초래한다. 채널 구역(236)을 원하는 것보다 활성 게이트(232)로부터 더 멀리있게 하는 것은 채널 구역(236)의 감소된 게이트 제어, 및 그에 따른 FinFET(202)의 저하된 성능을 초래할 수 있다.
- [0025] [0035] 이와 관련하여, 도 2의 예시적인 FinFET 셀(200)에서, 채널 구역(236)이 기판(204)에서 더 낮게 로케이팅되는 것으로 인한 채널 구역(236)의 감소된 게이트 제어를 완화 또는 오프셋시키기 위해, 더미 게이트(242)는, 게이트 폭 마진, 즉 활성 게이트 폭(W_7)과 더미 게이트 폭(W_6) 사이의 차이만큼 활성 게이트 폭(W_7)보다 작은 더미 게이트 폭(W_6)을 갖도록 FinFET 셀(200)에 형성된다. 일 예로서, 이러한 게이트 폭 마진은 적어도 2나노미터(nm)일 수 있다. 예컨대, 대략 2nm인 게이트 폭 마진의 경우, 활성 게이트 폭(W_7)은 대략 15nm일 수 있고, 더미 게이트 폭(W_6)은 대략 13nm일 수 있다. 이러한 예시적인 양상의 관점에서, 활성 게이트(232)의 활성 게이트 폭(W_7)이 인접한 더미 게이트(242)의 더미 게이트 폭(W_6)보다 크기 때문에, FinFET 셀(200)은 비대칭 활성 게이트/더미 게이트 레이아웃을 갖는다. 증가된 활성 게이트 폭(W_7)을 가짐으로써, 활성 게이트(232)는 채널 구역(236)에 대한 개선된 제어를 제공한다. 이러한 개선된 게이트 제어는, FinFET(202)에서 서브-임계치 누설 전류를 감소시키며, 대칭적인 활성 게이트/더미 게이트 레이아웃의 FET 셀, 이를테면 도 1에 예시된 FinFET 셀(100)의 활성 게이트에 의해 제공되는 게이트 제어에 비하여 드레인 에피택셜 구역(222)의 이상적이지 않은 성장에 의해 야기되는 서브-임계치 누설 전류의 증가의 적어도 일부에 대항(counter)한다.
- [0026] [0036] 그러나, 활성 게이트 폭(W_7)을 증가시키는 것은 활성 게이트(232)와 더미 게이트(242) 사이의 거리(D_6)를 감소시키며, 이는 드레인 에피택셜 구역(222)의 에피택셜 성장 및 드레인 에피택셜 구역(222)으로의 드레인(218)의 주입을 저해할 수 있다. 특히, 거리(D_6)를 감소시키는 것은, 기판(204)에 재료들을 배치, 에칭, 주입(implant), 또는 그렇지 않으면 형성하기에 필수적인 활성 게이트(232)와 더미 게이트(242) 사이의 공간을 제공하지 않을 수 있다. 이와 관련하여, 예시적인 양상에서, 더미 게이트(242)의 더미 게이트 폭(W_6)은 게이트 폭 마진, 즉 활성 게이트 폭(W_7)과 더미 게이트 폭(W_6) 사이의 차이만큼 활성 게이트 폭(W_7)보다 작게 형성된다. 감소된 더미 게이트 폭(W_6)을 갖는 것은 현재의 제조 프로세스들, 예컨대 도 1에 예시된 FinFET 셀(100)을 제조하는 데 사용되는 제조 프로세스들에 따른 드레인 에피택셜 구역(222)의 형성을 허용한다. 더욱이, 더미 게이트(W_6)를 감소시키는 것은 드레인 콘택(250)과 더미 게이트(242) 사이의 거리(D_5) 및 더미 게이트(242)와 인접한 드레인 콘택(250) 사이의 분리(260)를 증가시키며, 따라서, 더미 게이트(242)로부터 FinFET(202)를 추가로 격리시키고, 그에 의해, 더미 게이트(242)를 통한 누설 전류를 감소시킨다. 더욱이, 활성 게이트 폭(W_7)의 증가가 더미 게이트 폭(W_6)의 감소와 매칭하는 일 양상에서, 활성 게이트(232) 및 더미 게이트(242)에 대한 드레인 콘택(250)의 격리 마진(즉, 거리(D_5)와 거리(D_4) 사이의 차이)은 게이트 폭 마진, 즉 활성 게이트 폭(W_7)과 더미 게이트 폭(W_6) 사이의 차이의 대략 절반이다. 특히, 활성 게이트 폭(W_7)의 증가는 소스 콘택(248) 및 드레인 콘

택(250)을 향해 활성 게이트(232)를 균등하게 확장시킨다. 따라서, 활성 게이트(232)와 드레인 콘택(250) 사이의 거리(D_4)는 드레인 콘택(250)을 향한 활성 게이트 폭(W_7)의 증가에 의해 감소된다. 따라서, 활성 게이트(232)와 드레인 콘택(250) 사이의 거리(D_4)는 활성 게이트 폭(W_7)의 증가의 절반만큼 감소된다.

[0027] [0037] 구체적으로, 대칭적인 활성 게이트/더미 게이트 레이아웃, 이를테면 FinFET 셀(100)에 대해 도 1에 예시된 레이아웃에서, 활성 게이트 폭(W_1)은 수개의 인자들에 의해 제한된다. 예컨대, 활성 게이트(104)의 활성 게이트 폭(W_1)은, 활성 게이트 폭(W_1)을 갖는 활성 게이트(104)를 형성해야 하는 FinFET 셀(100)의 전체 폭(W_3), 더미 게이트(134)의 폭(W_4), 및 소스 및 드레인 에피택셜 구역들(108 및 110)의 기판(112)으로의 배치를 허용하기 위해 필요한 활성 게이트(104)와 더미 게이트(134) 사이의 거리(D_3)에 의해 제한된다. 따라서, 대칭적인 활성 게이트/더미 게이트 레이아웃, 이를테면 FinFET 셀(100)에 대해 도 1에 예시된 레이아웃에서의 게이트 제어는 활성 게이트 폭(W_1)이 이를 수 있는 최대 폭에 의해 제한된다. 그러나, 본 출원의 FinFET 셀(200)의 비대칭 활성 게이트/더미 게이트 레이아웃에서, 활성 게이트(232)의 활성 게이트 폭(W_7)은 인접한 더미 게이트(242)의 더미 게이트 폭(W_6)보다 크게 형성되며, 따라서, 도 1에 예시된 FinFET 셀(100)의 폭(W_3)과 대략적으로 동일한 폭(W_8)을 가지면서 게이트 제어를 증가시킨다.

[0028] [0038] 부가적으로, 감소된 더미 게이트 폭(W_6)을 갖는 것은, FinFET 셀(200)이 활성 게이트(232)의 증가된 활성 게이트 폭(W_7)을 갖는 경우라도, FinFET 셀(200)이 도 1에 예시된 FinFET 셀(100)의 폭(W_3)과 유사한 폭(W_8)을 유지하게 허용한다. 특히, 일 양상에서, 더미 게이트(242)의 폭(W_6)은 활성 게이트 폭(W_7)이 증가되는 것과 동일한 양만큼 감소될 수 있다. 이것은, 도 1에 예시된 FinFET 셀(100)의 활성 게이트(104)와 더미 게이트(134) 사이의 거리(D_3)와 유사하거나 또는 대략적으로 동일하도록 FinFET 셀(200)의 활성 게이트(232)와 더미 게이트(242) 사이의 거리(D_6)를 제공할 것이다. 이것은 또한, 도 1에 예시된 FinFET 셀(100)의 폭(W_3)과 유사하거나 또는 대략적으로 동일하도록 FinFET 셀(200)의 폭(W_8)을 제공할 수 있다. 더미 게이트(242)의 폭(W_6)을 감소시키는 것은 더미 게이트(242)와 인접한 드레인 콘택(250) 사이의 거리(D_5)를 증가시킬 수 있으며, 따라서, 더미 게이트(242)와 드레인 콘택(250) 사이의 단락(short)들의 위험을 감소시킨다. 따라서, FinFET 셀(200)은 도 1에 예시된 FinFET 셀(100)을 제조하는 데 사용되는 것과 유사한 제조 방법들을 사용하여 제조될 수 있다.

[0029] [0039] 위에서 설명된 예시적인 양상에서, 게이트 폭 마진은 일 예로서 적어도 2nm으로 정의되었다. 추가적인 예로서, 활성 게이트 폭(W_7)은 대략 15nm으로 정의되었고 더미 게이트 폭(W_6)은 대략 13nm으로 정의되어서, 대략 2nm인 게이트 폭 마진을 제공한다. 추가적인 예에서, 활성 게이트 폭(W_7)은 대략 17nm으로 정의될 수 있고 더미 게이트 폭(W_6)은 대략 14nm으로 정의될 수 있어서, 대략 3nm인 게이트 폭 마진을 제공한다. 다른 양상에서, 게이트 폭 마진은, 예컨대 적어도 4nm일 수 있다. 따라서, 예컨대, 활성 게이트 폭(W_7)은 대략 18nm으로 정의될 수 있고 더미 게이트 폭(W_6)은 대략 14nm으로 정의될 수 있어서, 대략 4nm인 게이트 폭 마진을 제공한다. 더 큰 게이트 폭 마진을 갖는 것은 어떠한 게이트 폭 마진도 없는 구현에 비해 증가된 게이트 제어를 제공하는데, 그 이유는, 더 큰 활성 게이트 폭(W_7)이 채널 구역(236)에 대한 증가된 전기장(도시되지 않음) 및 그에 따른 채널 구역(236)에 대한 증가된 제어를 초래하기 때문이다. 더욱이, 더 큰 게이트 폭 마진을 갖는 것은 어떠한 게이트 폭 마진도 없는 구현에 비해 더미 게이트(242)를 통한 감소된 누설 전류를 제공하는데, 그 이유는, 더 협소한 더미 게이트 폭(W_6)이 더미 게이트(242)와 인접한 드레인 콘택(250) 사이의 증가된 분리(260)를 초래하고, 그에 따라 더미 게이트(242)로부터 FinFET(202)를 추가로 격리시키며, 그에 의해 더미 게이트(242)를 통한 누설 전류를 감소시키기 때문이다.

[0030] [0040] 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 FinFET 셀, 이를테면 도 2의 FinFET 셀(200)은 원하는 임의의 제조 프로세스들에 따라 제조될 수 있다. 예컨대, 도 3은 도 2의 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 예시적인 FinFET 셀(200)을 제조하기 위한 예시적인 프로세스(300)를 예시한 흐름도이다. 프로세스(300)의 단계들은 도 4a 내지 도 4f에서 각각 예시된다. 도 4a 내지 도 4f는 아래에서 설명되는 바와 같이 도 3의 프로세스(300)의 예시적인 단계들로서 참조될 것이다.

[0031] [0041] 도 2에 예시된 FinFET 셀(200)을 제조하기 위한 제1 예시적인 단계는, 기판(204)에 배치된 SDB(228)를

형성하는 단계를 포함한다(도 3의 블록(302)). 이와 관련하여, 도 4a는 SDB(228)가 기판(204)에 형성되었던 스테이지(400(1))를 예시한다. 예컨대, 기판(204)에 SDB(228)를 형성하는 것은, 기판(204) 상에 리세스(402)를 에칭하고 격리 재료, 이를테면 산화물을 증착시켜 얇은 트렌치 격리(STI) 산화물(240)로서 SDB(228)를 형성함으로써 수행될 수 있다. SDB(228)를 형성하는 것은, 예컨대, 기판(204)의 최상부 표면(208)과 동일 평면에 있는 SDB(228)의 최상부 표면(404)을 형성하기 위해 화학적-기계적 평탄화(CMP)를 사용하여 SDB(228)를 연마하는 것을 더 포함할 수 있다.

[0032] [0042] 도 2에 예시된 FinFET 셀(200)을 제조하기 위한 제2 예시적인 단계는, 기판(204) 상에 활성 게이트 폭(W_7)의 활성 게이트(232)를 형성하는 단계를 포함한다(도 3의 블록(304)). 도 2에 예시된 FinFET 셀(200)을 제조하기 위한 제3 예시적인 단계는, SDB(228) 위에 그리고 활성 게이트(232)에 인접하게 더미 게이트 폭(W_6)의 더미 게이트(242)를 형성하는 단계를 포함한다. 더미 게이트 폭(W_6)은 비대칭 게이트 폭 레이아웃을 형성하기 위해 게이트 폭 마진만큼 활성 게이트 폭(W_7)보다 더 작게 형성된다(도 3의 블록(306)). 이와 관련하여, 도 4b는 활성 게이트 폭(W_7)의 활성 게이트(232)가 기판(204) 상에 형성되었던 스테이지(400(2))를 예시한다. 스테이지(400(2))는, 더미 게이트 폭(W_6)의 더미 게이트(242)가 SDB(228) 위에 형성되었던 경우를 추가로 예시한다. 활성 게이트(232) 및 더미 게이트(242)를 형성하는 것은, 폴리실리콘(PolySi) 층 및 하드 마스크(HM) 층을 배치하고, 폴리실리콘 층 및 하드 마스크 층을 에칭함으로써 수행될 수 있다. 활성 게이트(232) 및 더미 게이트(242)를 형성하는 것은, 게이트 전극 필라(pillar)(410)를 형성하기 위해 스페이서 층들(406 및 408)을 증착시키는 것, 및 게이트 전극 필라(416)를 형성하기 위해 스페이서 층들(412 및 414)을 증착시키는 것을 더 포함할 수 있다. 게이트 전극 필라들(410 및 416)은 각각 활성 게이트(232) 및 더미 게이트(242)에 대응한다.

[0033] [0043] 도 2에 예시된 FinFET 셀(200)을 제조하기 위한 제4 예시적인 단계는, 활성 게이트(232)에 인접하게 기판(204)에 FinFET(202)의 소스 에피택셜 구역(214)을 형성하는 단계, 및 기판(204)의 최상부 표면(208)으로부터 깊이(DP_1)로 소스 에피택셜 구역(214)에 소스(210)를 주입하는 단계를 포함한다(도 3의 블록(308)). 도 2에 예시된 FinFET 셀(200)을 제조하기 위한 제5 예시적인 단계는, 활성 게이트(232)와 더미 게이트(242) 사이에서 SDB(228)에 인접하게 기판(204)에 드레인 에피택셜 구역(222)을 형성하는 단계 - 드레인 에피택셜 구역(222)의 일부는 SDB(228)와 접촉함 -, 및 기판(204)의 최상부 표면(208)으로부터, 깊이(DP_1)보다 큰 깊이(DP_2)로 드레인 에피택셜 구역(222)에 드레인(218)을 주입하는 단계를 포함한다(도 3의 블록(310)). 이와 관련하여, 도 4c는, 소스 에피택셜 구역(214) 및 드레인 에피택셜 구역(222)을 각각 증착시키기 위한 기판(204) 상에서의 리세스(418) 및 리세스(420)의 에칭이 기판(204) 상에서 수행되었던 스테이지(400(3))를 예시한다.

[0034] [0044] 더욱이, 도 4d는, 리세스들(418 및 420) 각각 상에서의 소스 에피택셜 구역(214) 및 드레인 에피택셜 구역(222)의 증착이 수행되었던 스테이지(400(4))를 예시한다. 스테이지(400(4))는 특히, 드레인 에피택셜 구역(222)이 균일하지 않게 성장하는 것을 예시한다. 이러한 균일하지 않은 성장은, 드레인 에피택셜 구역(222)의 패시트(224)와 SDB(228)의 패시트(226) 사이의 패시트 미스매치로 인한 것이다. 이러한 패시트(224, 226) 미스매치는 SDB(228)의 패시트(226) 근처에서의 드레인 에피택셜 구역(222)의 성장을 저해한다. 따라서, 드레인 에피택셜 구역(222)의 성장은, SDB(228)의 패시트(226)로부터 멀리 떨어진 드레인 에피택셜 구역(222)의 성장보다 SDB(228)의 패시트(226) 근처에서 더 느리고 그에 따라 더 낮을 것이다. 따라서, 드레인 에피택셜 구역(222)은, SDB(228) 근처에서 더 낮고 활성 게이트(232) 근처에서 더 높은 균일하지 않은 최상부 표면(230)을 갖는다.

[0035] [0045] 더욱이, 도 4e는, 소스 에피택셜 구역(214) 및 드레인 에피택셜 구역(222) 각각에서의 소스(210) 및 드레인(218)의 주입이 수행되었던 스테이지(400(5))를 예시한다. 도 4e는, 소스(210)가 기판(204)의 최상부 표면(208)으로부터 깊이(DP_1)로 주입되는 것을 예시한다. 도 4e는, 드레인(218)이 기판(204)의 최상부 표면(208)으로부터, 소스/드레인 임플란트 마진(256)만큼 깊이(DP_1)보다 큰 깊이(DP_2)로 주입되는 것을 추가로 예시한다. 이들 주입들은, 예컨대 이온 주입에 의해 수행될 수 있다. 드레인(218)의 더 깊은 주입은 드레인 에피택셜 구역(222)의 균일하지 않은 성장의 결과이다. 특히, 주입은, 예컨대 소스 에피택셜 구역(214) 및 드레인 에피택셜 구역(222)에 대해 균등하게 수행되는 시간-기반 프로세스에 기반하여 수행될 수 있다. 드레인 에피택셜 구역(222)의 균일하지 않은 성장은 최상부 표면(230)이 소스 에피택셜 구역(214)의 최상부 표면(422)보다 부분적으로 더 낮아지게 하며, 이는 드레인(218)의 주입이 소스(210)에 비해 더 깊은 드레인(218)을 생성하게 한다.

[0036] [0046] 도 2에 예시된 FinFET 셀(200)을 제조하기 위한 제6 예시적인 단계는, 소스(210)와 드레인(218) 사이에서 기판(204)에 FinFET(202)의 채널 구역(236)을 형성하는 단계를 포함한다(도 3의 블록(312)). 이와

관련하여, 도 4e에 예시된 스테이지(400)(5))는, 소스(210)와 드레인(218) 사이에서 기판(204)에 형성된 채널 구역(236)이, 예컨대 전압(도시되지 않음)이 활성 게이트(232)에 인가될 경우 활성화되는 것을 도시한다.

[0037] [0047] 도 2에 예시된 FinFET 셀(200)을 제조하기 위한 제7 예시적인 단계는, 활성 게이트(232)에 인접하게 소스 에피택셜 구역(214) 상에 소스 콘택(248)을 배치하는 단계, 및 활성 게이트(232)와 더미 게이트(242) 사이에서 드레인 에피택셜 구역(222) 상에 드레인 콘택(250)을 배치하는 단계를 포함하며, 드레인 콘택(250)은 인접한 활성 게이트(232)로부터 거리(D_6)만큼 격리되고, 인접한 더미 게이트(242)로부터 거리(D_7)만큼 격리된다. 이와 관련하여, 도 4f는 제7 단계의 스테이지(400)(6))를 단면도로 예시한다. 스테이지(400)(6))는 활성 게이트(232)에 인접하게 소스 에피택셜 구역(214) 상에 배치된 소스 콘택(248)을 예시한다. 스테이지(400)(6))는 활성 게이트(232)와 더미 게이트(242) 사이에서 드레인 에피택셜 구역(222) 상에 배치된 드레인 콘택(250)을 추가로 예시한다. 이전에 설명된 바와 같이, 증가된 활성 게이트 폭(W_7) 및 감소된 더미 게이트 폭(W_6)은, 거리(D_7)가 거리(D_6)보다 큰 것을 초래한다. 이것은 더미 게이트(242)로부터의 FinFET(202)의 격리를 향상시키며, 그에 의해, 더미 게이트(242)를 통한 누설 전류를 감소시킨다.

[0038] [0048] 다른 양상들에서, 누설 전류를 감소시키기 위한 증가된 게이트 제어를 촉진할 수 있는 인접한 비대칭 활성 게이트/더미 게이트 폭 레이어아웃을 이용하는 예시적인 FinFET를 포함하는 예시적인 FinFET 셀은 또한, 기판을 제공하기 위한 수단을 포함할 수 있다. 기판을 제공하기 위한 수단의 일 예는 도 2 및 도 4a 내지 도 4f에서 기판(204)로서 도시된다. FinFET 셀은 또한, FET 디바이스를 제공하기 위한 수단을 포함할 수 있으며, 그 FET 디바이스를 제공하기 위한 수단은, 기판을 제공하기 위한 수단에 배치된 소스를 제공하기 위한 수단, 기판을 제공하기 위한 수단에 배치된 드레인을 제공하기 위한 수단, 및 소스를 제공하기 위한 수단과 드레인을 제공하기 위한 수단 사이에 형성된 활성 게이트 폭의 활성 게이트를 제공하기 위한 수단을 포함할 수 있다. FET 디바이스를 제공하기 위한 그러한 수단의 일 예는 도 2의 FinFET(202)로서 도시된다. 활성 게이트를 제공하기 위한 수단의 일 예는 도 2 및 도 4b 내지 도 4f에 예시된 활성 게이트(232)로서 도시된다. FinFET 셀은 또한, 기판을 제공하기 위한 수단에 배치된 격리 구조를 제공하기 위한 수단을 포함할 수 있으며, 그 격리 구조를 제공하기 위한 수단은, FET 디바이스를 제공하기 위한 수단의 소스를 제공하기 위한 수단 및 드레인을 제공하기 위한 수단 중 하나의 수단에 인접하게, 기판을 제공하기 위한 수단에 배치된 확산 브레이크를 제공하기 위한 수단을 포함한다. 격리 구조를 제공하기 위한 수단은, 활성 게이트를 제공하기 위한 수단에 인접하게, 확산 브레이크를 제공하기 위한 수단 위에 형성된 더미 게이트 폭의 더미 게이트를 제공하기 위한 수단을 더 포함한다. 격리 구조 제공하기 위한 그러한 수단의 일 예는 도 2에 예시된 격리 구조(238)로서 도시된다.

[0039] [0049] 본 명세서에 개시된 양상들에 따른 인접한 비대칭 활성 게이트/더미 게이트 폭 레이어아웃을 이용하는 FET 디바이스들은 임의의 프로세서-기반 디바이스에서 제공되거나 그에 통합될 수 있다. 예들은, 셋탑 박스, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰 스마트 폰, 태블릿, 패블릿, 서버, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대 정보 단말(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 휴대용 디지털 비디오 플레이어, 및 자동차(automobile)를 포함하지만 이에 제한되지는 않는다.

[0040] [0050] 이와 관련하여, 도 5는 도 2에 예시된 예시적인 FinFET 셀(200)을 포함할 수 있는 예시적인 프로세서-기반 시스템(500)의 블록 다이어그램이다. 이러한 예에서, 프로세서-기반 시스템(500)은, 하나 이상의 프로세서들(504)을 각각 포함하는 하나 이상의 CPU들(502)을 포함한다. 프로세서-기반 시스템(500)은 SoC(system-on-a-chip)(506)로서 제공될 수 있다. CPU(들)(502)는 임의로 저장된 데이터에 대한 신속한 액세스를 위해 프로세서(들)(504)에 커플링된 캐시 메모리(508)를 가질 수 있다. CPU(들)(502)는 시스템 버스(510)에 커플링되며, 프로세서-기반 시스템(500)에 포함된 마스터 및 슬레이브 디바이스들을 상호커플링시킬 수 있다. 잘 알려진 바와 같이, CPU(들)(502)는, 시스템 버스(510)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이들 다른 디바이스들과 통신한다. 예컨대, CPU(들)(502)는 슬레이브 디바이스의 일 예로서의 메모리 시스템(514) 내의 메모리 제어기(512)에 버스 트랜잭션 요청들을 통신할 수 있다. 도 5에 예시되지 않지만, 다수의 시스템 버스들(510)이 제공될 수 있으며, 여기서, 각각의 시스템 버스(510)는 상이한 패브릭(fabric)으로 구성된다. 이러한 예에서, 메모리 제어기(512)는 메모리 시스템(514) 내의 메모리 어레이(516)에 메모리 액세스 요청들을 제공하도록 구성된다.

[0041] [0051] 다른 디바이스들이 시스템 버스(510)에 연결될 수 있다. 도 5에 예시된 바와 같이, 이들 디바이스들은 예들로서, 메모리 시스템(514), 하나 이상의 입력 디바이스들(518), 하나 이상의 출력 디바이스들(520), 하나

이상의 네트워크 인터페이스 디바이스들(522), 및 하나 이상의 디스플레이 제어기들(524)을 포함할 수 있다. 입력 디바이스(들)(518)는 입력 키들, 스위치들, 음성 프로세서들 등을 포함하지만 이에 제한되지는 않는 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(520)는 오디오, 비디오, 다른 시각적인 표시자들 등을 포함하지만 이에 제한되지는 않는 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(522)는 네트워크(526)로의 그리고 네트워크(526)로부터의 데이터의 교환을 가능하게 하도록 구성된 임의의 디바이스들일 수 있다. 네트워크(526)는, 유선 또는 무선 네트워크, 사설 또는 공용 네트워크, 로컬 영역 네트워크(LAN), 무선 로컬 영역 네트워크(WLAN), 광역 네트워크(WAN), BLUETOOTH™ 네트워크, 및 인터넷을 포함하지만 이에 제한되지는 않는 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(522)는 원하는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다.

[0042] [0052] CPU(들)(502)는 또한, 하나 이상의 디스플레이들(528)로 전송되는 정보를 제어하기 위해 시스템 버스(510)를 통하여 디스플레이 제어기(들)(524)에 액세스하도록 구성될 수 있다. 디스플레이 제어기(들)(524)는 하나 이상의 비디오 프로세서들(530)을 통해 디스플레이될 정보를 디스플레이(들)(528)에 전송하며, 그 프로세서들은 디스플레이될 정보를 디스플레이(들)(528)에 적합한 포맷으로 프로세싱한다. 디스플레이(들)(528)는, 음극선관(CRT), 액정 디스플레이(LCD), 플라즈마 디스플레이 등을 포함하지만 이에 제한되지는 않는 임의의 타입의 디스플레이를 포함할 수 있다.

[0043] [0053] 도 6은 RF 컴포넌트들을 포함할 수 있는 무선 통신 디바이스(600)의 일 예를 예시하며, 여기서, 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 예시적인 FinFET(도 2의 FinFET 셀(200)을 포함하지만 이에 제한되지는 않음)을 포함하는 FinFET 셀이 포함될 수 있다. 이와 관련하여, 인접한 비대칭 활성 게이트/더미 게이트 폭 레이아웃을 이용하는 예시적인 FinFET를 포함하는 FinFET 셀을 포함한 무선 통신 디바이스(600)가 집적 회로(IC)(606)에서 제공될 수 있다. 무선 통신 디바이스(600)는 예를로서, 위에서 참조된 디바이스들 중 임의의 디바이스를 포함하거나 또는 그들로 제공될 수 있다. 도 6에 도시된 바와 같이, 무선 통신 디바이스(600)는 트랜시버(604) 및 데이터 프로세서(608)를 포함한다. 데이터 프로세서(608)는 데이터 및 프로그램 코드들을 저장하기 위한 메모리(도시되지 않음)를 포함할 수 있다. 트랜시버(604)는 양방향 통신을 지원하는 송신기(610) 및 수신기(612)를 포함한다. 일반적으로, 무선 통신 디바이스(600)는 임의의 수의 통신 시스템들 및 주파수 대역들에 대해 임의의 수의 송신기들 및/또는 수신기들을 포함할 수 있다. 트랜시버(604)의 전부 또는 일부는 하나 이상의 아날로그 IC들, RF IC(RFIC)들, 믹싱된 신호 IC들 등 상에서 구현될 수 있다.

[0044] [0054] 송신기(610) 또는 수신기(612)는 수퍼-헤테로다인(super-heterodyne) 아키텍처 또는 직접-변환 아키텍처를 이용하여 구현될 수 있다. 수퍼-헤테로다인 아키텍처에서, 신호는 다수의 스테이지들에서 RF와 베이스밴드 사이에서, 예컨대, 하나의 스테이지에서는 RF로부터 중간 주파수(IF)로 그리고 그 후에는 수신기(612)에 대한 다른 스테이지에서 IF로부터 베이스밴드로 주파수-변환된다. 직접-변환 아키텍처에서, 신호는 하나의 스테이지에서 RF와 베이스밴드 사이에서 주파수 변환된다. 수퍼-헤테로다인 및 직접-변환 아키텍처들은 상이한 회로 블록들을 사용하고 그리고/또는 상이한 요건들을 가질 수 있다. 도 6의 무선 통신 디바이스(600)에서, 송신기(610) 및 수신기(612)는 직접-변환 아키텍처를 이용하여 구현된다.

[0045] [0055] 송신 경로에서, 데이터 프로세서(608)는 송신될 데이터를 프로세싱하고, I 및 Q 아날로그 출력 신호들을 송신기(610)에 제공한다. 예시적인 무선 통신 디바이스(600)에서, 데이터 프로세서(608)는, 데이터 프로세서(608)에 의해 생성된 디지털 신호들을, 추가적인 프로세싱을 위해 I 및 Q 아날로그 출력 신호들, 예컨대 I 및 Q 출력 전류들로 변환하기 위한 디지털-아날로그 변환기(DAC)들(614(1) 및 614(2))을 포함한다.

[0046] [0056] 송신기(610) 내에서, 저역통과 필터들(616(1), 616(2))은 이전의 디지털-아날로그 변환에 의해 야기된 원치않는 이미지들을 제거하기 위해 I 및 Q 아날로그 출력 신호들을 각각 필터링한다. 증폭기들(AMP)(618(1), 618(2))은 저역통과 필터들(616(1), 616(2))로부터의 신호들을 각각 증폭시키고, I 및 Q 베이스밴드 신호들을 제공한다. 상향변환기(620)는 송신(TX) 로컬 오실레이터(LO) 신호 생성기(622)로부터 믹서들(624(1), 624(2))을 통해 TX LO 신호들을 이용하여 I 및 Q 베이스밴드 신호들을 상향변환하여, 상향변환된 신호(626)를 제공한다. 필터(628)는 주파수 상향변환에 의해 야기된 원치않는 이미지들 뿐만 아니라 수신 주파수 대역의 잡음을 제거하기 위해, 상향변환된 신호(626)를 필터링한다. 전력 증폭기(PA)(630)는 원하는 출력 전력 레벨을 획득하기 위해 필터(628)로부터의 상향변환된 신호(626)를 증폭시키고, 송신 RF 신호를 제공한다. 송신 RF 신호는 듀플렉서 또는 스위치(632)를 통해 라우팅되고, 안테나(634)를 통해 송신된다.

[0047] [0057] 수신 경로에서, 안테나(634)는 기지국들에 의해 송신된 신호들을 수신하고, 수신된 RF 신호를 제공하며, 그 RF 신호는 듀플렉서 또는 스위치(632)를 통해 라우팅되어 저잡음 증폭기(LNA)(636)로 제공된다. 듀플렉서

또는 스위치(632)는 특정한 RX-TX 듀플렉서 주파수 분리를 이용하여 동작하도록 설계되므로, RX 신호들은 TX 신호들로부터 격리된다. 수신된 RF 신호는 LNA(636)에 의해 증폭되고 필터(638)에 의해 필터링되어, 원하는 RF 입력 신호를 획득한다. 하향변환 믹서들(640(1), 640(2))은 수신(RX) LO 신호 생성기(642)로부터의 I 및 Q RX LO 신호들(즉, LO_I 및 LO_Q)과 필터(638)의 출력을 믹싱하여, I 및 Q 베이스밴드 신호들을 생성한다. I 및 Q 베이스밴드 신호들은 증폭기들(AMP)(644(1), 644(2))에 의해 증폭되고, 저역통과 필터들(646(1), 646(2))에 의해 추가로 필터링되어, I 및 Q 아날로그 입력 신호들을 획득하며, 그 I 및 Q 아날로그 입력 신호들은 데이터 프로세서(608)에 제공된다. 이러한 예에서, 데이터 프로세서(608)는 아날로그 입력 신호들을, 데이터 프로세서(608)에 의해 추가로 프로세싱될 디지털 신호들로 변환하기 위한 아날로그-디지털 변환기(ADC)들(648(1), 648(2))을 포함한다.

[0048] [0058] 도 6의 무선 통신 디바이스(600)에서, TX LO 신호 생성기(622)는 주파수 상향변환을 위해 사용되는 I 및 Q TX LO 신호들을 생성하는 반면, RX LO 신호 생성기(642)는 주파수 하향변환을 위해 사용되는 I 및 Q RX LO 신호들을 생성한다. 각각의 LO 신호는 특정한 기본 주파수를 갖는 주기적인 신호이다. 송신(TX) 위상-고정 루프(PLL) 회로(650)는 데이터 프로세서(608)로부터 타이밍 정보를 수신하며, TX LO 신호 생성기(622)로부터의 TX LO 신호들의 주파수 및/또는 위상을 조정하기 위해 사용되는 제어 신호를 생성한다. 유사하게, 수신(RX) 위상-고정 루프(PLL) 회로(652)는 데이터 프로세서(608)로부터 타이밍 정보를 수신하며, RX LO 신호 생성기(642)로부터의 RX LO 신호들의 주파수 및/또는 위상을 조정하기 위해 사용되는 제어 신호를 생성한다.

[0049] [0059] 당업자들은, 본 명세서에 개시된 양상들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터-판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 이들의 조합들로서 구현될 수 있다는 것을 추가로 인식할 것이다. 본 명세서에서 설명된 마스터 및 슬레이브 디바이스들은, 예를로서 임의의 회로, 하드웨어 컴포넌트, 집적 회로(IC), 또는 IC 칩에서 이용될 수 있다. 본 명세서에서 개시된 메모리는 임의의 타입 및 사이즈의 메모리일 수 있으며, 원하는 임의의 타입의 정보를 저장하도록 구성될 수 있다. 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능 관점에서 일반적으로 위에서 설명되었다. 그러한 기능이 어떻게 구현되는지는, 특정한 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과된 설계 제약들에 의존한다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

[0050] [0060] 본 명세서에 개시된 양상들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 조합, 예컨대 DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수 있다.

[0051] [0061] 본 명세서에 개시된 양상들은 하드웨어 및 하드웨어에 저장된 명령들로 구현될 수 있으며, 예컨대, 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독 전용 메모리(ROM), 전기적으로 프로그래밍가능 ROM(EPROM), 전기적으로 소거가능한 프로그래밍가능 ROM(EEPROM), 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 컴퓨터 판독가능 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 원격 스테이션에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국, 또는 서버에서 별개의 컴포넌트들로서 상주할 수 있다.

[0052] [0062] 또한, 본 명세서의 예시적인 양상들 중 임의의 양상에서 설명된 동작 단계들은 예들 및 논의를 제공하기 위해 설명된다는 것을 유의한다. 설명된 동작들은 예시된 시퀀스들 이외의 다수의 상이한 시퀀스들에서 수행될 수 있다. 또한, 단일 동작 단계에서 설명된 동작들은 실제로는 다수의 상이한 단계들에서 수행될 수 있다. 부가적으로, 예시적인 양상들에서 논의된 하나 이상의 동작 단계들이 조합될 수 있다. 흐름도들에 예시된 동작 단계들은, 당업자에게는 용이하게 명백할 바와 같은 다수의 상이한 변형들을 겪을 수 있다는 것이 이해될 것이다. 당업자들은 또한, 정보 및 신호들이 다양한 상이한 기법들 및 기술들 중 임의의 기법 및 기술을 사용하여

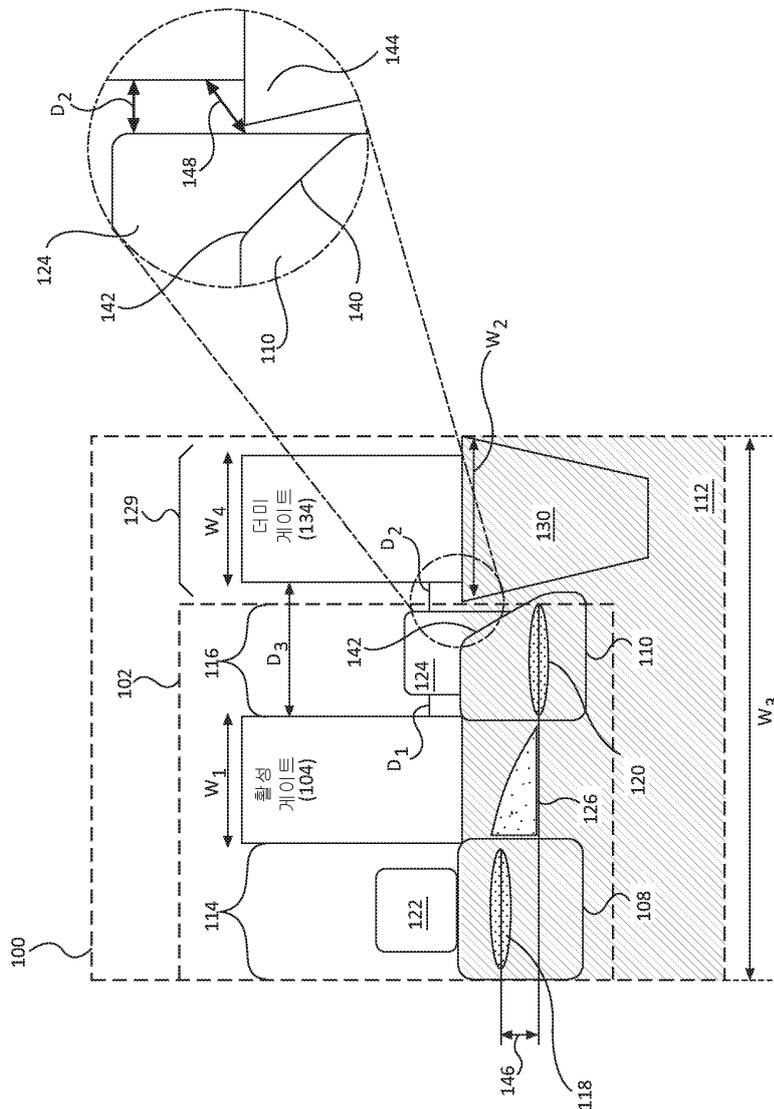
표현될 수 있음을 이해할 것이다. 예컨대, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.

[0053]

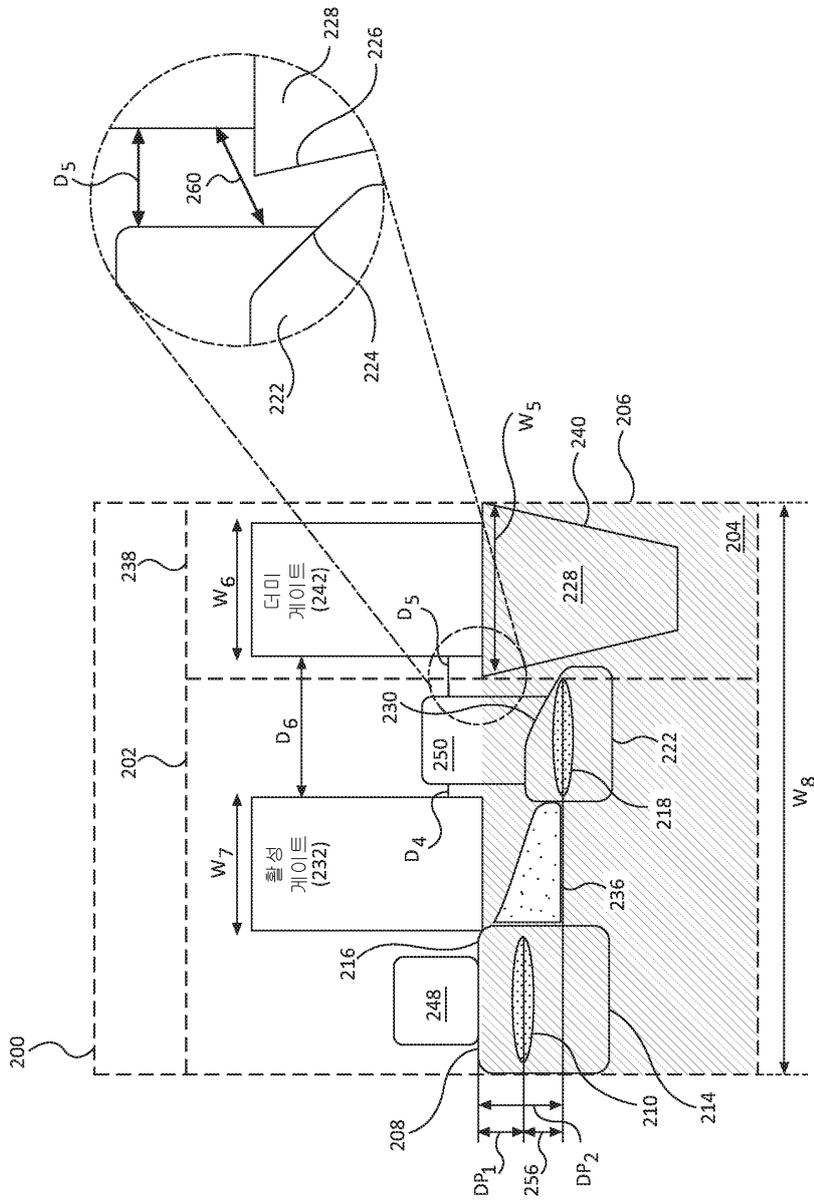
[0063] 개시내용의 이전 설명은 임의의 당업자가 개시내용을 사용하거나 또는 실시할 수 있도록 제공된다. 개시내용에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에서 정의된 일반적인 원리들은 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 개시내용은 본 명세서에 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본 명세서에 개시된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

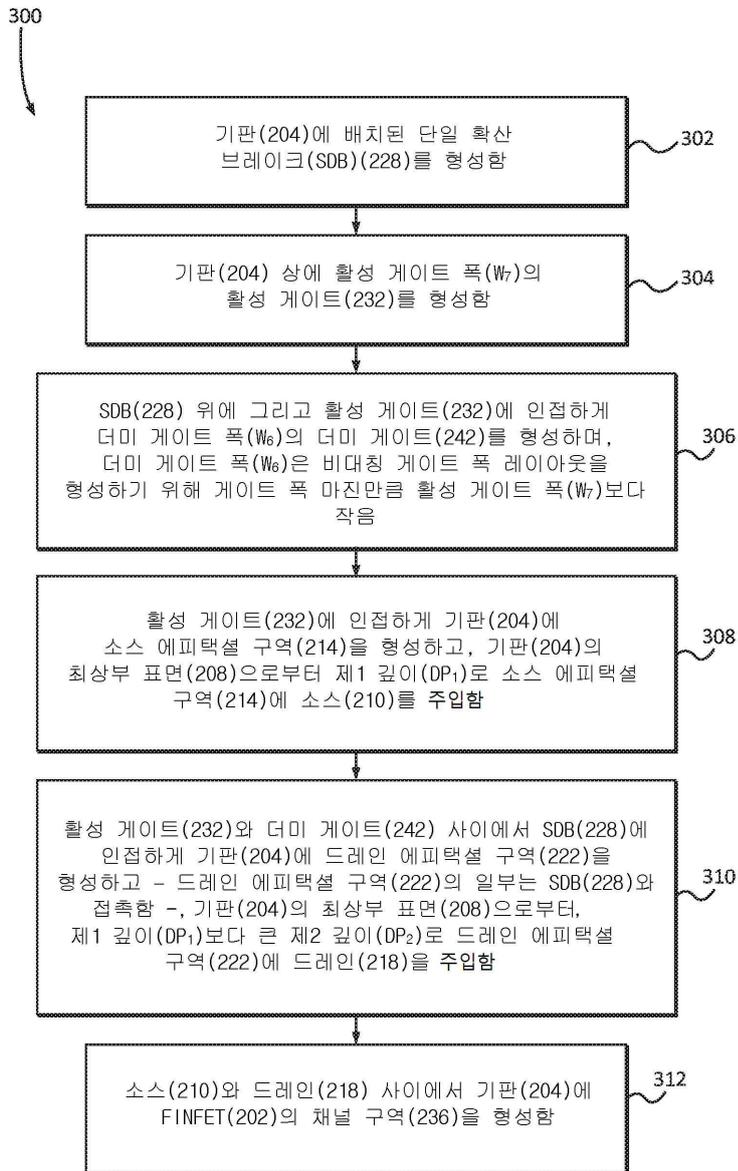
도면1



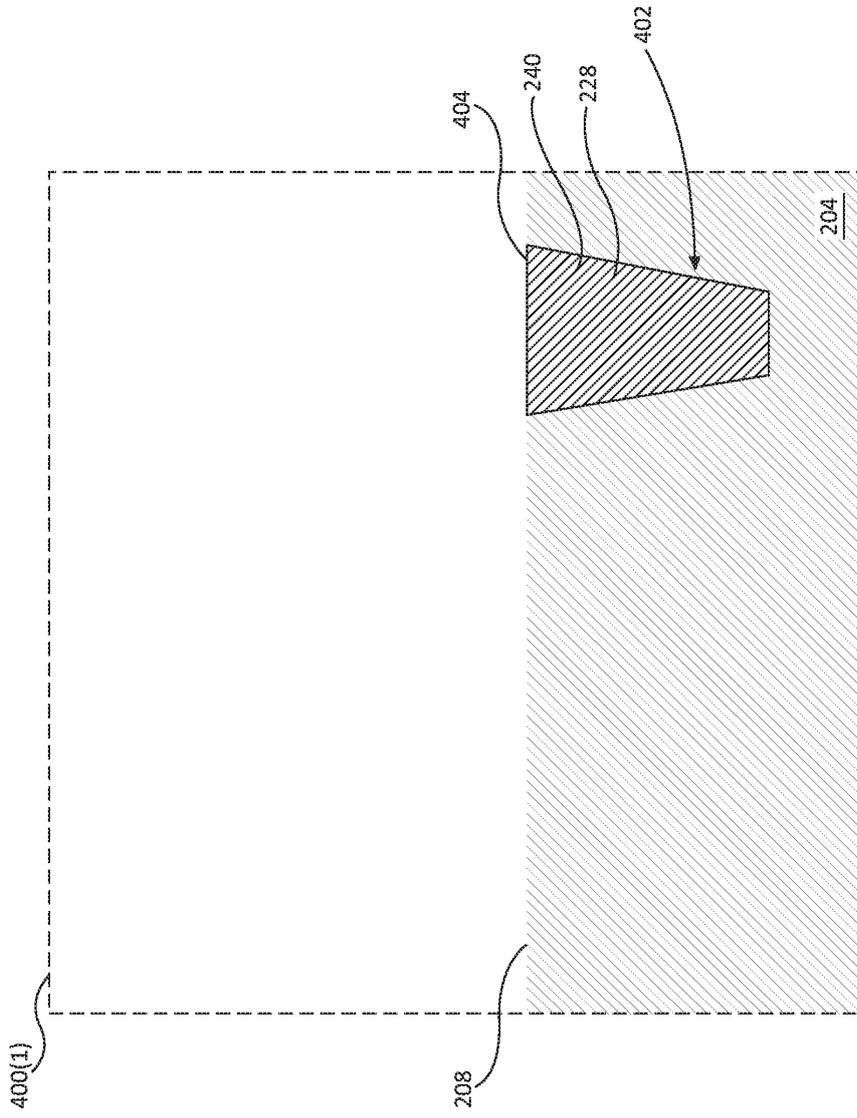
도면2



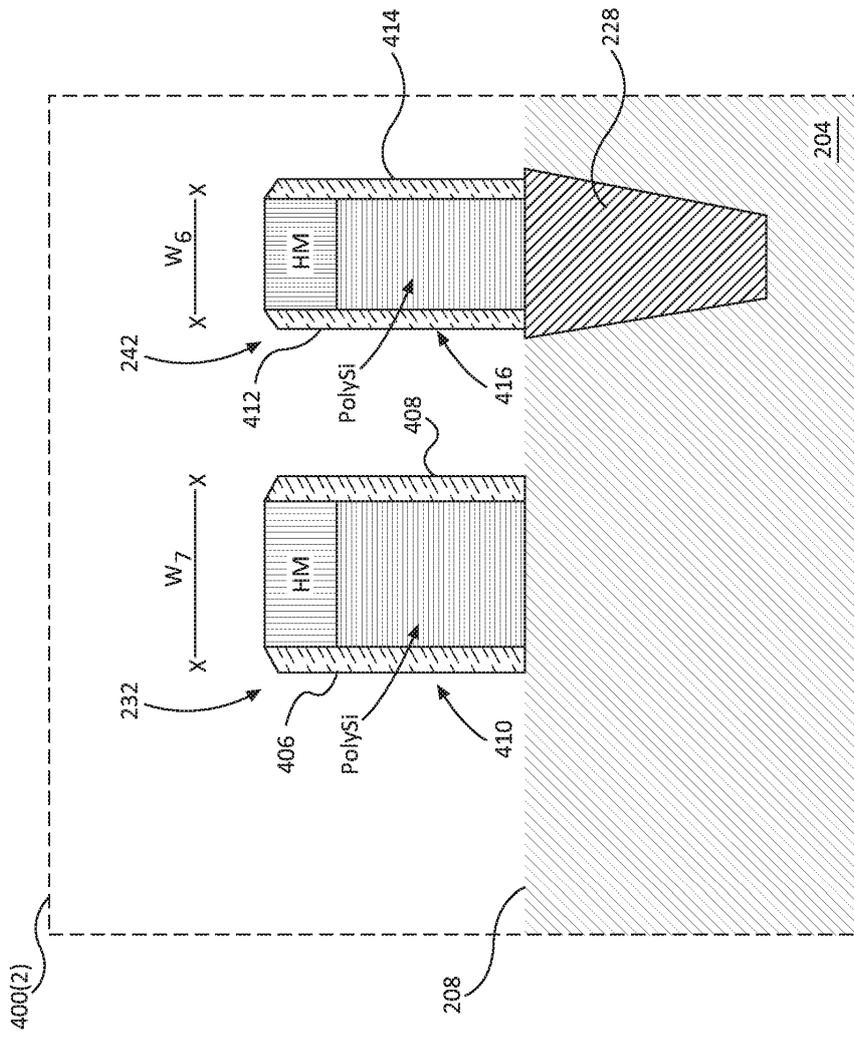
도면3



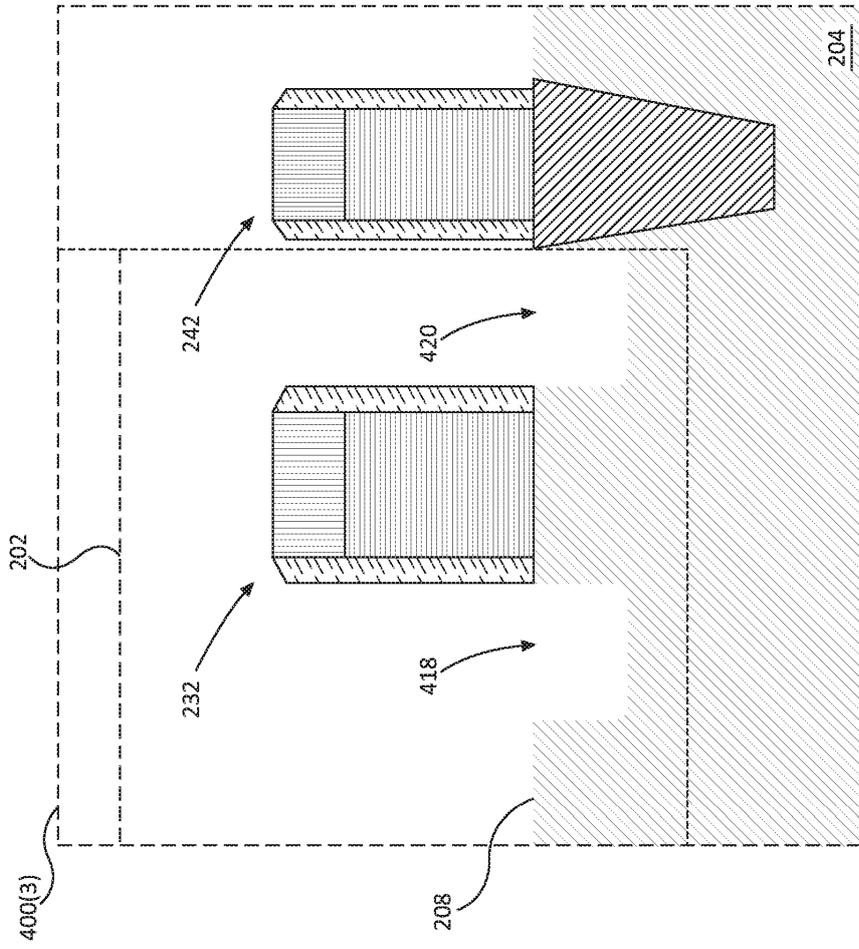
도면4a



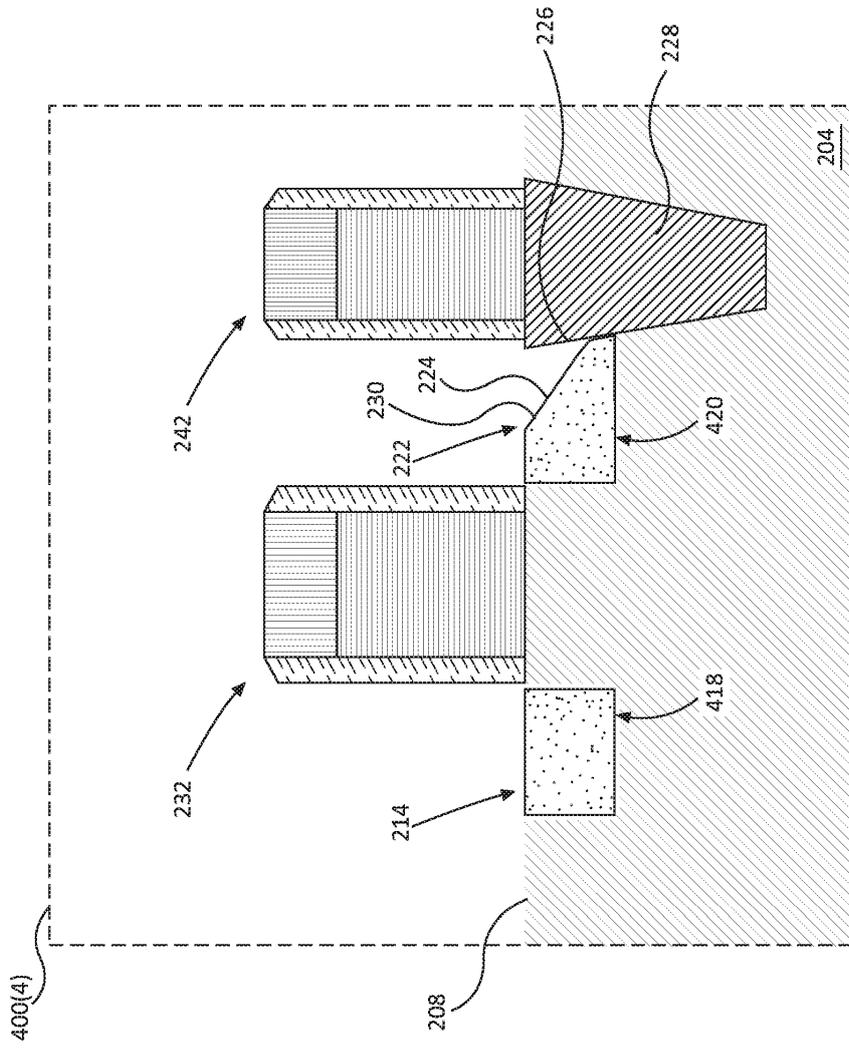
도면4b



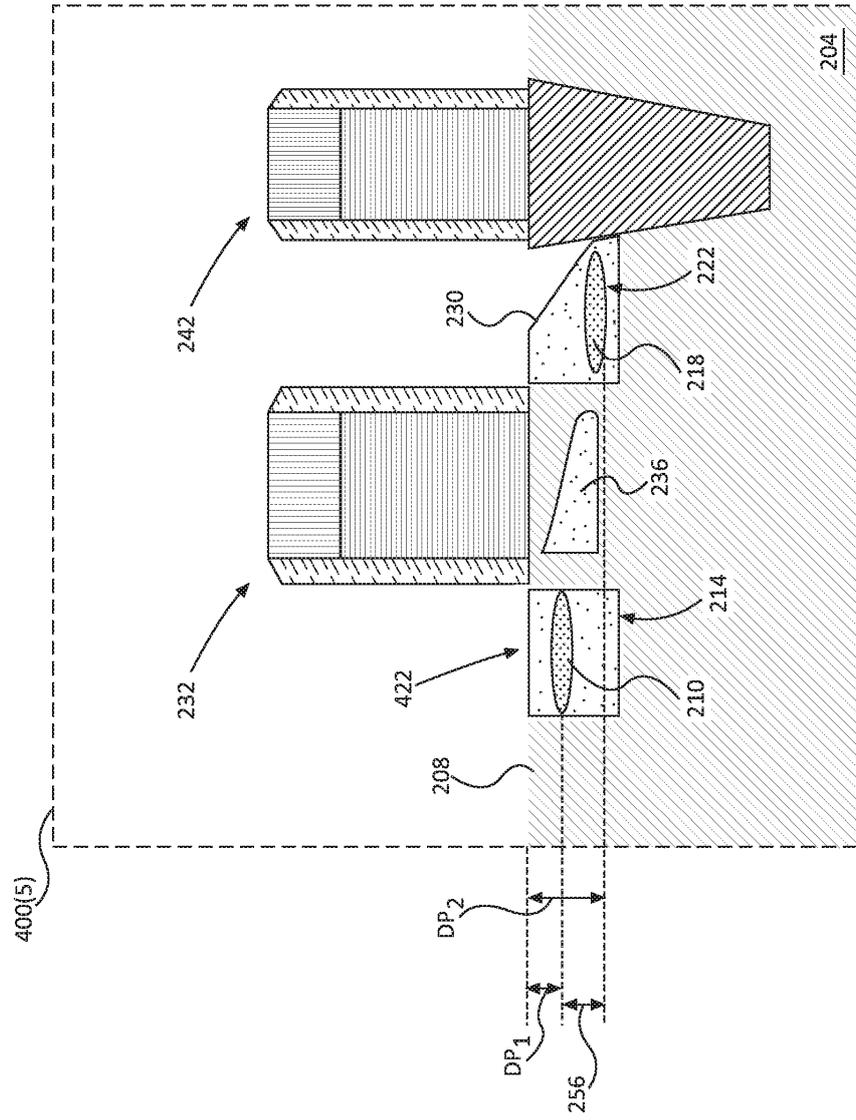
도면4c



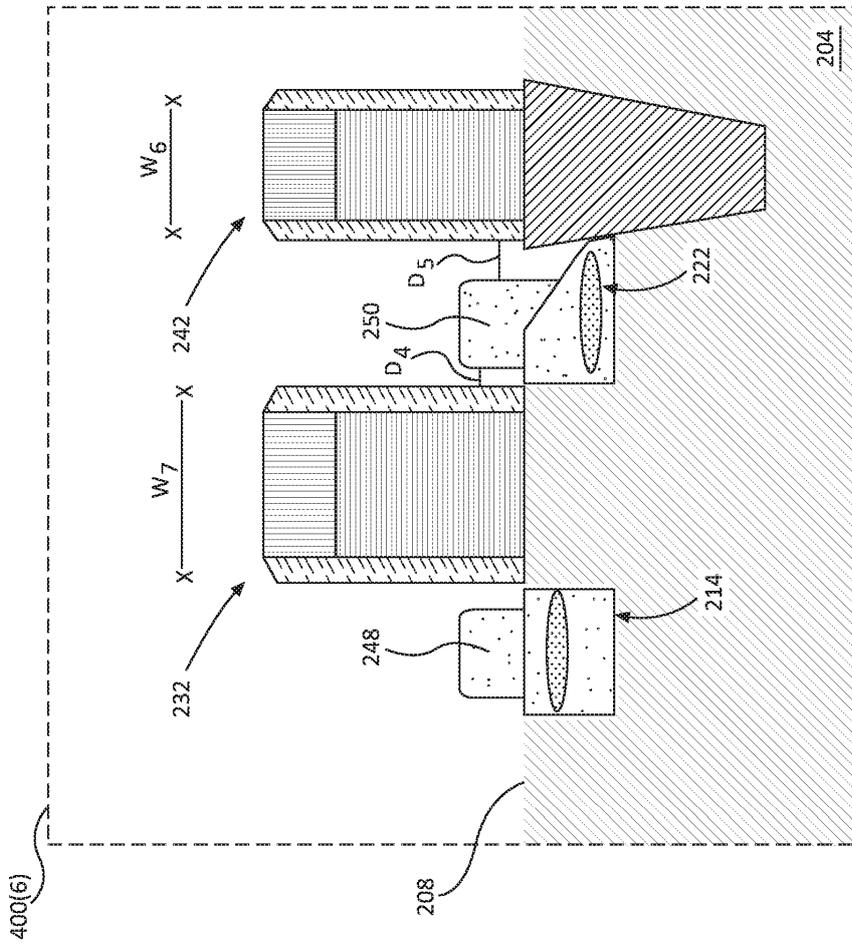
도면4d



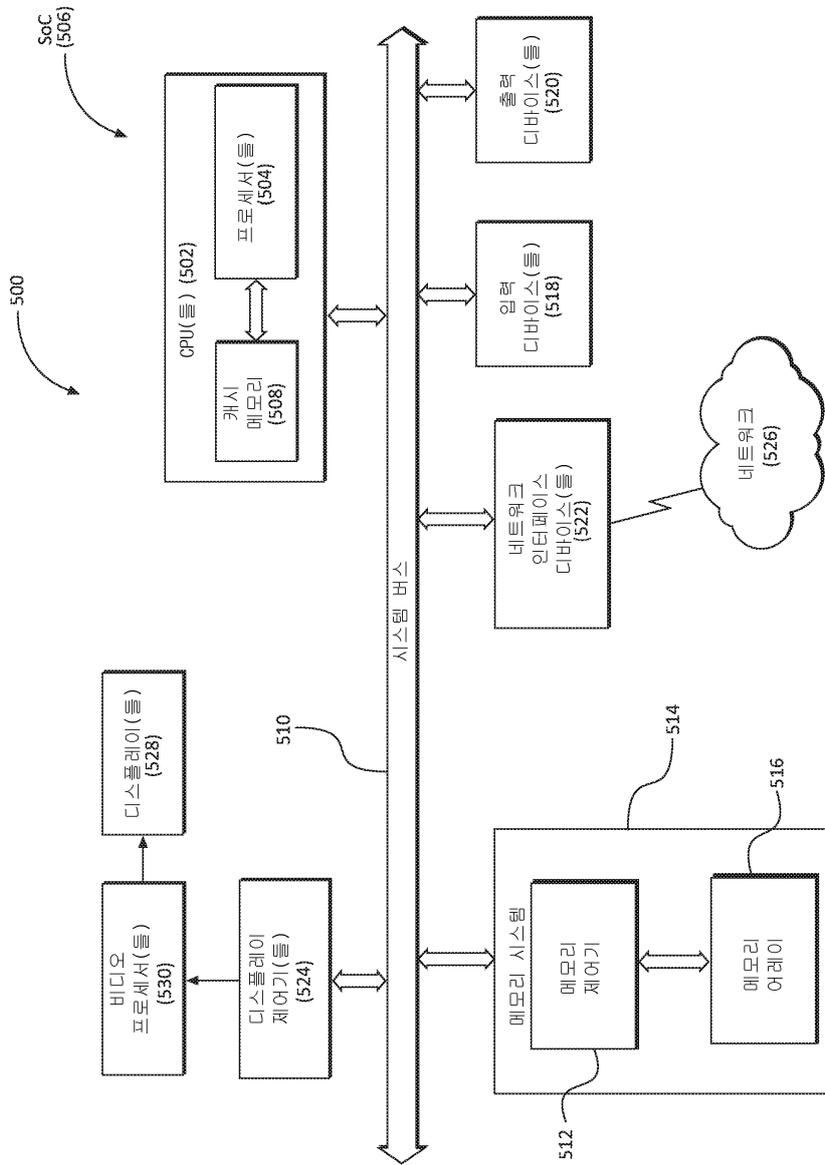
도면4e



도면4f



도면5



도면6

