(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-105390
(P2009-105390A)
(43)公開日　平成21年5月14日(2009.5.14)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/786	(2006.01)	H01L	29/78	618E	5F110
H01L 21/336	(2006.01)	H01L	29/78	618F	
		H01L	29/78	616T	
		H01L	29/78	618A	
		H01L	29/78	617T	

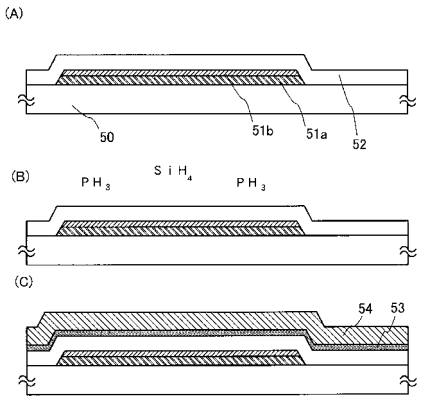
審査請求 未請求　請求項の数 10　OL　（全 36 頁）　最終頁に続く

(21)出願番号　特願2008-251237 (P2008-251237)
(22)出願日　平成20年9月29日 (2008.9.29)
(31)優先権主張番号　特願2007-262603 (P2007-262603)
(32)優先日　平成19年10月5日 (2007.10.5)
(33)優先権主張国　日本国(JP)

(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　黒川　義元
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　河江　大輔
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　小林　聡
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
最終頁に続く

(54)【発明の名称】半導体装置およびその作製方法

(57)【要約】
【課題】アモルファスシリコンを用いる逆スタガ型のＴＦＴにおいて、ＴＦＴの電界効果移動度を向上させる。
【解決手段】逆スタガ型のＴＦＴにおいて、ゲート絶縁膜と非晶質半導体層の間にｎ型化させた非晶質半導体層を薄く形成する。ホスフィンガスを微量に含む雰囲気下に、ゲート絶縁膜まで形成した基板を曝した後、非晶質半導体層を成膜することで、非晶質半導体層の成膜初期にリンを含む非晶質半導体層を形成する。こうして得られる非晶質半導体層は、ゲート絶縁膜表面近傍にリンの濃度ピークが位置する。
【選択図】図１



【特許請求の範囲】
【請求項１】
絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上に絶縁層を形成し、
ホスフィンガスを含む雰囲気下に前記絶縁層の表面を曝し、
前記絶縁層上にｎ型非晶質半導体層を形成し、
前記ｎ型非晶質半導体層上に前記ｎ型非晶質半導体層よりも膜厚の厚い非晶質半導体層を形成し、
前記非晶質半導体層上に前記ｎ型非晶質半導体層に含まれるリンの濃度よりも高濃度のリンを含むｎ型半導体層を形成し、
前記ｎ型半導体層上にソース電極またはドレイン電極を形成する半導体装置の作製方法。
【請求項２】
請求項１において、前記ホスフィンガスを含む雰囲気は、シランガス及び水素を含む半導体装置の作製方法。
【請求項３】
絶縁表面を有する基板上にゲート電極を形成し、
前記ゲート電極上にリンを含む絶縁層を形成し、
前記リンを含む絶縁層上にｎ型非晶質半導体層と、前記ｎ型非晶質半導体層上に前記ｎ型非晶質半導体層よりも膜厚の厚い非晶質半導体層を形成し、
前記非晶質半導体層上に前記ｎ型非晶質半導体層に含まれるリンの濃度よりも高濃度のリンを含むｎ型半導体層を形成し、
前記ｎ型半導体層上にソース電極またはドレイン電極を形成する半導体装置の作製方法。
【請求項４】
請求項１乃至３のいずれか一において、前記非晶質半導体層は、水素を含むアモルファスシリコンである半導体装置の作製方法。
【請求項５】
絶縁表面を有する基板上にゲート電極と、
前記ゲート電極上に絶縁層と、
前記絶縁層上にｎ型非晶質半導体層と、
前記ｎ型非晶質半導体層上に前記ｎ型非晶質半導体層よりも膜厚の厚い非晶質半導体層と、
前記非晶質半導体層上に前記ｎ型非晶質半導体層に含まれるリンの濃度よりも高濃度のリンを含むｎ型半導体層と、
前記ｎ型半導体層上にソース電極またはドレイン電極とを有し、
前記ｎ型非晶質半導体層において、窒素及び酸素の濃度が前記ｎ型非晶質半導体層に含まれるリン濃度の１０倍を超えない濃度であり、且つ、ボロン濃度は前記ｎ型非晶質半導体層に含まれるリン濃度の１０分の１未満である半導体装置。
【請求項６】
請求項５において、前記ｎ型非晶質半導体層は、窒素及び酸素の濃度が$5\times10^{18}cm^{-3}$以下であり、且つ、リンの濃度が$6\times10^{15}cm^{-3}$以上$3\times10^{18}cm^{-3}$以下である半導体装置。
【請求項７】
請求項５または請求項６において、リンの濃度ピークは、前記絶縁層と前記ｎ型非晶質半導体層との界面に位置する半導体装置。
【請求項８】
請求項５乃至７のいずれか一において、さらに、前記ｎ型非晶質半導体層において、炭素の濃度が$5\times10^{18}cm^{-3}$以下である半導体装置。
【請求項９】
請求項５乃至７のいずれか一において、前記非晶質半導体層は、水素を含むアモルファスシリコンである半導体装置。

【請求項１０】
請求項５乃至９のいずれか一において、前記絶縁層は窒化シリコン膜である半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置を部品として搭載した電子機器に関する。
【０００２】
なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。
【背景技術】
【０００３】
近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百ｎｍ程度）を用いて薄膜トランジスタ（ＴＦＴ）を構成する技術が注目されている。薄膜トランジスタはＩＣや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。
【０００４】
画像表示装置として液晶表示装置が知られている。パッシブマトリクス型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになっている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。
【０００５】
ＴＦＴの活性層に用いる材料は、主としてシリコンが用いられている。従来では非晶質シリコン膜（アモルファスシリコン膜）を用いてＴＦＴが形成されてきた。
【０００６】
また、これまで、一枚のマザーガラス基板から複数のパネルを切り出して、大量生産を効率良く行う生産技術が採用されてきた。マザーガラス基板のサイズは、１９９０年初頭における第１世代の３００ｍｍ×４００ｍｍから、２０００年には第４世代となり６８０ｍｍ×８８０ｍｍ若しくは７３０ｍｍ×９２０ｍｍへと大型化して、一枚の基板から多数の表示パネルが取れるように生産技術が進歩してきた。
【０００７】
また、基板サイズの大面積化と同時に、生産性の向上や低コスト化の要求も高まっている。
【０００８】
これらの要求を満たすＴＦＴ構造として逆スタガ型（ボトムゲート型）のＴＦＴ構造が主流となっている。
【０００９】
特許文献１には、絶縁性基板上にゲート電極を形成する工程と、ゲート電極上に絶縁性膜を形成する工程と、シラン系ガスのグロー放電またはアーク放電分解、または水素ガスを添加したガスを用いてシリコンをスパッタリングすることによって絶縁性膜上に非晶質シリコン層を選択的に形成するにあたり、グロー放電、アーク放電またはスパッタリングの放電電力を放電初期は小とし、その後の放電期間は大とするステップ状の放電により膜形成を行うＭＯＳ型トランジスタの作製方法が開示されている。
【特許文献１】特開昭５８－８６７７６号公報
【発明の開示】
【発明が解決しようとする課題】

【００１０】
アクティブマトリクス型の液晶表示装置において、短時間のゲートスイッチング時間で液晶層への電圧を印加する必要、及び保持容量を充電する必要がある。特に、画面サイズの大型化、または高精細化した液晶表示装置では、大きな駆動電流が必要とされる。そのため、スイッチング素子としてのＴＦＴは、電界効果移動度が高いことが要求される。
【００１１】
非晶質シリコン層をＴＦＴの活性層として用いる場合、電界効果移動度が小さく、駆動電流を大きくすることが困難であった。
【００１２】
多結晶シリコン層をＴＦＴの活性層として用いれば、電界効果移動度を大きくすることができるが、結晶化プロセス等が追加されるため、大幅なプロセス数の増加による製造コストの増大、及び生産性の低下を招いている。
【００１３】
そこで、非晶質シリコン層をＴＦＴの活性層として用い、従来よりも電界効果移動度の優れたＴＦＴを提供することを課題の一つとする。また、効率よく微結晶半導体膜の成膜を行う微結晶半導体膜の作製方法を課題の一とする。
【００１４】
また、特許文献１に記載のステップ状の放電により膜形成を行う技術を用いて非晶質シリコン層を形成する場合、成膜速度を下げると成膜時間が長くなるため、窒素や酸素などがゲート絶縁膜の界面付近の非晶質シリコン層に多く取り込まれてしまい、十分な膜質を得ることが困難である。
【課題を解決するための手段】
【００１５】
本発明は、逆スタガ型のＴＦＴにおいて、ゲート絶縁膜と非晶質半導体層の間にｎ型化させた非晶質半導体層を薄く形成することで、ＴＦＴの電界効果移動度を向上させる。
【００１６】
または、ゲート絶縁膜界面近傍の非晶質半導体層の一部（好ましくは５０ｎｍ未満）を意図的にｎ型化させて、ＴＦＴの電界効果移動度を向上させる。
【００１７】
ｎ型化させた非晶質半導体層の形成、または非晶質半導体層の一部をｎ型化させるために用いるｎ型不純物元素としてはリン、ヒ素、アンチモンを用いることができる。中でもホスフィンガス（PH_3）として安価に入手できるリンを用いることが好ましい。
【００１８】
なお、窒素や酸素も非晶質半導体層の一部をｎ型化させる元素であるが、これらの元素により非晶質半導体層中の欠陥密度が増大し、電界効果移動度を低下させる要因となるため、非晶質半導体層中におけるこれらの濃度は、リン濃度よりも低くすることが好ましく、具体的には、$5\times10^{18}cm^{-3}$以下とする。また、欠陥準位を増加し、キャリアの移動を阻害する炭素の濃度も低くすることが好ましく、非晶質半導体層中における炭素濃度は、$5\times10^{18}cm^{-3}$以下とする。また、非晶質半導体層中におけるボロン濃度は、リンの濃度の１０分の一以下とすることが好ましい。
【００１９】
本明細書で開示する発明の作製方法に関する構成は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極上に絶縁層を形成し、ホスフィンガスを含む雰囲気下に絶縁層の表面を曝し、絶縁層上にｎ型非晶質半導体層を形成し、ｎ型非晶質半導体層上にｎ型非晶質半導体層よりも膜厚の厚い非晶質半導体層を形成し、非晶質半導体層上にｎ型非晶質半導体層に含まれるリンの濃度よりも高濃度のリンを含むｎ型半導体層を形成し、ｎ型半導体層上にソース電極またはドレイン電極を形成する半導体装置の作製方法である。本発明は、上記課題の少なくとも一つを解決する。
【００２０】
ホスフィンガスを微量に含む雰囲気下に、ゲート絶縁膜まで形成した基板を曝した後、非

晶質半導体層を成膜することで、非晶質半導体層の成膜初期にリンを含む非晶質半導体層を形成する。こうして得られる非晶質半導体層は、ゲート絶縁膜表面近傍にリンの濃度ピークが位置する。

【００２１】

さらに、ゲート絶縁膜表面を微量のホスフィンガスを含む雰囲気に曝すことによって、窒素や酸素がゲート絶縁膜表面に付着（または反応）するよりも先にリンを付着（または反応）させて、ゲート絶縁膜の界面付近の非晶質シリコン層に窒素や酸素が多く取り込まれることを防ぐ。

【００２２】

ホスフィンガスを微量に含む雰囲気としては、ホスフィンガスと不活性ガス（アルゴンガス等）との混合ガス雰囲気、シランガスとホスフィンガスとの混合ガス雰囲気、水素で希釈したシランガスとホスフィンガスとの混合ガス雰囲気などを用いることができる。

【００２３】

特に、シランガスとホスフィンガスとの両方を含む混合ガス雰囲気は、ゲート絶縁膜の界面付近の非晶質シリコン層中に取り込まれる窒素や酸素を効果的に低減することができる。

【００２４】

また、非晶質半導体層の成膜前にチャンバー内にシランガスやホスフィンガスを流すだけでなく、プラズマを発生させて、反応室内壁にリンを含む非晶質半導体膜を成膜してもよい。反応室内壁にリンを含む非晶質半導体膜を成膜した後、基板を搬入して非晶質半導体層の成膜を行うと非晶質半導体層の成膜初期にリンを含ませることができる。また、ゲート絶縁膜を形成する前に、反応室内壁にリンを含む非晶質半導体膜を成膜した後、基板を搬入してゲート絶縁膜及び非晶質半導体層の成膜を行っても非晶質半導体層の成膜初期にリンを含ませることができる。

【００２５】

また、それぞれの流量をコントロールし、水素で希釈したシランガスに微量のホスフィンガスを混ぜた混合ガスを材料ガスに用いてプラズマを発生させ、ｎ型化させた非晶質半導体層の成膜を行った後、微量のホスフィンガスの導入を停止し、引き続き、水素で希釈したシランガスを用いて非晶質半導体層の成膜を行ってもよい。この方法を用いる場合には、ｎ型化させた非晶質半導体層のリン濃度をほぼ均一に分布する。また、段階的にホスフィンガスの流量を変化させてｎ型化させた非晶質半導体層のリン濃度に濃度勾配を形成し、ゲート絶縁膜近傍に濃度ピークが位置するように制御してもよい。

【００２６】

ソース電極の下方には、基板上にゲート電極、ゲート絶縁膜、ｎ型化させた非晶質半導体層、ｉ型の非晶質半導体層（ノンドープａ－Ｓｉ：Ｈ層とも呼ばれる）、ｎ型半導体層（ｎ＋型ａ－Ｓｉ：Ｈ層とも呼ばれる）が順に積層される。ｎ型半導体層は微結晶を含んでいてもよい。ｎ型半導体層は、良好なオーミックコンタクト特性を得るためにソース電極とｉ型の非晶質半導体層との間に設けられる。ｎ型半導体層は、ｎ型化させた非晶質半導体層よりも含まれるリン濃度が高く、n^+層とも呼べる。また、ｎ型化させた非晶質半導体層は、n^+層よりもリン濃度が低いため、ｎ型化させた非晶質半導体層は、n^-層とも呼べる。

【００２７】

上述した作製方法により得られる構造も発明の一つであり、その構成は、絶縁表面を有する基板上にゲート電極と、ゲート電極上に絶縁層と、絶縁層上にｎ型非晶質半導体層と、ｎ型非晶質半導体層上にｎ型非晶質半導体層よりも膜厚の厚い非晶質半導体層と、非晶質半導体層上にｎ型非晶質半導体層に含まれるリンの濃度よりも高濃度のリンを含むｎ型半導体層と、ｎ型半導体層上にソース電極またはドレイン電極とを有し、ｎ型非晶質半導体層において、窒素及び酸素の濃度がｎ型非晶質半導体層に含まれるリン濃度の１０倍を超えない濃度であり、且つ、ボロン濃度はｎ型非晶質半導体層に含まれるリン濃度の１０分の１未満である半導体装置である。

【００２８】
具体的なそれぞれの濃度は、ｎ型非晶質半導体層中の窒素及び酸素の濃度が５×１０^{18}ｃｍ$^{-3}$以下であり、且つ、リンの濃度が６×１０^{15}ｃｍ$^{-3}$以上３×１０^{18}ｃｍ$^{-3}$以下である半導体装置である。望ましくは、ｎ型非晶質半導体層中のリンの濃度は３×１０^{16}ｃｍ$^{-3}$以上３×１０^{17}ｃｍ$^{-3}$以下である。さらに、ｎ型非晶質半導体層中の炭素の濃度が５×１０^{18}ｃｍ$^{-3}$以下であることが好ましい。
【００２９】
図６（Ａ）にｎ$^{-}$層を有する逆スタガ型のＴＦＴの積層構造のモデルを示す。図６（Ａ）に示すように、絶縁表面を有する基板１１上にゲート電極１２、ゲート絶縁膜１３、ｎ$^{-}$層１４、ｉ型の非晶質半導体層１５、ｎ$^{+}$層であるソース領域１６、ｎ$^{+}$層であるドレイン領域１７、ソース電極１８、ドレイン電極１９がそれぞれ設けられている。
【００３０】
ｎ$^{-}$層１４を有する逆スタガ型のＴＦＴにおいて、ゲート電極１２にしきい値よりも十分に大きい電圧をかけて、オン状態とした場合のドレイン電流の経路１０は、まず、ドレイン電極１９からｎ$^{+}$層であるドレイン領域１７、ｉ型の非晶質半導体層１５、ｎ$^{-}$層の順に膜厚方向に第１の電流経路（抵抗Ｒｄ）が形成される。
【００３１】
そして、ｉ型の非晶質半導体層よりもゲート電極に近い位置にｎ$^{-}$層が設けられているため、ゲート絶縁膜１３の界面近傍のｎ$^{-}$層１４をチャネル長方向に第２の電流経路（抵抗Ｒｃ（ＯＮ））が形成される。
【００３２】
そして、ｎ$^{-}$層からｉ型の非晶質半導体層１５、ｎ$^{+}$層であるソース領域１６、ソース電極１８の順に膜厚方向に第３の電流経路（抵抗Ｒｓ）が形成される。
【００３３】
図６（Ａ）中に示した矢印に相当するドレイン電流の経路１０の等価回路は、図６（Ｂ）に示す直列接続された複数の抵抗で示すことができる。
【００３４】
第１の電流経路と第３の電流経路は、膜厚方向の電流経路であるため、約２００ｎｍ程度の距離である。一方、第２の電流経路は少なくともチャネル長よりも長いため、例えば、約６μｍ以上となる。また、第１の電流経路（抵抗Ｒｄ）は、順方向接続であるため、第２の電流経路（抵抗Ｒｃ（ＯＮ））及び第３の電流経路（抵抗Ｒｓ）に比べて非常に小さい抵抗である。ｎ$^{-}$層をｉ型の非晶質半導体層とゲート絶縁膜の間に設けることによって、ゲート絶縁膜界面付近の電気抵抗を低下させ、主なドレイン電流の流れをゲート絶縁膜界面付近に導くことができ、結果としてＴＦＴのオン電流を増大させている。
【００３５】
また、逆スタガ型のＴＦＴの製造工程中には、ｉ型の非晶質半導体層の一部（チャネルとなる領域）上の不要なｎ$^{+}$層を選択的にエッチングし、さらにオーバーエッチングすることでｉ型の非晶質半導体層に凹部を形成する。オーバーエッチング後のｉ型の非晶質半導体層の薄い部分の膜厚が１５０ｎｍ程度以下となると、このバックチャネル側の界面準位の影響でＴＦＴのオン特性が著しく低下する恐れがある。従って、ｉ型の非晶質半導体層は１５０ｎｍよりも厚い膜厚とする。
【００３６】
また、ｎ$^{-}$層を有する逆スタガ型のＴＦＴにおいて、オフ状態とした場合、ｉ型の非晶質半導体層の被エッチング部分（ソース電極とドレイン電極の間のバックチャネル界面）を主なドレイン電流の流れとすることができる。ｉ型の非晶質半導体層が１５０ｎｍよりも厚い膜厚であるため、オフ状態においては、ｎ$^{-}$層にほとんど電流が流れない。
【００３７】
従って、ゲート絶縁膜とｉ型の非晶質半導体層との間にｎ$^{-}$層を有する逆スタガ型のＴＦＴは、オン電流を増加することができ、且つ、十分なオフ電流を有する。
【００３８】

電界効果移動度に関しては、さらに詳しく考慮する必要がある。ゲート電極に適当な正電位を印加し、ソース電極を接地電位とし、ドレイン電極に正電位を印加した場合（即ちＴＦＴがオン状態の場合）、図６（Ｂ）に示す抵抗Ｒｓは、主にソース領域とｉ型の非晶質半導体層の順方向接続の抵抗値に相当する。また、抵抗Ｒｄは、主に空乏化したｎ$^-$層の抵抗値に相当し、抵抗Ｒｃ（ＯＮ）は反転したｉ型の非晶質半導体層の抵抗値に相当する。

【００３９】

なお、反転したｉ型の非晶質半導体層とは、ゲート電極に電位を印加することで、ゲート絶縁膜との界面に伝導電子が誘起された状態のｉ型の非晶質半導体層を示す。なお、抵抗Ｒｓは、抵抗Ｒｄ及び抵抗Ｒｃ（ＯＮ）に比べ、非常に小さいと考えられる。

【００４０】

ここで、実際のデバイス構造では、抵抗Ｒｄは、代表的には、厚さ２００ｎｍ程度のｉ型の非晶質半導体層で形成される。一方、抵抗Ｒｃ（ＯＮ）は、代表的には、長さ６μｍ程度のｎ$^-$層で形成される。したがって、空乏化したｉ型の非晶質半導体層の単位長さあたりの抵抗値が、反転したｎ$^-$層の単位長さあたりの抵抗値の約３０倍より大きい（小さい）場合、ドレイン電流に対して、抵抗Ｒｄ（抵抗Ｒｃ（ＯＮ））が支配的になると考えられる。

【００４１】

さて、ゲート電圧を増加していくと、抵抗Ｒｃ（ＯＮ）は、抵抗Ｒｄより非常に大きい値から、抵抗Ｒｄと同程度の値、抵抗Ｒｄより非常に小さい値になると考えられる。抵抗Ｒｃ（ＯＮ）が、抵抗Ｒｄより非常に大きい値から、抵抗Ｒｄと同程度の値にかけては、抵抗Ｒｃ（ＯＮ）の低下に伴い、ドレイン電流は急激に増大していくと考えられる。一方、抵抗Ｒｃ（ＯＮ）が、抵抗Ｒｄより非常に小さい値になると、もはや、抵抗Ｒｃ（ＯＮ）が低下しても、ドレイン電流への依存が小さくなる。また、抵抗Ｒｄは、ドレイン電圧を増大するに伴い、抵抗値が下がると考えられる。

【００４２】

電界効果移動度は、ゲート電圧Ｖｇの増加に対するドレイン電流Ｉｄの増加率と考えられる。そこで、上記の内容をまとめると、次のようになる。すなわち、ドレイン電圧が低い（抵抗Ｒｄが高い）場合、ゲート電圧の増加に伴い、電界効果移動度は極大値をもつ。また、ドレイン電圧が高い（抵抗Ｒｄが低い）場合、ゲート電圧の増加に伴い、電界効果移動度は単調増加する。

【００４３】

以上の考察に、ドナー濃度を増大することで、Ｉｄ曲線が、Ｖｇ軸方向にマイナスシフトすることを考慮し、計算を行った結果を図７（Ａ）及び図７（Ｂ）に示す。

【００４４】

なお、計算には、Ｓｉｌｖａｃｏ社製デバイスシミュレータ”ＡＴＬＡＳ”を用い、図６（Ｃ）に示すモデルを用いて行っている。計算に用いたアモルファスシリコンのパラメータとしては、エネルギーギャップＥｇ＝１．９ｅＶ、伝導帯端におけるアクセプタの状態密度ｎｔａ＝７．４Ｅ＋２１　［／ｅＶ］、価電子帯におけるドナーの状態密度ｎｔｄ＝７．４Ｅ＋２１　［／ｅＶ］、伝導帯端におけるアクセプタの状態密度の減衰係数ｗｔａ＝０．０４、価電子帯におけるドナーの状態密度の減衰係数ｗｔｄ＝０．０４、ガウシアン分布におけるアクセプタ順位の全状態密度ｎｇａ＝３Ｅ＋１６［／ｅＶ］、ガウシアン分布におけるドナー準位の全状態密度ｎｇｄ＝５Ｅ＋１８［／ｅＶ］、ガウシアン分布におけるアクセプタ準位のピークのエネルギーｅｇａ＝０．５［ｅＶ］、ガウシアン分布におけるドナー準位のピークのエネルギーｅｇｄ＝０．９［ｅＶ］、ガウシアン分布におけるアクセプタの全状態密度の減衰係数ｗｇａ＝０．４、ガウシアン分布におけるドナーの全状態密度の減衰係数ｗｇｄ＝０．３とそれぞれ設定した。図６（Ｃ）のモデル化は、主に状態密度を定義することで実現した。具体的には、図６（Ｃ）のモデルパラメータは、上述のパラメータを適宜定義し、逆スタガ型アモルファスシリコンＴＦＴのＤＣ特性をデバイスシミュレータで計算する。求めた計算値が逆スタガ型アモルファスシリコンＴＦＴ

の実デバイスのＤＣ特性を十分再現するまで、上述のパラメータを適宜変更して計算を繰り返した。

【００４５】

図６（Ｃ）に示すモデルの説明を以下に示す。

【００４６】

絶縁表面を有する基板１１は酸化シリコン（誘電率４．１）を主成分とするガラス基板（厚さ０．５μｍ）を仮定している。なお、絶縁表面を有する基板１１の厚さは、実際の製造工程では０．５ｍｍ、０．７ｍｍなどが使われることが多い。絶縁基板の下面における電界が、ＴＦＴ特性に影響が無い程度に十分厚くなるようにしながら、計算効率を考慮して定義している。

【００４７】

絶縁表面を有する基板１１上に、アルミニウムとモリブデンとの積層構造（合計厚さ１５０ｎｍ）のゲート電極１２を積層している。モリブデンの仕事関数は４．６ｅＶとしている。なお、図６（Ｃ）におけるモデル構造では、ＴＦＴ特性は、ゲート電極の下層材料（ここではアルミニウム）の如何には依存しない。そのため、計算の簡略化のため、モリブデンのみ（厚さ１５０ｎｍ）として計算を行っている。

【００４８】

ゲート電極１２の上に、窒化シリコン（誘電率７．０、厚さ３００ｎｍ）のゲート絶縁膜１３を積層している。

【００４９】

ゲート絶縁膜１３の上に、ａ－Ｓｉ（ｎ－）で表記するｎ$^{-}$層２０（それぞれ、厚さ１０ｎｍ、２０ｎｍ、５０ｎｍの条件として条件振りを行い、ドナー濃度1×10^{15}ｃｍ$^{-3}$～5×10^{17}ｃｍ$^{-3}$でそれぞれ条件振りを行っている）を積層している。さらにその上に、第３のａ－Ｓｉ（ｉ）で表記する第３のｉ層２１ｃ（それぞれ厚さ９０ｎｍ、８０ｎｍ、５０ｎｍで条件振りを行っている）を積層している。

【００５０】

また、第３のｉ層２１ｃの上に、一方の側に第１のａ－Ｓｉ（ｉ）で表記する第１のｉ層２１ａ（厚さ５０ｎｍ）を積層し、もう一方の側に第２のａ－Ｓｉ（ｉ）で表記する第２のｉ層２１ｂ（厚さ５０ｎｍ）を積層している。

【００５１】

第１のａ－Ｓｉ（ｉ）上に第１のａ－Ｓｉ（ｎ＋）であるソース領域１６（厚さ５０ｎｍ）を積層し、第２のａ－Ｓｉ（ｉ）上に、第２のａ－Ｓｉ（ｎ＋）であるドレイン領域１７（厚さ５０ｎｍ）を積層している。

【００５２】

図６（Ｃ）において、ソース領域１６とドレイン領域１７との距離が、ＴＦＴのチャネル長Ｌになる。ここでは、チャネル長Ｌ＝６［μｍ］としている。また、ソース領域１６及びドレイン領域１７のドナー濃度は1×10^{19}ｃｍ$^{-3}$としており、高い導電性を有する。

【００５３】

ソース領域１６と第２のドレイン領域１７との上に、モリブデンとアルミニウムとの積層構造（厚さ３００ｎｍ）のソース電極１８とドレイン電極１９とを各々積層している。モリブデンとソース領域１６及びドレイン領域１７との間は、オーミック接触を仮定している。なお、図６（Ｃ）におけるデバイス構造のＴＦＴ特性は、ソース電極とドレイン電極との上層材料（ここではアルミニウム）の如何には依存しない。そのため、計算の簡略化のため、ソース電極とドレイン電極とは、モリブデンのみ（厚さ３００ｎｍ）として計算を行っている。

【００５４】

図７（Ａ）は、ドレイン電圧が低い（Ｖｄ＝１Ｖ）場合のｎ$^{-}$層のドナー濃度と最大移動度の関係を示すグラフである。最大移動度（最大電界効果移動度）は、移動度（電界効果移動度）の最大値で定義する。図７（Ａ）においては、ドナー濃度が増大するにつれ、最

大移動度が増大している。不純物を添加する半導体層の膜厚を増大することで、伝導に寄与する半導体層が増大する。したがって、移動度が増大することになる。アモルファス状態であるn^-層の抵抗が高いため、相対的に、抵抗Ｒｄが抵抗Ｒｃ（ＯＮ）より低くなるためと考えられる。

【００５５】

図７（Ｂ）は、ドレイン電圧が高い（Ｖｄ＝１４Ｖ）場合のn^-層のドナー濃度と最大移動度の関係を示すグラフである。図７（Ｂ）においては、ドナー濃度が増大するにつれ、最大移動度が向上している。これは、上述のドレイン電圧が高い場合の考察に、不純物添加によるしきい値電圧のマイナスシフトを考慮すれば、説明できる。

【００５６】

また、逆スタガ型のＴＦＴは、リンが十分に活性化する熱処理を行わないため、含まれているリン原子が全てドナーとして働くわけではなく、ドナーとして寄与するのはリン原子数の内の約１％～５％、代表的には３％である。

【００５７】

なお、デバイスシミュレータを用いた計算は、均一のドナー濃度を有する層を仮定して行っている。

【００５８】

また、n^-層として機能するのであれば、特に均一のリン濃度を含む層となっていなくともよい。むしろ、ゲート絶縁膜の界面にリンの濃度ピークが位置するような濃度勾配を有するn^-層とすることが好ましい。リンの濃度ピークが界面から離れ、n^+層に近づくに従って、オフ電流の増大を招くこととなるからである。

【００５９】

なお、本明細書において、ｉ型の非晶質半導体とは、実質的に真性な半導体であって、含まれるｐ型若しくはｎ型を付与する不純物が$1\times10^{20}cm^{-3}$以下、且つ、リン濃度がリンのＳＩＭＳ分析の下限である$6\times10^{15}cm^{-3}$未満の濃度であり、且つ、酸素及び窒素が$9\times10^{19}cm^{-3}$以下の濃度であり、暗伝導度に対して光伝導度が１００倍以上である半導体を指す。

【００６０】

また、本明細書において、n^-層とは、リンのＳＩＭＳ分析の下限である$6\times10^{15}cm^{-3}$以上のリン濃度を有し、$3\times10^{18}cm^{-3}$以下の濃度範囲、且つ、ｐ型を付与する不純物濃度が、同じ層中に含まれるリン濃度の１０分の１未満の非晶質半導体層と定義する。

【００６１】

また、本明細書において、ｎ型半導体層とは、ｎ型を付与する不純物が$1\times10^{19}/cm^3$以上の濃度を含み、導電性を示す微結晶半導体層または非晶質半導体層と定義する。

【００６２】

また、本明細書における濃度は、ＳＩＭＳ（二次イオン質量分析計）を用いた分析による濃度のピーク値を指している。ＳＩＭＳは濃度の低い側から高い側に向かって深さ方向に分析された値である。本明細書において、ゲート絶縁膜側から非晶質半導体層側に向けて深さ方向にＳＩＭＳ分析を行うことが好ましい。

【発明の効果】

【００６３】

逆スタガ型のＴＦＴにおいて、ｉ型の非晶質シリコン層とゲート絶縁膜との間に薄いn^-層を設けることにより、ＴＦＴの電界効果移動度を向上させることができる。また、効率よく微結晶半導体膜の成膜を行うことができる。

【発明を実施するための最良の形態】

【００６４】

本発明の実施形態及び実施例について、以下に説明する。

【００６５】

（実施の形態１）

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタの作製工程について、図１乃至図４を用いて説明する。図１乃至図３は、薄膜トランジスタの作製工程を示す断面図であり、図４は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図である。

【００６６】

図１（Ａ）に示すように、基板５０上に金属層の積層からなるゲート電極を形成する。

【００６７】

基板５０は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板５０がマザーガラスの場合、基板の大きさは、第１世代（例えば、３２０ｍｍ×４００ｍｍ）、第２世代（例えば、４００ｍｍ×５００ｍｍ）、第３世代（例えば、５５０ｍｍ×６５０ｍｍ）、第４世代（例えば、６８０ｍｍ×８８０ｍｍ、または７３０ｍｍ×９２０ｍｍ）、第５世代（例えば、１０００ｍｍ×１２００ｍｍまたは１１００ｍｍ×１３００ｍｍ）、第６世代（例えば、１５００ｍｍ×１８００ｍｍ）、第７世代（例えば、１９００ｍｍ×２２００ｍｍ）、第８世代（例えば、２１６０ｍｍ×２４６０ｍｍ）、第９世代（例えば、２４００ｍｍ×２８００ｍｍ）、第１０世代（例えば、２８５０ｍｍ×３０５０ｍｍ）等を用いることができる。

【００６８】

ゲート電極は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極は、スパッタリング法で基板５０上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極を形成することもできる。なお、ゲート電極と基板５０の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板５０及びゲート電極の間に設けてもよい。ここでは、第１のフォトマスクを用いて形成したレジストマスクを用いて基板５０上に形成された積層膜をエッチングしてゲート電極を形成する。

【００６９】

具体的なゲート電極構造の例としては、第１の導電層５１ａとなるアルミニウム膜上に第２の導電層５１ｂとなるモリブデン膜を積層させ、アルミニウム特有のヒロックやエレクトロマイグレーションを防ぐ構造にしてもよい。本実施の形態では、大面積の基板を用いて表示画面が大きい表示装置を作製する例であるので、電気抵抗の低いアルミニウムからなる第１の導電層５１ａと、第１の導電層５１ａよりも耐熱性の高い第２の導電層５１ｂとを積層させたゲート電極とする。また、アルミニウム膜をモリブデン膜で挟んだ３層構造としてもよい。また、他のゲート電極構造の例として、銅膜上にモリブデン膜の積層、銅膜上に窒化チタン膜の積層、銅膜上に窒化タンタル膜の積層が挙げられる。

【００７０】

なお、ゲート電極上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

【００７１】

次に、ゲート電極の上層である第２の導電層５１ｂ上に、ゲート絶縁膜５２を形成する。

【００７２】

ゲート絶縁膜５２はＣＶＤ法やスパッタリング法等を用いて、窒化シリコン膜、または窒化酸化シリコン膜で形成することができる。ゲート絶縁膜に形成されるピンホール等による層間ショートを防ぐため、異なる絶縁層を用いて多層とすることが好ましい。ここでは

、ゲート絶縁膜５２として、窒化シリコン膜を形成する形態を示す。ここまでの工程を終えた断面図が図１（Ａ）に相当する。

【００７３】

ここでは、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が１５～３０原子％、窒素が２０～３５原子％、Ｓｉが２５～３５原子％、水素が１５～２５原子％の範囲で含まれるものをいう。

【００７４】

次いで、ゲート絶縁膜の成膜後、大気に触れさせることなく基板を搬送し、ゲート絶縁膜を成膜する真空チャンバーとは異なる真空チャンバーで非晶質半導体膜を成膜する。

【００７５】

基板を反応室に搬入する前に、水素または希ガスを導入してプラズマを発生させて反応室の内壁に付着した気体（酸素及び窒素などの大気成分、若しくは反応室のクリーニングに使用したエッチングガス）を除去した後、水素とシランガスと微量のホスフィン（PH_3）ガスを導入する。シランガスは、反応室内の酸素、水分等と反応させることができる。微量のホスフィンガスは、後に成膜される非晶質シリコン膜中にリンを含ませることができる。

【００７６】

次いで、基板を反応室に搬入して、図１（Ｂ）に示すように、シランガス及び微量のホスフィンガスに曝した後、非晶質シリコン膜を成膜する。非晶質シリコン膜は、代表的には、SiH_4、Si_2H_6などの水素化珪素を水素で希釈してプラズマ生成することで成膜することができる。水素化珪素の流量の１倍以上１０倍以下、更に好ましくは１倍以上５倍以下の流量の水素を用いて、水素を含む非晶質シリコンを形成することができる。

【００７７】

また、上記手順により、ゲート絶縁膜界面近傍の非晶質シリコン膜にリンを含有させてｎ型化させることができる。従って、図１（Ｃ）に示すように、ｎ型化された非晶質シリコン膜５３と、ｉ型の非晶質シリコン膜５４との積層が形成される。図１（Ｃ）には、ｎ型化された非晶質シリコン膜５３と、ｉ型の非晶質シリコン膜５４との界面を分かりやすくするため図示したが、実際にはリンの濃度がゲート絶縁膜界面から離れる距離の増大に従って減少する。

【００７８】

また、上記手順により酸素だけでなく、窒素、及び炭素が非晶質シリコン膜とゲート絶縁膜との界面近傍に混入する濃度を低減することができる。

【００７９】

次いで、ｉ型の非晶質シリコン膜５４の成膜後、大気に触れさせることなく基板を搬送し、ｉ型の非晶質シリコン膜を成膜する真空チャンバーとは異なる真空チャンバーで一導電型を付与する不純物が添加された半導体膜５５を成膜することが好ましい。

【００８０】

一導電型を付与する不純物が添加された半導体膜５５は、代表的な不純物元素としてリンを添加すれば良く、水素化珪素にホスフィンガスなどの不純物気体を加えれば良い。一導電型を付与する不純物が添加された半導体膜５５は２ｎｍ以上５０ｎｍ以下の厚さで形成する。一導電型を付与する不純物が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

【００８１】

次いで、図２（Ａ）に示すように、一導電型を付与する不純物が添加された半導体膜５５上にレジストマスク５６を形成する。レジストマスク５６は、フォトリソグラフィ技術またはインクジェット法により形成する。ここでは、第２のフォトマスクを用いて、一導電型を付与する不純物が添加された半導体膜５５上に塗布されたレジストを露光現像して、レジストマスク５６を形成する。

【００８２】

次いで、レジストマスク５６を用いてｎ型化された非晶質シリコン膜５３、ｉ型の非晶質

シリコン膜５４、及び導電型を付与する不純物が添加された半導体膜５５をエッチングして、図２（Ｂ）に示すように、ｎ型化された非晶質シリコン膜６１、ｉ型の非晶質シリコン膜６２、及び一導電型を付与する不純物が添加された半導体膜６３を形成する。この後、レジストマスク５６を除去する。

【００８３】

ｎ型化された非晶質シリコン膜６１、ｉ型の非晶質シリコン膜６２の端部側面が傾斜していることにより、ｉ型の非晶質シリコン膜６２上に形成されるソース領域及びドレイン領域とｎ型化された非晶質シリコン膜６１との間にリーク電流が生じることを防止することが可能である。また、ソース電極及びドレイン電極と、ｎ型化された非晶質シリコン膜６１との間にリーク電流が生じるのを防止することが可能である。ｎ型化された非晶質シリコン膜６１及びｉ型の非晶質シリコン膜６２の端部側面の傾斜角度は、３０°～９０°、好ましくは４５°～８０°である。このような角度とすることで、段差形状によるソース電極またはドレイン電極の段切れを防ぐことができる。

【００８４】

次に、図２（Ｃ）に示すように、一導電型を付与する不純物が添加された半導体膜６３及びゲート絶縁膜５２を覆うように導電膜として導電膜６５ａ～６５ｃを形成する。導電膜６５ａ～６５ｃは、アルミニウム、銅、若しくはシリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜６５ａ～６５ｃの３層が積層した構造の導電膜を示し、導電膜６５ａ、６５ｃにモリブデン膜、導電膜６５ｂにアルミニウム膜を用いた積層導電膜を示す。導電膜６５ａ～６５ｃは、スパッタリング法や真空蒸着法で形成する。

【００８５】

次に、図２（Ｄ）に示すように、導電膜６５ａ～６５ｃ上に第３のフォトマスクを用いてレジストマスク６６を形成し、導電膜６５ａ～６５ｃの一部をエッチングしてソース電極及びドレイン電極７１ａ～７１ｃを形成する。導電膜６５ａ～６５ｃをウエットエッチングすると、導電膜６５ａ～６５ｃの端部が選択的にエッチングされる。この結果、導電膜を等方的にエッチングするため、レジストマスク６６より面積の小さいソース電極及びドレイン電極７１ａ～７１ｃを形成することができる。

【００８６】

次に、図３（Ａ）に示すように、レジストマスク６６を用いて一導電型を付与する不純物が添加された半導体膜６３をエッチングして、一対のソース領域及びドレイン領域７２を形成する。さらに、当該エッチング工程において、ｉ型の非晶質シリコン膜６２の一部もエッチングする。一部エッチングされた、窪み（溝）が形成されたｉ型の非晶質シリコン膜をｉ型の非晶質シリコン膜７３と示す。ソース領域及びドレイン領域と、ｉ型の非晶質シリコン膜の窪み（溝）とを同一工程で形成することができる。ｉ型の非晶質シリコン膜の窪み（溝）の深さをｉ型の非晶質シリコン膜の一番膜厚の厚い領域の１／２～１／３とすることで、ソース領域及びドレイン領域の距離を離すことが可能であるため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。この後、レジストマスク６６を除去する。

【００８７】

特にドライエッチングなどで用いるプラズマに曝されるとレジストマスクは変質し、レジスト除去工程で完全には除去されず、残渣が残ることを防ぐためにｉ型の非晶質シリコン膜を５０ｎｍ程度エッチングする。レジストマスク６６は、導電膜６５ａ～６５ｃの一部のエッチング処理と、ソース領域及びドレイン領域７２の形成時のエッチング処理の２回

に用いられており、どちらもドライエッチングを用いる場合には、残渣が残りやすいため、残渣を完全に除去する際にエッチングされてもよいｉ型の非晶質シリコン膜の膜厚を厚く形成することは有効である。

【００８８】

次に、図３（Ｂ）に示すように、ソース電極及びドレイン電極７１ａ～７１ｃ、ソース領域及びドレイン領域７２、ｉ型の非晶質シリコン膜７３、ｎ型化された非晶質シリコン膜６１、及びゲート絶縁膜５２を覆う絶縁膜７６を形成する。絶縁膜７６は、ゲート絶縁膜５２と同じ成膜方法を用いて形成することができる。なお、絶縁膜７６は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜７６に窒化シリコン膜を用いることで、ｉ型の非晶質シリコン膜７３中の酸素濃度を5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下とすることができる。

【００８９】

図３（Ｂ）に示すように、ソース電極及びドレイン電極７１ａ～７１ｃの端部と、ソース領域及びドレイン領域７２の端部は一致せず、端部の位置がずれた形状となることで、ソース電極及びドレイン電極７１ａ～７１ｃの端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極７１ａ～７１ｃの端部と、ソース領域及びドレイン領域７２の端部は一致せずずれた形状であるため、ソース電極及びドレイン電極７１ａ～７１ｃ及びソース領域及びドレイン領域７２の端部に電界が集中せず、ゲート電極と、ソース電極及びドレイン電極７１ａ～７１ｃとの間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

【００９０】

以上の工程により、薄膜トランジスタ７４を形成することができる。

【００９１】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、ｎ型化された非晶質シリコン膜、ｉ型の非晶質シリコン膜、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層される。また、ｉ型の非晶質シリコン膜の一部には窪み（溝）が形成されており、当該窪み以外の領域がソース領域及びドレイン領域で覆われる。即ち、ｉ型の非晶質シリコン膜に形成される窪みにより、ソース領域及びドレイン領域の距離が離れているため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、ｉ型の非晶質シリコン膜の一部をエッチングすることにより窪みを形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流（寄生チャネル）が発生することを回避することができる。

【００９２】

次に、絶縁膜７６上に平坦化膜８２を形成する。平坦化膜８２は有機樹脂膜で形成する。次いで、第４のフォトマスクを用いて形成したレジストマスクを用いて絶縁膜７６の一部及び平坦化膜８２をエッチングしてコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極７１ｃに接する画素電極７７を形成する。なお、図３（Ｃ）は、図４の鎖線Ａ－Ｂの断面図に相当する。

【００９３】

図４に示すように、ソース領域及びドレイン領域７２の端部は、ソース電極及びドレイン電極７１ｃの端部の外側に位置することが分かる。また、ｉ型の非晶質シリコン膜７３の端部はソース電極及びドレイン電極７１ｃ及びソース領域及びドレイン領域７２の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース電極及びドレイン電極の他方を囲む形状（具体的には、Ｕ字型、Ｃ字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

【００９４】
また、画素電極７７は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。
【００９５】
また、画素電極７７として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が１００００Ω／□以下、波長５５０ｎｍにおける透光率が７０％以上であることが好ましい。シート抵抗は、より低いことが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が０．１Ω・ｃｍ以下であることが好ましい。
【００９６】
導電性高分子としては、いわゆるπ電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの２種以上の共重合体などがあげられる。
【００９７】
ここでは、画素電極７７としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第５のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極７７を形成する。
【００９８】
以上により表示装置に用いることが可能な素子基板を形成することができる。
【００９９】
（実施の形態２）
実施の形態１は、シランガス及び微量のホスフィンガスに曝した後、非晶質シリコン膜を成膜することによってｎ型化された非晶質シリコン膜と、ｉ型の非晶質シリコン膜との積層を形成する例を示したが、特に限定されず、ゲート絶縁膜を積層構造として下層にリンを含ませることによって、その上方にｉ型の非晶質シリコン膜を成膜し、ゲート絶縁膜の界面付近にｎ型化された非晶質シリコン膜が形成される方法を用いてもよい。その例を図５を用いて説明する。
【０１００】
本明細書で開示する他の作製方法に関する構成は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極上にリンを含む絶縁層を形成し、リンを含む絶縁層上にｎ型非晶質半導体層と、ｎ型非晶質半導体層上にｎ型非晶質半導体層よりも膜厚の厚い非晶質半導体層を形成し、非晶質半導体層上にｎ型非晶質半導体層に含まれるリンの濃度よりも高濃度のリンを含むｎ型半導体層を形成し、ｎ型半導体層上にソース電極またはドレイン電極を形成する半導体装置の作製方法である。
【０１０１】
実施の形態１と同様にゲート電極を形成する。その後、第１のゲート絶縁膜６７を形成し、第２のゲート絶縁膜６８を形成する。第１のゲート絶縁膜６７としてはリンを含む窒化シリコン膜またはリンを含む酸化窒化シリコン膜を用いる。酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が５５～６５原子％、窒素が１～２０原子％、Ｓｉが２５～３５原子％、水素が０．１～１０原子％の範囲で含まれるものをいう。
【０１０２】
ここでは、第１のゲート絶縁膜６７としてシランガス３０ｓｃｃｍ、N_2Oガス１２００ｓｃｃｍ、ホスフィンガスを水素で０．５％に希釈したガスを６０ｓｃｃｍとして成膜を行い、膜厚を１０ｎｍとする。また、第２のゲート絶縁膜６８の膜厚は１００ｎｍとする。なお、明瞭に示すため、第２のゲート絶縁膜６８の膜厚を厚く図示しており、図面での膜厚比は異ならせている。

【０１０３】
次いで、大気に触れることなく非晶質シリコン膜を成膜すると、非晶質シリコン膜にもリンを含ませることができる。こうして、ｎ型化された非晶質シリコン膜と、ｉ型の非晶質シリコン膜との積層を形成することができる。以降の工程は、実施の形態１と同様に行えばよい。
【０１０４】
また、実施の形態１と同様に、継続してホスフィンを供給しているわけではないため、ゲート絶縁膜近傍にリンの濃度ピークが位置する深さ方向の濃度プロファイルを示す。
【０１０５】
（実施の形態３）
実施の形態１は、シランガス及び微量のホスフィンガスに曝した後、非晶質シリコン膜を成膜することによってｎ型化された非晶質シリコン膜と、ｉ型の非晶質シリコン膜との積層を形成する例を示したが、特に限定されず、ゲート絶縁膜を形成する前にチャンバー内壁にリンを含む非晶質シリコン膜を成膜しておくことで、ｎ型化された非晶質シリコン膜と、ｉ型の非晶質シリコン膜との積層を形成してもよい。
【０１０６】
本明細書で開示する他の作製方法に関する構成は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極を形成した基板をチャンバー内壁にリンを含む半導体膜が形成されたチャンバー内で絶縁層とｎ型非晶質半導体層と、ｎ型非晶質半導体層上にｎ型非晶質半導体層よりも膜厚の厚い非晶質半導体層を形成し、非晶質半導体層上にｎ型非晶質半導体層に含まれるリンの濃度よりも高濃度のリンを含むｎ型半導体層を形成した後、チャンバーから搬出し、ｎ型半導体層上にソース電極またはドレイン電極を形成する半導体装置の作製方法である。
【０１０７】
実施の形態１と同様にゲート電極を形成する。その後、チャンバー内壁に５０ｎｍ程度のリンを含む非晶質シリコン膜を成膜する。次いで、実施の形態１と同様にゲート絶縁膜を形成する。次いで、大気に触れることなく非晶質シリコン膜を成膜すると、非晶質シリコン膜にもリンを含ませることができる。こうして、ｎ型化された非晶質シリコン膜と、ｉ型の非晶質シリコン膜との積層を形成することができる。
【０１０８】
さらに、同一チャンバーを用いてｉ型の非晶質シリコン膜上に高濃度のリンを含む第２のｎ型非晶質半導体層を形成した後、チャンバーから搬出する。第２のｎ型非晶質半導体層を形成した際には再びチャンバー内壁にリンを含む非晶質シリコン膜が成膜されるため、引き続き次の基板を処理することもできる。以降の工程は、実施の形態１と同様に行えばよい。
【０１０９】
また、実施の形態１と同様に、継続してホスフィンを供給しているわけではないため、ゲート絶縁膜近傍にリンの濃度ピークが位置する深さ方向の濃度プロファイルを示す。
【０１１０】
このように、様々な方法で、ｎ型化された非晶質シリコン膜と、ｉ型の非晶質シリコン膜との積層を形成することができる。
【０１１１】
（実施の形態４）
実施の形態１とは異なる薄膜トランジスタの作製方法について、図８乃至図１２を用いて説明する。ここでは、上記実施の形態１よりフォトマスク数を削減することが可能なプロセスを用いて薄膜トランジスタを作製する工程について示す。
【０１１２】
実施の形態１に示した図１（Ａ）と同様に、基板５０上に導電膜の積層を形成し、導電膜の積層上にレジストを塗布し、第１のフォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて導電膜の一部をエッチングして、ゲート電極を形成す

る。次に、ゲート電極上に、ゲート絶縁膜５２を形成する。
【０１１３】
次に、実施の形態１に示した図１（Ｂ）と同様に、ゲート絶縁膜５２を微量のホスフィンガスを含む雰囲気下に曝す。
【０１１４】
次に、実施の形態１に示した図１（Ｃ）と同様に、ゲート絶縁膜５２上に、非晶質シリコン膜を成膜し、ｎ型化された非晶質シリコン膜５３と、ｉ型の非晶質シリコン膜５４との積層を形成する。
【０１１５】
次に、一導電型を付与する不純物が添加された半導体膜５５と、導電膜６５ａ～６５ｃを順に形成する。次に、図９（Ａ）に示すように、導電膜６５ａ上にレジスト８０を塗布する。
【０１１６】
レジスト８０は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。
【０１１７】
次に、第２のフォトマスクとして多階調マスク５９を用いて、レジスト８０に光を照射して、レジスト８０を露光する。
【０１１８】
ここで、多階調マスク５９を用いた露光について、図８を用いて説明する。
【０１１９】
多階調マスクとは、露光部分、中間露光部分、及び未露光部分に３つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。
【０１２０】
多階調マスクの代表例としては、図８（Ａ）に示すようなグレートーンマスク５９ａ、図８（Ｃ）に示すようなハーフトーンマスク５９ｂがある。
【０１２１】
図８（Ａ）に示すように、グレートーンマスク５９ａは、透光性を有する基板１６３及びその上に形成される遮光部１６４並びに回折格子１６５で構成される。遮光部１６４においては、光の透過率が０％である。一方、回折格子１６５はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子１６５は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。
【０１２２】
透光性を有する基板１６３は、石英等の透光性を有する基板を用いることができる。遮光部１６４及び回折格子１６５は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。
【０１２３】
グレートーンマスク５９ａに露光光を照射した場合、図８（Ｂ）に示すように、遮光部１６４においては、光透過率１６６は０％であり、遮光部１６４及び回折格子１６５が設けられていない領域では光透過率１６６は１００％である。また、回折格子１６５においては、１０～７０％の範囲で調整可能である。回折格子１６５における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。
【０１２４】
図８（Ｃ）に示すように、ハーフトーンマスク５９ｂは、透光性を有する基板１６３及びその上に形成される半透過部１６７並びに遮光部１６８で構成される。半透過部１６７は、ＭｏＳｉＮ、ＭｏＳｉ、ＭｏＳｉＯ、ＭｏＳｉＯＮ、ＣｒＳｉなどを用いることができ

る。遮光部１６８は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【０１２５】

ハーフトーンマスク５９ｂに露光光を照射した場合、図８（Ｄ）に示すように、遮光部１６８においては、光の透過率１６９は０％であり、遮光部１６８及び半透過部１６７が設けられていない領域では光の透過率１６９は１００％である。また、半透過部１６７においては、１０～７０％の範囲で調整可能である。半透過部１６７に於ける光の透過率は、半透過部１６７の材料により調整可能である。

【０１２６】

多階調マスクを用いて露光した後、現像することで、図９（Ｂ）に示すように、膜厚の異なる領域を有するレジストマスク８１を形成することができる。

【０１２７】

次に、レジストマスク８１により、ｎ型化された非晶質シリコン膜５３、ｉ型の非晶質シリコン膜５４、一導電型を付与する不純物が添加された半導体膜５５、及び導電膜６５ａ～６５ｃをエッチングし分離する。この結果、図１０（Ａ）に示すような、ｎ型化された非晶質シリコン膜６１、ｉ型の非晶質シリコン膜６２、一導電型を付与する不純物が添加された半導体膜６３、及び導電膜８５ａ～８５ｃを形成することができる。なお、図１０（Ａ）は図１２（Ａ）のＡ－Ｂにおける断面図に相当する（但しレジストマスク８６を除く）。

【０１２８】

次に、レジストマスク８１をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト（ゲート電極５１の一部と重畳する領域）は除去され、図１０（Ａ）に示すように、分離されたレジストマスク８６を形成することができる。

【０１２９】

次に、レジストマスク８６を用いて、導電膜８５ａ～８５ｃをエッチングし分離する。この結果、図１０（Ｂ）に示すような、一対のソース電極及びドレイン電極９２ａ～９２ｃを形成することができる。レジストマスク８６を用いて導電膜８９ａ～８９ｃをウエットエッチングすると、導電膜８５ａ～８５ｃの端部が選択的にエッチングされる。この結果、導電膜を等方的にエッチングするため、レジストマスク８６より面積の小さいソース電極及びドレイン電極９２ａ～９２ｃを形成することができる。

【０１３０】

次に、レジストマスク８６を用いて、一導電型を付与する不純物が添加された半導体膜６３をエッチングして、一対のソース領域及びドレイン領域８８を形成する。なお、当該エッチング工程において、ｉ型の非晶質シリコン膜６２の一部もエッチングする。一部エッチングされたｉ型の非晶質シリコン膜をｉ型の非晶質シリコン膜８７と示す。なお、ｉ型の非晶質シリコン膜８７には凹部が形成される。ソース領域及びドレイン領域と、ｉ型の非晶質シリコン膜の窪み（溝）とを同一工程で形成することができる。ここでは、ｉ型の非晶質シリコン膜８７の一部が、レジストマスク８１と比較して面積が縮小したレジストマスク８６で一部エッチングされたため、ソース領域及びドレイン領域８８の外側にｉ型の非晶質シリコン膜８７が突出した形状となる。この後、レジストマスク８６を除去する。また、ソース電極及びドレイン電極９２ａ～９２ｃの端部と、ソース領域及びドレイン領域８８の端部は一致せずずれており、ソース電極及びドレイン電極９２ａ～９２ｃの端部の外側に、ソース領域及びドレイン領域８８の端部が形成される。

【０１３１】

なお、図１０（Ｃ）は、図１２（Ｂ）のＡ－Ｂの断面図に相当する。図１２（Ｂ）に示すように、ソース領域及びドレイン領域８８の端部は、ソース電極及びドレイン電極９２ｃの端部の外側に位置することが分かる。また、ｉ型の非晶質シリコン膜８７の端部はソース電極及びドレイン電極９２ｃ及びソース領域及びドレイン領域８８の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース領域及びドレイン領域の他方を

囲む形状（具体的には、Ｕ字型、Ｃ字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極上において、ｉ型の非晶質シリコン膜、ソース電極及びドレイン電極が重畳されているため、ゲート電極の凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

【０１３２】

図１０（Ｃ）に示すように、ソース電極及びドレイン電極９２ａ～９２ｃの端部と、ソース領域及びドレイン領域８８の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極９２ａ～９２ｃの端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース電極及びドレイン電極９２ａ～９２ｃの端部と、ソース領域及びドレイン領域８８の端部は一致せずずれた形状であるため、ソース電極及びドレイン電極９２ａ～９２ｃ及びソース領域及びドレイン領域８８の端部に電界が集中せず、ゲート電極５１と、ソース電極及びドレイン電極９２ａ～９２ｃとの間でのリーク電流を防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

【０１３３】

以上の工程により、チャネルエッチ型の薄膜トランジスタ８３を形成することができる。また、２枚のフォトマスクを用いて薄膜トランジスタを形成することができる。

【０１３４】

次に、図１１（Ａ）に示すように、ソース電極及びドレイン電極９２ａ～９２ｃ、ソース領域及びドレイン領域８８、ｉ型の非晶質シリコン膜８７、ｎ型化された非晶質シリコン膜９０、及びゲート絶縁膜５２上に絶縁膜７６を形成する。絶縁膜７６は、ゲート絶縁膜５２と同じ作製方法で形成することができる。

【０１３５】

次に、第３のフォトマスクを用いて形成したレジストマスクを用いて絶縁膜７６の一部をエッチングしてコンタクトホールを形成する。次に、当該コンタクトホールにおいてソース電極またはドレイン電極９２ｃに接する画素電極７７を形成する。ここでは、画素電極７７としては、スパッタリング法によりインジウム錫酸化物膜を成膜した後、インジウム錫酸化物膜上にレジストを塗布する。次に、第４のフォトマスクを用いてレジストを露光及び現像し、レジストマスクを形成する。次に、レジストマスクを用いてインジウム錫酸化物膜をエッチングして画素電極７７を形成する。なお、図１１（Ｂ）は、図１２（Ｃ）のＡ－Ｂの断面図に相当する。

【０１３６】

以上により、多階調マスクを用いてマスク数を減らし、表示装置に用いることが可能な素子基板を形成することができる。

【０１３７】

（実施の形態５）

実施の形態１とは一部工程が異なる薄膜トランジスタの作製方法について、図１３を用いて説明する。ここでは、多階調マスクを用いて保持容量を形成する工程と薄膜トランジスタと画素電極のコンタクトを形成する工程について示す。なお、図１３において、実施の形態１と同一の箇所は、実施の形態１と同じ符号を用いる。

【０１３８】

実施の形態１に従って、絶縁膜７６を形成する工程まで終えた後、多階調マスクを用いて深さの異なる開口を有する第１の層間絶縁膜８４ａを形成する。この段階の断面図が図１３（Ａ）に相当する。

【０１３９】

図１３（Ａ）に示すように、ソース電極またはドレイン電極７１ｃの上方に絶縁膜７６の表面を露呈する第１の開口と、第１の導電層７８ａと第２の導電層７８ｂとの積層からなる容量配線上に第１の開口よりも浅い深さの第２の開口が設けられる。なお、容量配線の

第１の導電層７８ａと第２の導電層７８ｂは、それぞれゲート電極の第１の導電層５１ａと第２の導電層５１ｂと同じ工程で形成される。

【０１４０】

次いで、第１の層間絶縁膜８４ａをマスクとして絶縁膜７６の一部を選択的にエッチングしてソース電極またはドレイン電極７１ｃの一部を露呈させる。

【０１４１】

次いで、第２の開口が拡大して絶縁膜７６の表面を露呈するまで第１の層間絶縁膜８４ａをアッシングする。同時に第１の開口も拡大するが、絶縁膜７６に形成した開口のサイズは変わらないため、段差が形成される。

【０１４２】

次いで、画素電極７７を形成する。この段階の断面図が図１３（Ｃ）に相当する。アッシングにより第１の層間絶縁膜は第２の層間絶縁膜８４ｂに縮小される。また、保持容量７５は、誘電体として絶縁膜７６とゲート絶縁膜５２を用い、一対の電極として容量配線と画素電極７７とを用いる。

【０１４３】

こうして、多階調マスクを用いて少ない工程数で保持容量を形成することができる。

【０１４４】

本実施の形態は、実施の形態１と自由に組み合わせることができる。

【０１４５】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例１】

【０１４６】

本実施例では、表示装置の一形態として、実施の形態１で示す薄膜トランジスタを有する液晶表示装置について、以下に示す。

【０１４７】

はじめにＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）型の液晶表示装置について示す。ＶＡ型の液晶表示装置とは、液晶パネルの液晶分子の配列を制御する方式の一種である。ＶＡ方式は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施例では、特に画素（ピクセル）をいくつかの領域（サブピクセル）に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

【０１４８】

図１４と図１５は、ＶＡ型液晶パネルの画素構造を示している。図１５は基板６００の平面図であり、図１５に示す切断線Ｙ－Ｚに対応する断面構造を図１４に表している。以下の説明ではこの両図を参照して説明する。

【０１４９】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にＴＦＴが接続されている。各ＴＦＴは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【０１５０】

第１の画素電極６２４はコンタクトホール６２３において、配線６１８でＴＦＴ６２８と接続している。また、第２の画素電極６２６はコンタクトホール６２７において、配線６１９でＴＦＴ６２９と接続している。ＴＦＴ６２８のゲート配線６０２と、ＴＦＴ６２９のゲート配線６０３には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線６１６は、ＴＦＴ６２８とＴＦＴ６２９で共通に用いられている。ＴＦＴ６２８とＴＦＴ６２９は実施の形態１で示す薄膜トランジスタを適宜用いることができる。

【０１５１】
ＴＦＴ６２８は、逆スタガ型のＴＦＴであり、ゲート配線６０８上方に、ゲート絶縁膜６０６とｉ型の非晶質半導体層の間にはｎ－層６１０が形成されている。また、ＴＦＴ６２９においてもゲート絶縁膜６０６とｉ型の非晶質半導体層の間にはｎ－層６０９が形成されている。配線６１６とｉ型の非晶質半導体層の間にはｎ＋層６１１が設けられている。
【０１５２】
第１の画素電極６２４と第２の画素電極６２６の形状は異なっており、スリット６２５によって分離されている。Ｖ字型に広がる第１の画素電極６２４の外側を囲むように第２の画素電極６２６が形成されている。第１の画素電極６２４と第２の画素電極６２６に印加する電圧のタイミングを、ＴＦＴ６２８及びＴＦＴ６２９により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図１７に示す。ＴＦＴ６２８はゲート配線６０２と接続し、ＴＦＴ６２９はゲート配線６０３と接続している。ゲート配線６０２とゲート配線６０３は異なるゲート信号を与えることで、ＴＦＴ６２８とＴＦＴ６２９の動作タイミングを異ならせることができる。
【０１５３】
対向基板６０１には、遮光膜６３２、着色膜６３６、対向電極６４０が形成されている。また、着色膜６３６と対向電極６４０の間には平坦化膜６３７が形成され、液晶の配向乱れを防いでいる。図１６に対向基板側の構造を示す。対向電極６４０は異なる画素間で共通化されている電極であるが、スリット６４１が形成されている。このスリット６４１と、第１の画素電極６２４及び第２の画素電極６２６側のスリット６２５とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。
【０１５４】
第１の画素電極６２４と液晶層６５０と対向電極６４０が重なり合うことで、第１の液晶素子が形成されている。また、第２の画素電極６２６と液晶層６５０と対向電極６４０が重なり合うことで、第２の液晶素子が形成されている。また、一画素に第１の液晶素子と第２の液晶素子が設けられたマルチドメイン構造である。
【０１５５】
また、ＶＡ型の液晶表示装置に限定されず、横電界方式の液晶表示装置や、ＴＮ型の液晶表示装置のスイッチング素子として、実施の形態１に示した薄膜トランジスタを用いることができる。なお、横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約１８０度にまで広げることができる。
【０１５６】
本実施例は、実施の形態１乃至４のいずれか一と自由に組み合わせることができる。
【実施例２】
【０１５７】
本実施の形態では、表示装置の一形態である発光装置について、図１８、及び図１９を用いて説明する。発光装置としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機ＥＬ素子、後者は無機ＥＬ素子と呼ばれている。
【０１５８】
有機ＥＬ素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。
【０１５９】

無機ＥＬ素子は、その素子構成により、分散型無機ＥＬ素子と薄膜型無機ＥＬ素子とに分類される。分散型無機ＥＬ素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光である。薄膜型無機ＥＬ素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機ＥＬ素子を用いて説明する。また、発光素子の駆動を制御する薄膜トランジスタとして、チャネルエッチ型の薄膜トランジスタを用いて示す。

【０１６０】

図９乃至図１１の工程を経て、図１８に示すように基板５０上の画素部１２２に薄膜トランジスタ８３と駆動回路１２１に薄膜トランジスタ７９を形成し、薄膜トランジスタ８３、７９上に保護膜として機能する絶縁膜７６を形成する。次に、絶縁膜７６上に平坦化膜１１１を形成し、平坦化膜１１１上に薄膜トランジスタ８３のソース電極またはドレイン電極に接続する画素電極１１２を形成する。

【０１６１】

平坦化膜１１１は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【０１６２】

図１８（Ａ）では画素の薄膜トランジスタがｎ型であるので、画素電極１１２として、陰極を用いるのが望ましいが、逆にｐ型の場合は陽極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい公知の材料、例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニウム合金等を用いることができる。

【０１６３】

次に図１８（Ｂ）に示すように、平坦化膜１１１及び画素電極１１２の端部上に、隔壁１１３を形成する。隔壁１１３は開口部を有しており、該開口部において画素電極１１２が露出している。隔壁１１３は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、画素電極上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【０１６４】

次に、隔壁１１３の開口部において画素電極１１２と接するように、発光層１１４を形成する。発光層１１４は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【０１６５】

そして発光層１１４を覆うように、陽極を用いた共通電極１１５を形成する。共通電極１１５は、実施の形態１に画素電極７７として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。共通電極１１５として上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。図１８（Ｂ）では、共通電極１１５としインジウム錫酸化物を用いている。隔壁１１３の開口部において、画素電極１１２と発光層１１４と共通電極１１５が重なり合うことで、発光素子１１７が形成されている。この後、発光素子１１７に酸素、水素、水分、二酸化炭素等が侵入しないように、共通電極１１５及び隔壁１１３上に保護膜１１６を形成することが好ましい。保護膜１１６としては、窒化珪素膜、窒化酸化珪素膜、ＤＬＣ膜等を形成することができる。

【０１６６】

さらに、実際には、図１８（Ｂ）まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【０１６７】

次に、発光素子の構成について、図１９を用いて説明する。ここでは、駆動用ＴＦＴがｎ型の場合を例に挙げて、画素の断面構造について説明する。

【０１６８】
発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。
【０１６９】
上面射出構造の発光素子について図１９（Ａ）を用いて説明する。
【０１７０】
図１９（Ａ）に、駆動用ＴＦＴ７００１がｎ型で、発光素子７００２から発せられる光が陽極７００５側に抜ける場合の、画素の断面図を示す。図１９（Ａ）では、発光素子７００２の陰極７００３と駆動用ＴＦＴ７００１が電気的に接続されており、陰極７００３上に発光層７００４、陽極７００５が順に積層されている。陰極７００３は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、カルシウム、アルミニウム、フッ化カルシウム、マグネシウム銀合金、リチウムアルミニウム合金等が望ましい。そして発光層７００４は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極７００３上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極７００５は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。
【０１７１】
陰極７００３及び陽極７００５で発光層７００４を挟んでいる領域が発光素子７００２に相当する。図１９（Ａ）に示した画素の場合、発光素子７００２から発せられる光は、白抜きの矢印で示すように陽極７００５側に射出する。
【０１７２】
次に、下面射出構造の発光素子について図１９（Ｂ）を用いて説明する。駆動用ＴＦＴ７０１１がｎ型で、発光素子７０１２から発せられる光が陰極７０１３側に射出する場合の、画素の断面図を示す。図１９（Ｂ）では、駆動用ＴＦＴ７０１１と電気的に接続された透光性を有する導電性材料７０１７上に、発光素子７０１２の陰極７０１３が成膜されており、陰極７０１３上に発光層７０１４、陽極７０１５が順に積層されている。なお、陽極７０１５が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜が成膜されていてもよい。陰極７０１３は、図１９（Ａ）の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、５ｎｍ～３０ｎｍ程度）とする。例えば２０ｎｍの膜厚を有するアルミニウム膜を、陰極７０１３として用いることができる。そして発光層７０１４は、図１９（Ａ）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極７０１５は光を透過する必要はないが、図１９（Ａ）と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。
【０１７３】
陰極７０１３及び陽極７０１５で、発光層７０１４を挟んでいる領域が発光素子７０１２に相当する。図１９（Ｂ）に示した画素の場合、発光素子７０１２から発せられる光は、白抜きの矢印で示すように陰極７０１３側に射出する。
【０１７４】
次に、両面射出構造の発光素子について、図１９（Ｃ）を用いて説明する。図１９（Ｃ）では、駆動用ＴＦＴ７０２１と電気的に接続された透光性を有する導電性材料７０２７

上に、発光素子７０２２の陰極７０２３が成膜されており、陰極７０２３上に発光層７０２４、陽極７０２５が順に積層されている。陰極７０２３は、図１９（Ａ）の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば２０ｎｍの膜厚を有するアルミニウム膜を、陰極７０２３として用いることができる。そして発光層７０２４は、図１９（Ａ）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極７０２５は、図１９（Ａ）と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【０１７５】

陰極７０２３と、発光層７０２４と、陽極７０２５とが重なっている部分が発光素子７０２２に相当する。図１９（Ｃ）に示した画素の場合、発光素子７０２２から発せられる光は、白抜きの矢印で示すように陽極７０２５側と陰極７０２３側の両方に射出する。

【０１７６】

なお、ここでは、発光素子として有機ＥＬ素子について述べたが、発光素子として無機ＥＬ素子を設けることも可能である。

【０１７７】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用ＴＦＴ）と発光素子が電気的に接続されている例を示したが、駆動用ＴＦＴと発光素子との間に電流制御用ＴＦＴが接続されている構成であってもよい。

【０１７８】

なお本実施の形態で示す発光装置は、図１９に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【０１７９】

以上の工程により、発光装置を作製することができる。

【０１８０】

本実施例は、実施の形態１乃至４のいずれか一と自由に組み合わせることができる。

【実施例３】

【０１８１】

本発明の表示装置の一形態である表示パネルの構成について、以下に示す。

【０１８２】

図２０（Ａ）に、信号線駆動回路６０１３及び走査線駆動回路の一部を別途形成し、基板６０１１上に形成された画素部６０１２と接続している表示パネルの形態を示す。画素部６０１２及び走査線駆動回路の一部６０１４は、ｎ⁻層を有する薄膜トランジスタを用いて形成する。また、信頼性を向上するために保護回路も基板６０１１上に形成する。なお、走査線駆動回路の一部と、信号線駆動回路６０１３は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、またはＳＯＩを用いたトランジスタであっても良い。画素部６０１２と、信号線駆動回路６０１３と、走査線駆動回路の一部６０１４とに、それぞれ電源の電位、各種信号等が、ＦＰＣ６０１５を介して供給される。

【０１８３】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばＦＰＣ上に貼り合わせるようにしても良い。図２０（Ｂ）に、信号線駆動回路６０２３及び走査線駆動回路の一部のみを別途形成し、基板６０２１上に形成された画素部６０２２及び走査線駆動回路の一部６０２４と接続している液晶表示装置パネルの形態を示す。画素部６０２２及び走査線駆動回路の一部６０２４は、ｎ⁻層を有する薄膜トランジスタを用いて形成する。信号線駆動回路６０２３は、ＦＰＣ６０２５を介して画素部６０２２と接続されている。画素部６０２２と、信号線駆動回路６０２３と、走査線駆動回路の一部６０２４とに、それぞれ電源の電位、各種信号等が、ＦＰＣ６０２５を介して供給される。

【０１８４】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、ｎ－層を有する薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電気的に接続するようにしても良い。図２０（Ｃ）に、信号線駆動回路の一部であるアナログスイッチ６０３３ａを、画素部６０３２、走査線駆動回路の一部６０３４と同じ基板６０３１上に形成し、信号線駆動回路の一部であるシフトレジスタ６０３３ｂを別途異なる基板に形成して貼り合わせる液晶表示装置パネルの形態を示す。画素部６０３２及び走査線駆動回路の一部６０３４は、ｎ－層を有する薄膜トランジスタを用いて形成する。信号線駆動回路の一部であるシフトレジスタ６０３３ｂは、ＦＰＣ６０３５を介して画素部６０３２と接続されている。画素部６０３２と、信号線駆動回路と、走査線駆動回路の一部６０３４とに、それぞれ電源の電位、各種信号等が、ＦＰＣ６０３５を介して供給される。

【０１８５】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のＣＯＧ方法、ワイヤボンディング方法、或いはＴＡＢ方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図２０に示した位置に限定されない。また、コントローラ、ＣＰＵ、メモリ等を別途形成し、接続するようにしても良い。

【０１８６】

なお、信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【０１８７】

対向基板６０１６、６０２６、６０３６としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、ＦＲＰ（Ｆｉｂｅｒｇｌａｓｓ－Ｒｅｉｎｆｏｒｃｅｄ　Ｐｌａｓｔｉｃｓ）板、ＰＶＦ（ポリビニルフルオライド）フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをＰＶＦフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【０１８８】

液晶表示装置の場合、シール材を用いて一対の基板間には液晶材料を充填し、一対の基板間隔を球状のスペーサや柱状のスペーサにより保持する。また、適宜、配向膜、偏光板を設け、更にカラーフィルタや遮蔽膜を形成しても良い。

【０１８９】

また、発光表示装置の場合、一対の基板間に酸素や水分が侵入しないようにシール材で密閉または樹脂で充填し、更に乾燥材を一対の基板間に配置してもよい。また、適宜、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（λ／４板、λ／２板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【０１９０】

本実施例は、実施の形態１乃至４、実施例１、または実施例２のいずれか一と自由に組み合わせることができる。

【実施例４】

【０１９１】

本発明により得られる表示装置等は、アクティブマトリクス型表示装置モジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【０１９２】

その様な電子機器としては、ビデオカメラ、デジタルカメラなどのカメラ、ヘッドマウ

ントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図２１に示す。

【０１９３】

図２１（Ａ）はテレビジョン装置である。表示モジュールを、図２１（Ａ）に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。ＦＰＣまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面２００３が形成され、その他付属設備としてスピーカー部２００９、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【０１９４】

図２１（Ａ）に示すように、筐体２００１に表示素子を利用した表示用パネル２００２が組みこまれ、受信機２００５により一般のテレビ放送の受信をはじめ、モデム２００４を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機２００６により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部２００７が設けられていても良い。

【０１９５】

また、テレビジョン装置にも、主画面２００３の他にサブ画面２００８を第２の表示用パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。この構成において、主画面２００３を視野角の優れた液晶表示パネルで形成し、サブ画面を低消費電力で表示可能な発光表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面２００３を発光表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

【０１９６】

勿論、テレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【０１９７】

図２１（Ｂ）は携帯電話機２３０１の一例を示している。この携帯電話機２３０１は、表示部２３０２、操作部２３０３などを含んで構成されている。表示部２３０２においては、上記実施例で説明した表示装置を適用することで、量産性を高めることができる。

【０１９８】

また、図２１（Ｃ）に示す携帯型のコンピュータは、本体２４０１、表示部２４０２等を含んでいる。表示部２４０２に、上記実施例に示す表示装置を適用することにより、量産性を高めることができる。

【０１９９】

図２１（Ｄ）は卓上照明器具であり、照明部２５０１、傘２５０２、可変アーム２５０３、支柱２５０４、台２５０５、電源２５０６を含む。発光装置を照明部２５０１に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。上記実施例に示す表示装置を適用することにより、量産性を高めることができ、安価な卓上照明器具を提供することができる。

【０２００】

本実施例は、実施の形態１乃至４、実施例１、実施例２、または実施例３のいずれか一と自由に組み合わせることができる。

【実施例５】

【０２０１】

最大移動度の他のＴＦＴ特性についても図６（Ｃ）のモデルを用い、デバイスシミュレータを用いた計算を行って値を得ることができる。

【０２０２】

デバイスシミュレータを用いた計算により得られるＩｄ－Ｖｇ曲線のデータとその考察を以下に示す。図２２（Ａ）は、ｎ－層２０の膜厚が１０ｎｍ、第３のｉ層２１ｃの膜厚が９０ｎｍの条件において、Ｖｄ＝１Ｖの場合のＩｄ－Ｖｇ曲線のデータである。また、図２２（Ｂ）はＶｄ＝１４Ｖの場合のＩｄ－Ｖｇ曲線のデータである。

【０２０３】

また、図２３（Ａ）は、ｎ－層２０の膜厚が２０ｎｍ、第３のｉ層２１ｃの膜厚が８０ｎｍの条件において、Ｖｄ＝１Ｖの場合のＩｄ－Ｖｇ曲線のデータである。また、図２３（Ｂ）はＶｄ＝１４Ｖの場合のＩｄ－Ｖｇ曲線のデータである。

【０２０４】

また、図２４（Ａ）は、ｎ－層２０の膜厚が５０ｎｍ、第３のｉ層２１ｃの膜厚が５０ｎｍの条件において、Ｖｄ＝１Ｖの場合のＩｄ－Ｖｇ曲線のデータである。また、図２４（Ｂ）はＶｄ＝１４Ｖの場合のＩｄ－Ｖｇ曲線のデータである。なお、ｎ－層２０の膜厚が５０ｎｍ、第３のｉ層２１ｃの膜厚が５０ｎｍの条件において、ドナー濃度５Ｅ１７においてはオフ電流が大きすぎ、ＴＦＴとして不適である。従って、ｎ－層２０の膜厚を５０ｎｍとする場合には、トータルの膜厚が厚くなるが、第３のｉ層２１ｃの膜厚を５０ｎｍよりも厚くすればよい。

【０２０５】

これらのＩｄ－Ｖｇ曲線のデータから、ドナー濃度を増大することで、Ｉｄ曲線が、Ｖｇ軸方向にマイナスシフトする傾向が確認できる。このしきい値電圧シフトは、ｎ－層の存在により、半導体層におけるフェルミエネルギーが変化することに起因する。また、不純物散乱の増大は、Ｉｄ曲線がＶｇ軸方向に平坦化する傾向をもたらす。不純物散乱は、半導体層に添加した不純物元素により伝導電子が散乱する現象で、添加した不純物が第３族か第５族かに依らない。不純物元素を添加するとエネルギーギャップ中に不純物準位が増えることに起因する。このため、半導体層の結晶性が悪いことと等価であり、ドレイン電流の低下などをもたらす。また、ｎ－層の膜厚を増大することで、Ｉｄ曲線が、Ｖｇ軸方向にマイナスシフトする量が増大する。これは、ドナー総数が増大し、ドナー準位の数が増大するため、フェルミエネルギーがより伝導帯エネルギーＥＣに近づくことによる。すなわち、より低いゲート電位で反転層を形成することができるためである。

【０２０６】

また、デバイスシミュレータを用いた計算により得られるオン電流のデータとその考察を以下に示す。

【０２０７】

図２５（Ａ）は、ドレイン電圧が低い（Ｖｄ＝１Ｖ）場合のｎ－層のドナー濃度とオン電流の関係を示すグラフである。また、図２５（Ｂ）は、ドレイン電圧が高い（Ｖｄ＝１４Ｖ）場合のｎ－層のドナー濃度とオン電流の関係を示すグラフである。

【０２０８】

オン状態では、ドレイン電流は、ゲート電圧Ｖｇに対して、単調増加関数である。これは、ゲート電圧Ｖｇを増大するほど、ゲート絶縁膜界面に誘起される半導体層の伝導電子数が増大するためである。したがって、ドナー濃度を増大することで、Ｉｄ曲線が、Ｖｇ軸方向にマイナスシフトすることを考慮すると、オン電流（ゲート電圧Ｖｇ＝２０Ｖにおけるドレイン電流）は増大することになる。なお、不純物散乱を考慮すると、ドレイン電流は減少するが、伝導電子数の増加の方の寄与が大きいため、結果として、ドレイン電流が増大することになる。また、ｎ－層の膜厚を増大することで、伝導に寄与する半導体層が増大することになる。したがって、オン電流が増大することになる。

【０２０９】

また、デバイスシミュレータを用いた計算により得られるしきい値電圧のデータとその考察を以下に示す。

【０２１０】

図２６（Ａ）は、ドレイン電圧が低い（Ｖｄ＝１Ｖ）場合のｎ－層のドナー濃度としきい値電圧の関係を示すグラフである。また、図２６（Ｂ）は、ドレイン電圧が高い（Ｖｄ＝

１４Ｖ）場合のｎ－層のドナー濃度としきい値電圧の関係を示すグラフである。ドナー濃度を増大することで、しきい値電圧はマイナスシフトする。また、ｎ－層の膜厚を増大することで、しきい値電圧のマイナスシフトする量が増大する。

【０２１１】

また、デバイスシミュレータを用いた計算により得られるＳ値のデータとその考察を以下に示す。

【０２１２】

図２７（Ａ）は、ドレイン電圧が低い（Ｖｄ＝１Ｖ）場合のｎ－層のドナー濃度とＳ値の関係を示すグラフである。また、図２７（Ｂ）は、ドレイン電圧が高い（Ｖｄ＝１４Ｖ）場合のｎ－層のドナー濃度とＳ値の関係を示すグラフである。ドナー濃度を増大することで、不純物散乱が増大するため、Ｓ値は増大する。ｎ－層の膜厚を増大することでも、Ｓ値は増大する。これは、不純物総数が増大し、ドナー準位の数が増大するため、伝導電子がより散乱されやすくなるためと考えられる。

【図面の簡単な説明】

【０２１３】

【図１】本発明の作製工程の断面図を示す図。
【図２】本発明の作製工程の断面図を示す図。
【図３】本発明の作製工程の断面図を示す図。
【図４】本発明の作製工程の上面図を示す図。
【図５】本発明の作製工程の断面図を示す図。
【図６】（Ａ）はモデル断面図、（Ｂ）は等価回路図、（Ｃ）はモデル断面図。
【図７】ｎ－層のドナー濃度と最大移動度の関係を示すグラフ。
【図８】本発明に適用可能な多階調マスクを説明する図である。
【図９】本発明の作製工程の断面図を示す図。
【図１０】本発明の作製工程の断面図を示す図。
【図１１】本発明の作製工程の断面図を示す図。
【図１２】本発明の作製工程の上面図を示す図。
【図１３】本発明の作製工程の断面図を示す図。
【図１４】本発明の液晶表示装置を説明する図である。
【図１５】本発明の液晶表示装置を説明する図である。
【図１６】本発明の液晶表示装置を説明する図である。
【図１７】本発明の液晶表示装置を説明する図である。
【図１８】本発明の発光装置の作製方法を説明する断面図である。
【図１９】本発明の発光装置に適用可能な画素を説明する断面図である。
【図２０】本発明の表示パネルを説明する斜視図である。
【図２１】本発明の表示装置を用いた電子機器を説明する斜視図である。
【図２２】Ｉｄ－Ｖｇ曲線のデータを示すグラフである。
【図２３】Ｉｄ－Ｖｇ曲線のデータを示すグラフである。
【図２４】Ｉｄ－Ｖｇ曲線のデータを示すグラフである。
【図２５】ｎ－層のドナー濃度とオン電流の関係を示すグラフ。
【図２６】ｎ－層のドナー濃度としきい値電圧の関係を示すグラフ。
【図２７】ｎ－層のドナー濃度とＳ値の関係を示すグラフ。

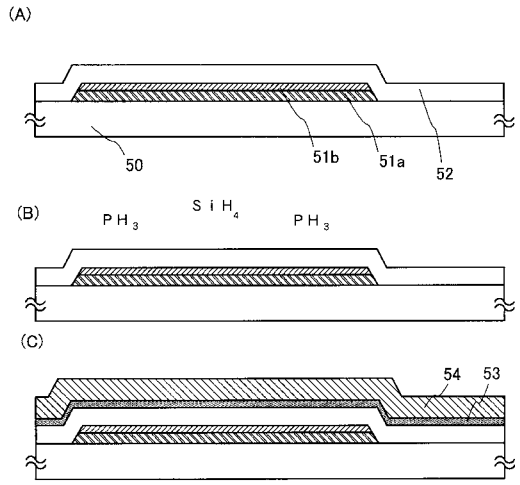
【符号の説明】

【０２１４】

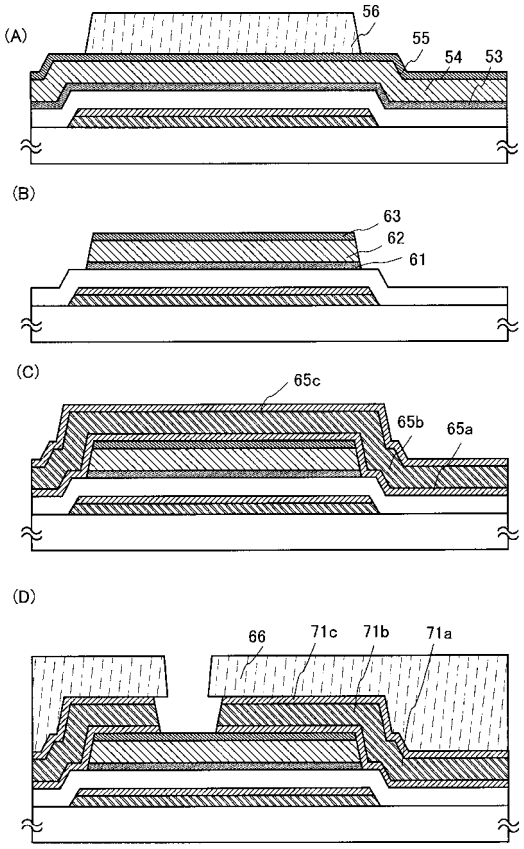
１１：基板
１２：ゲート電極
１３：ゲート絶縁膜
１４：ｎ－層
１５：ｉ型の非晶質半導体層
１６：ソース領域

１７：ドレイン領域
１８：ソース電極
１９：ドレイン電極
２０：ｎ－層
２１ａ：第１のｉ層
２１ｂ：第２のｉ層
２１ｃ：第３のｉ層
５０：基板
５１ａ：第１の導電層
５１ｂ：第２の導電層
５２：ゲート絶縁膜
５３：ｎ型化された非晶質シリコン膜
５４：ｉ型の非晶質シリコン膜
５５：一導電型を付与する不純物が添加された半導体膜
５６：レジストマスク
５９：多階調マスク
６１：ｎ型化された非晶質シリコン膜
６２：ｉ型の非晶質シリコン膜
６３：一導電型を付与する不純物が添加された半導体膜
６５ａ、６５ｂ、６５ｃ：導電膜
６６：レジストマスク
６７：第１のゲート絶縁膜
６８：第２のゲート絶縁膜
７１ａ、７１ｂ、７１ｃ：ソース電極またはドレイン電極
７２：ソース領域及びドレイン領域
７３：ｉ型の非晶質シリコン膜
７４：薄膜トランジスタ
７５：保持容量
７６：絶縁膜
７７：画素電極
７８ａ：第１の導電層
７８ｂ：第２の導電層
７９：薄膜トランジスタ
８０：レジストマスク
８１：レジストマスク
８２：平坦化膜
８３：薄膜トランジスタ
８４ａ：第１の層間絶縁膜
８４ｂ：第２の層間絶縁膜
８５ａ～８５ｃ導電膜
８６：レジストマスク
８７：ｉ型の非晶質シリコン膜
８８：ソース領域及びドレイン領域
８９ａ、８９ｂ、８９ｃ：導電膜
９０：ｎ型化された非晶質シリコン膜
９２ａ、９２ｂ、９２ｃ：ソース電極及びドレイン電極

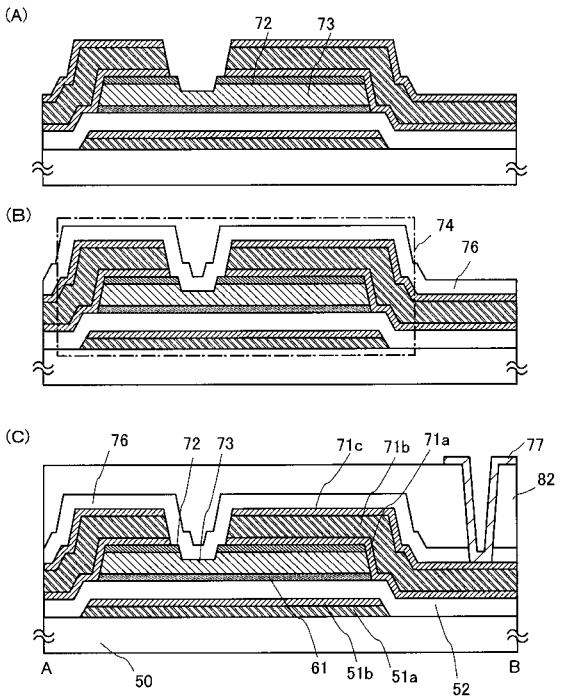
【図１】


(A)
50
51b
51a
52
(B)
PH3
SiH4
PH3
(C)
54
53

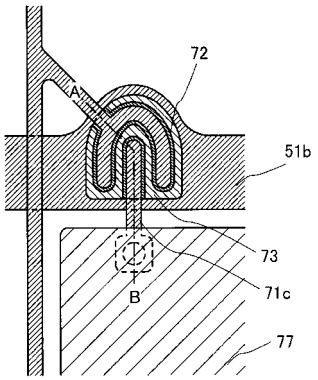
【図２】


(A)
56
55
54
53
(B)
63
62
61
(C)
65c
65b
65a
(D)
66
71c
71b
71a

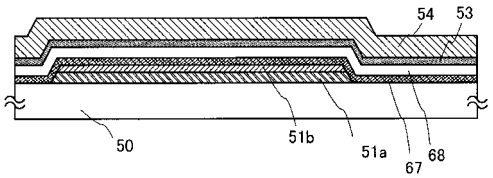
【図３】


(A)
72
73
(B)
74
76
(C)
76
72
73
71c
71b
71a
77
82
A
50
61
51b
51a
52
B

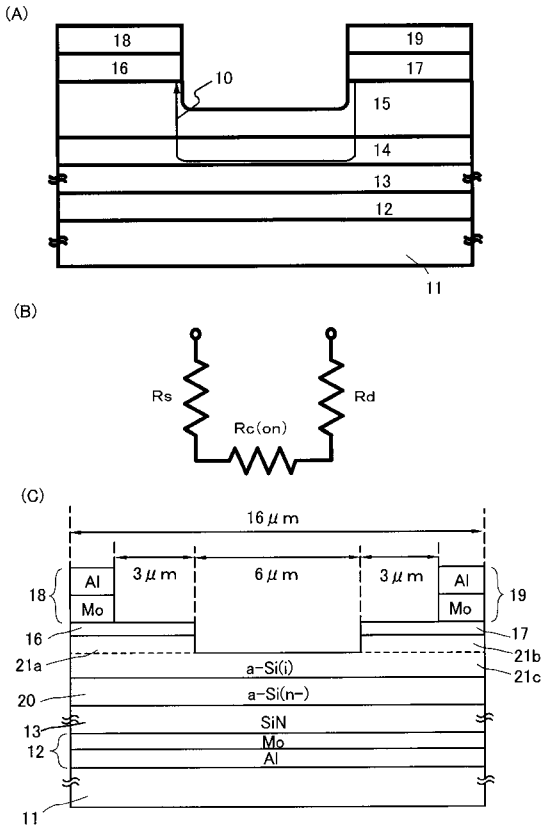
【図４】


72
A
51b
73
71c
B
77

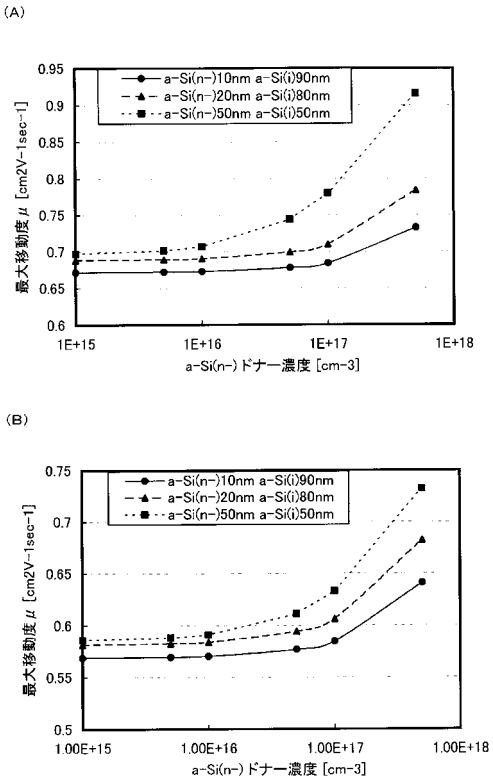
【図５】


54
53
50
51b
51a
67
68

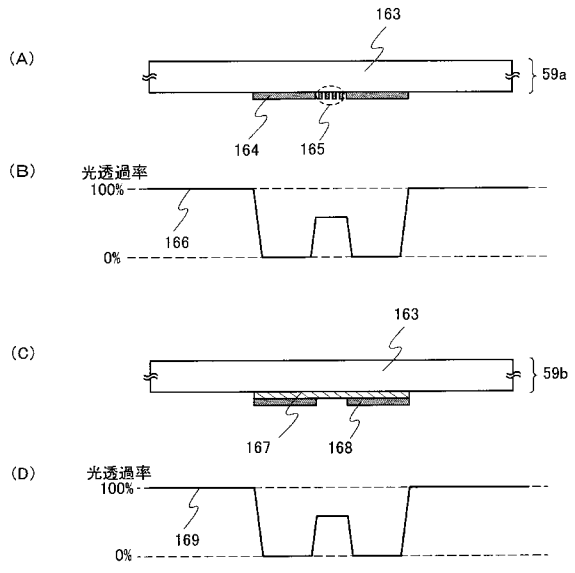
【図６】


(A)
18
16
10
19
17
15
14
13
12
11
(B)
Rs
Rc(on)
Rd
(C)
16μm
3μm
6μm
3μm
Al
Mo
18
19
16
17
21a
21b
21c
a-Si(i)
a-Si(n-)
20
SiN
13
Mo
12
Al
11

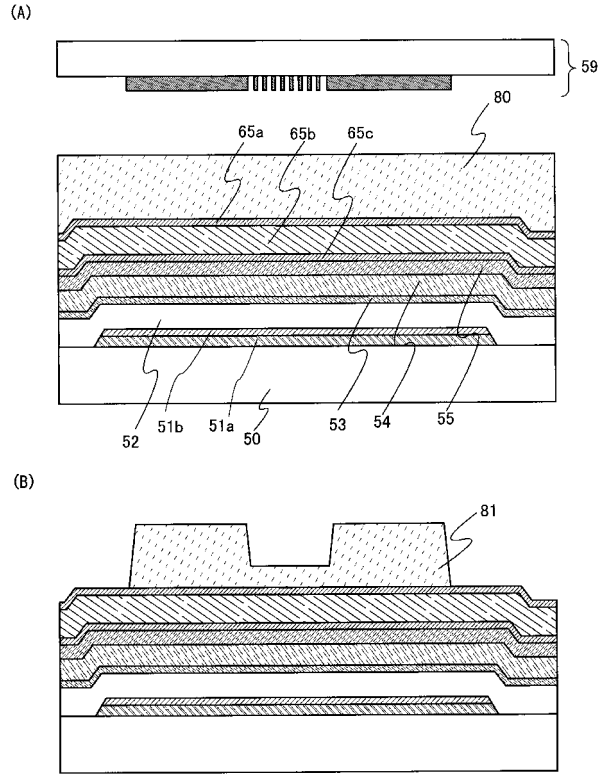
【図７】


(A)
a-Si(n-)10nm a-Si(i)90nm
a-Si(n-)20nm a-Si(i)80nm
a-Si(n-)50nm a-Si(i)50nm
最大移動度 μ [cm2V-1sec-1]
0.95
0.9
0.85
0.8
0.75
0.7
0.65
0.6
1E+15
1E+16
1E+17
1E+18
a-Si(n-) ドナー濃度 [cm-3]
(B)
a-Si(n-)10nm a-Si(i)90nm
a-Si(n-)20nm a-Si(i)80nm
a-Si(n-)50nm a-Si(i)50nm
最大移動度 μ [cm2V-1sec-1]
0.75
0.7
0.65
0.6
0.55
0.5
1.00E+15
1.00E+16
1.00E+17
1.00E+18
a-Si(n-) ドナー濃度 [cm-3]

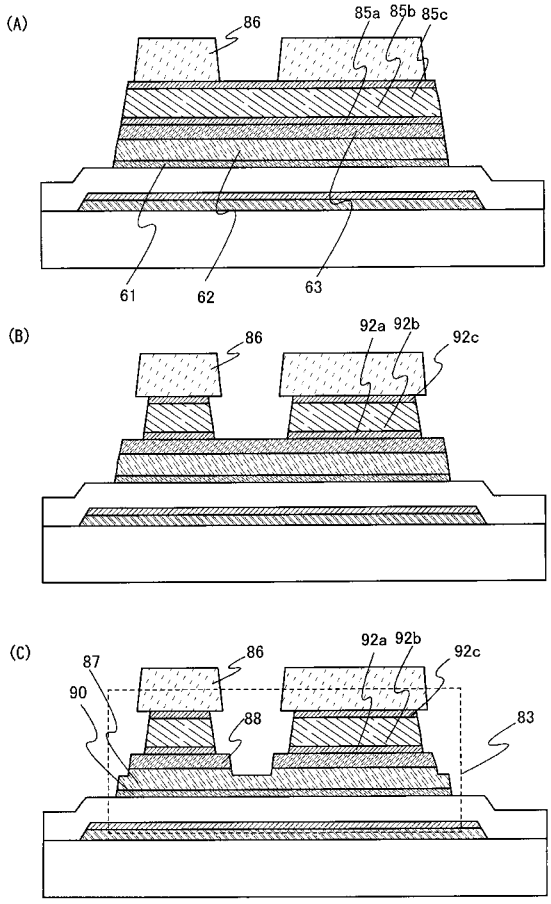
【図８】


(A)
163
59a
164
165
(B)
光透過率
100%
0%
166
(C)
163
59b
167
168
(D)
光透過率
100%
0%
169

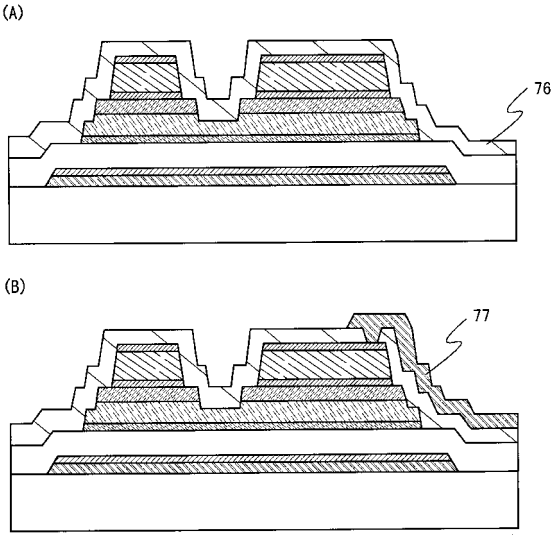
【図９】


(A)
59
80
65a
65b
65c
52
51b
51a
50
53
54
55
(B)
81

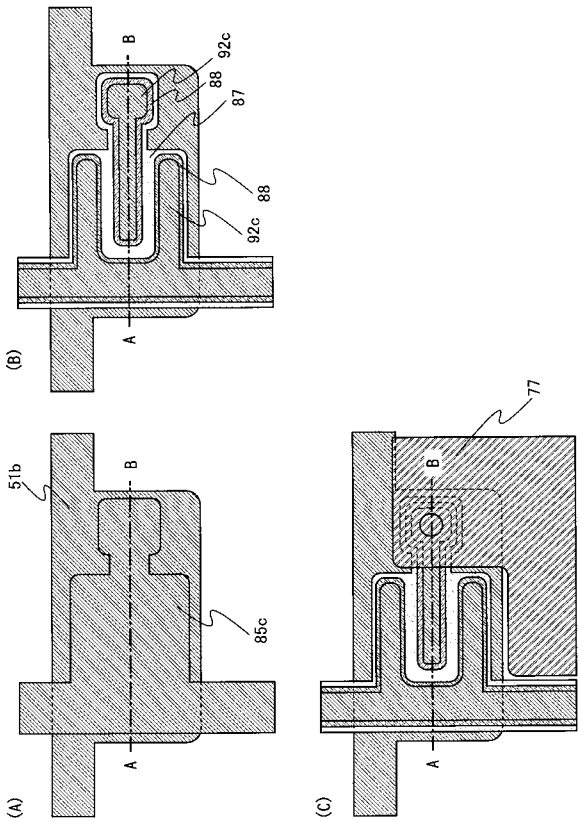
【図１０】



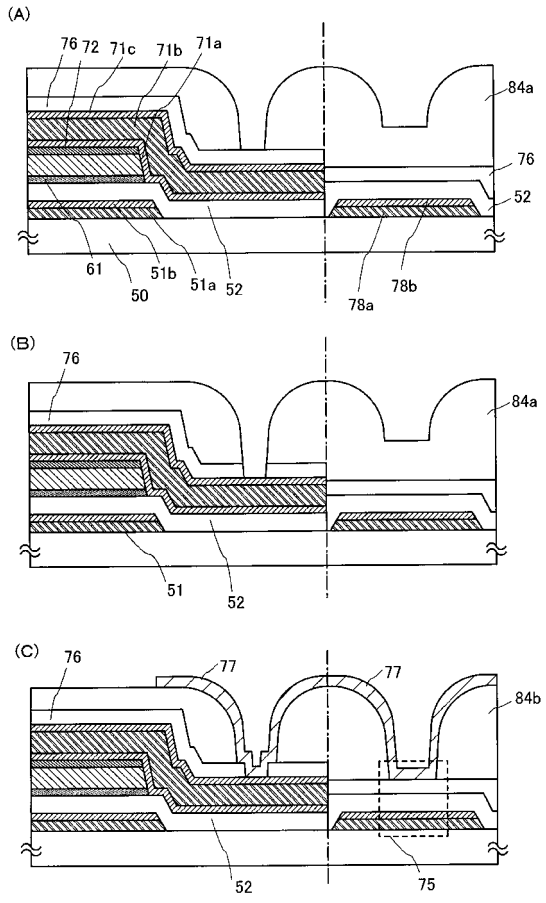
【図１１】



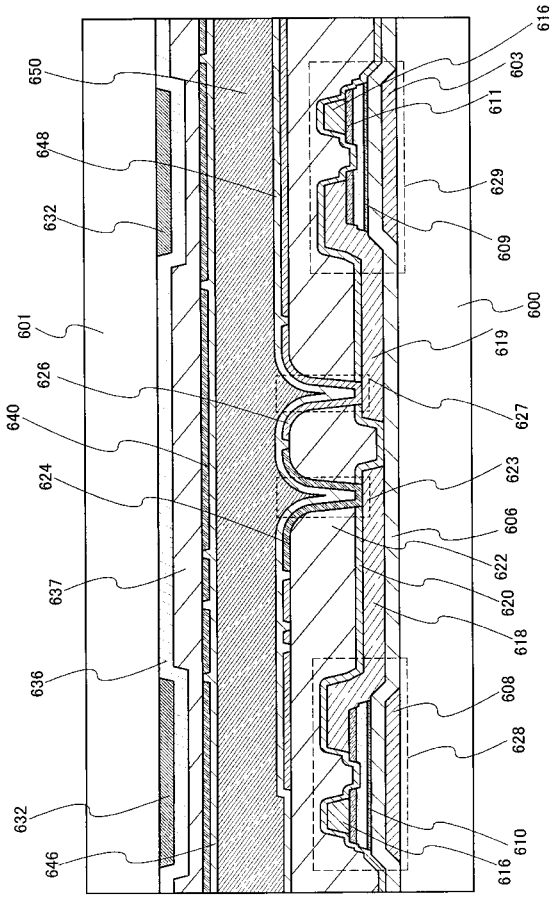
【図１２】



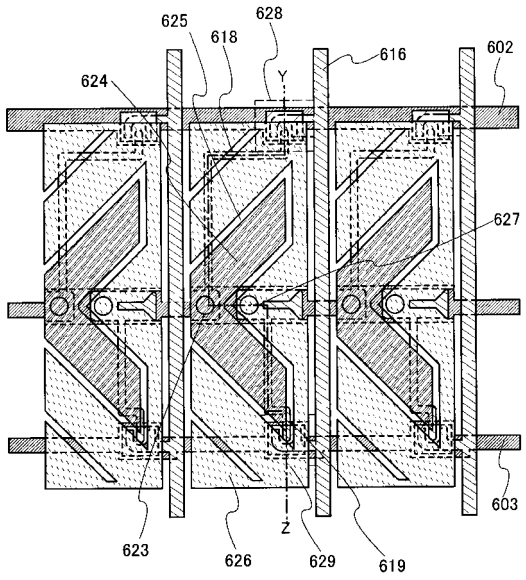
【図１３】



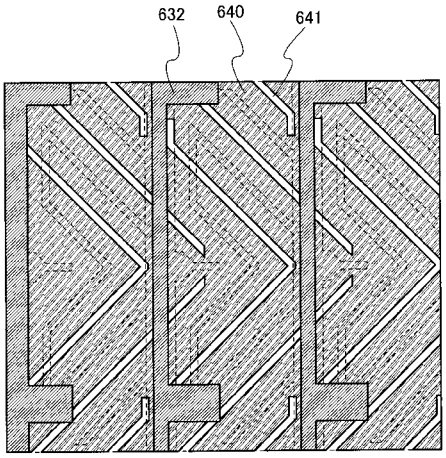
【図１４】



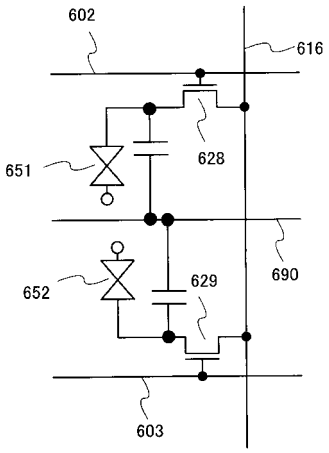
【図１５】



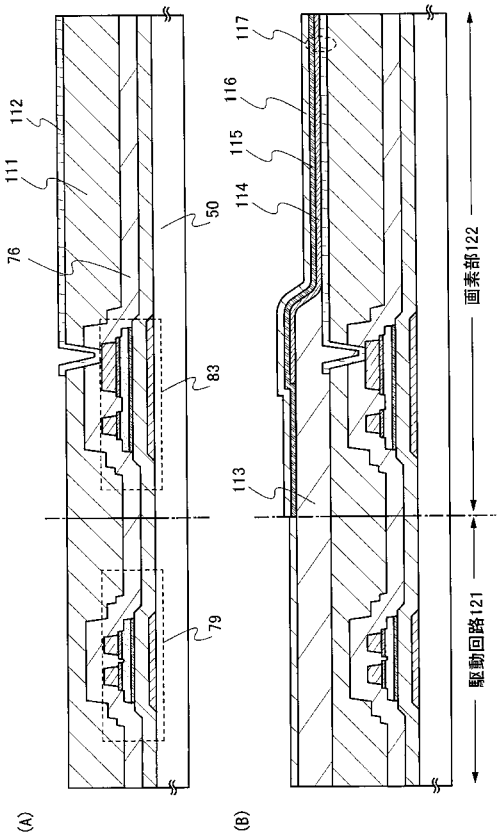
【図１６】



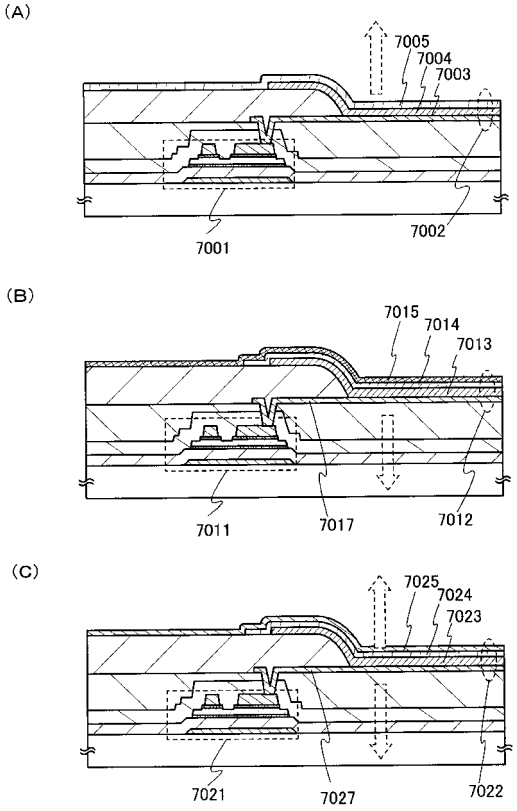
【図１７】



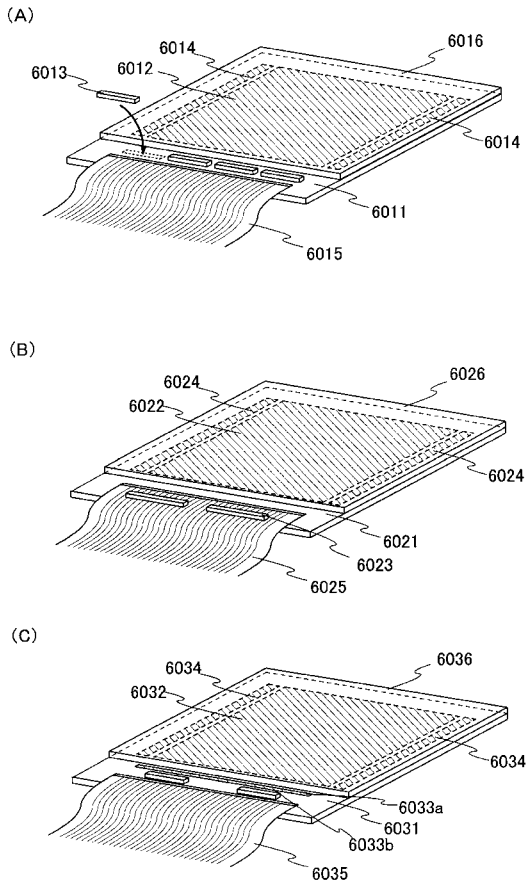
【図１８】



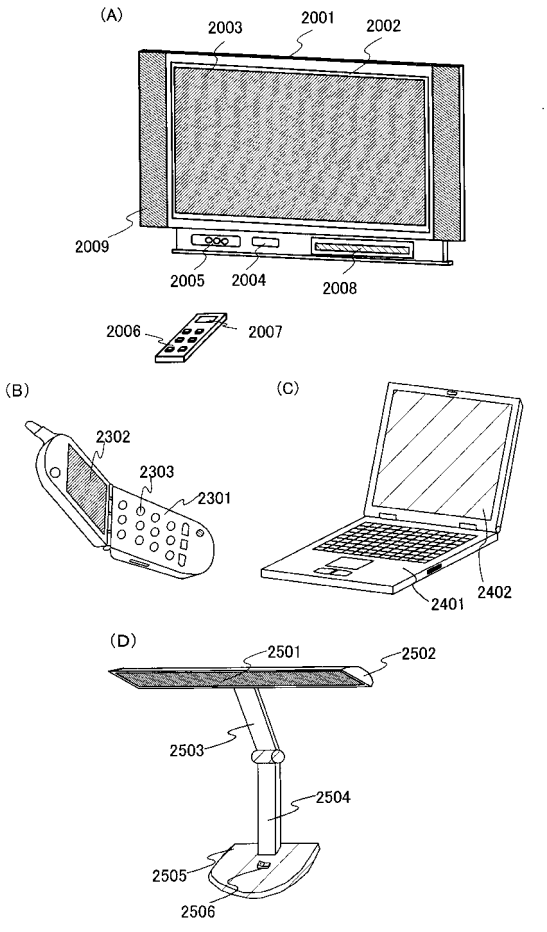
【図１９】



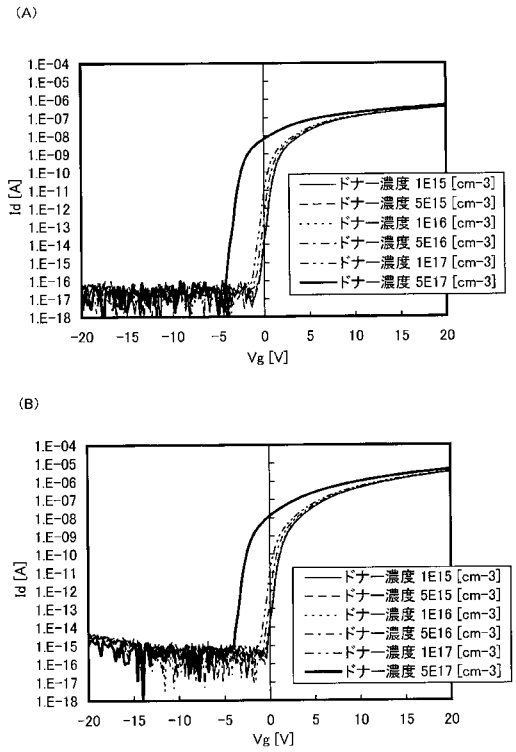
【図２０】



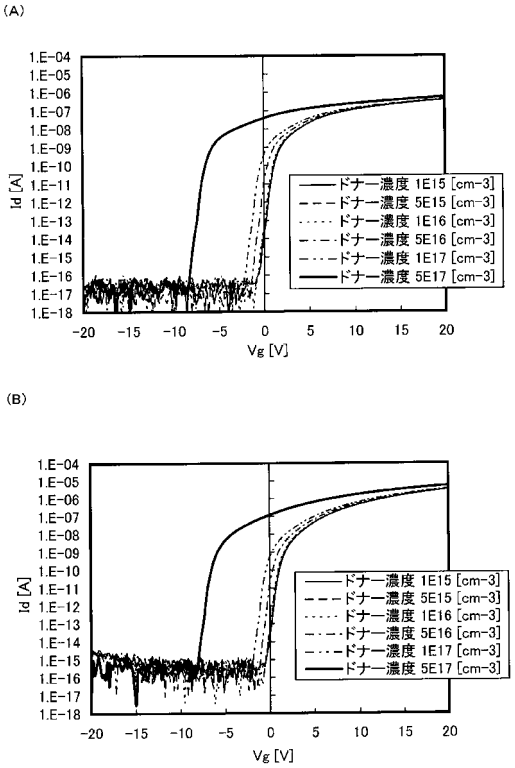
【図２１】



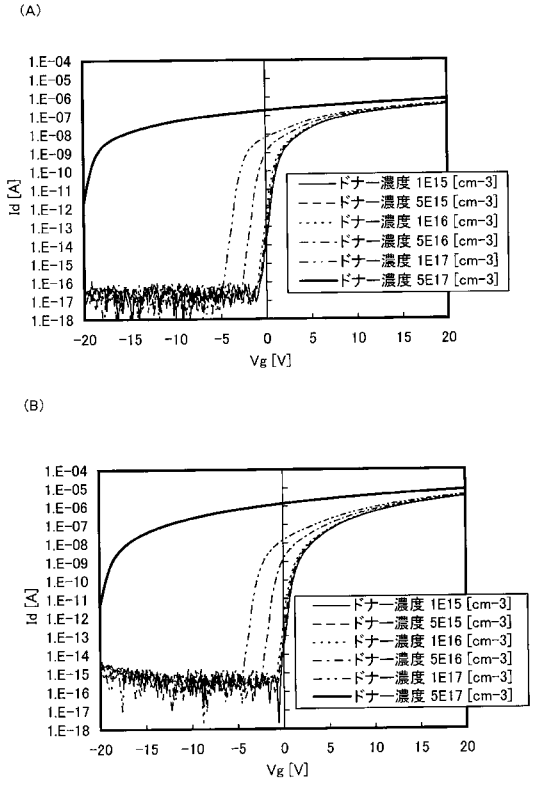
【図２２】



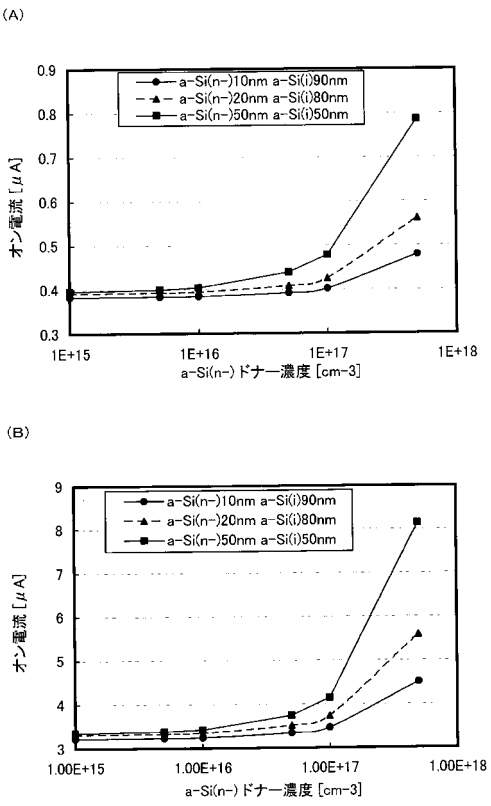
【図２３】



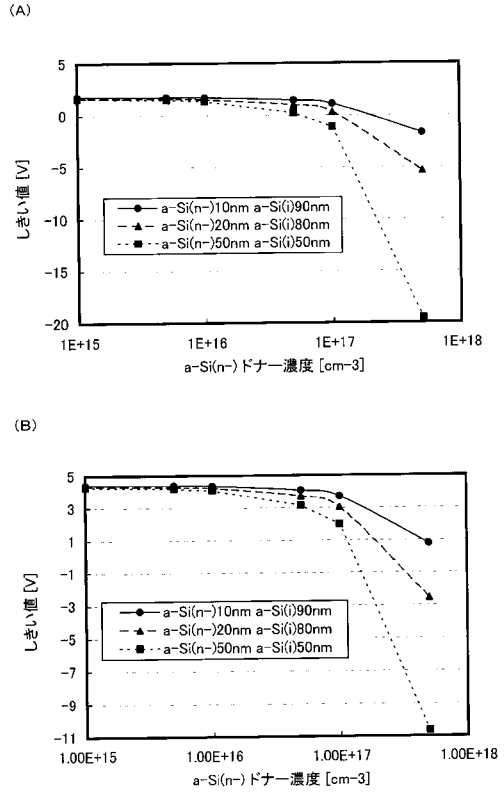
【図２４】



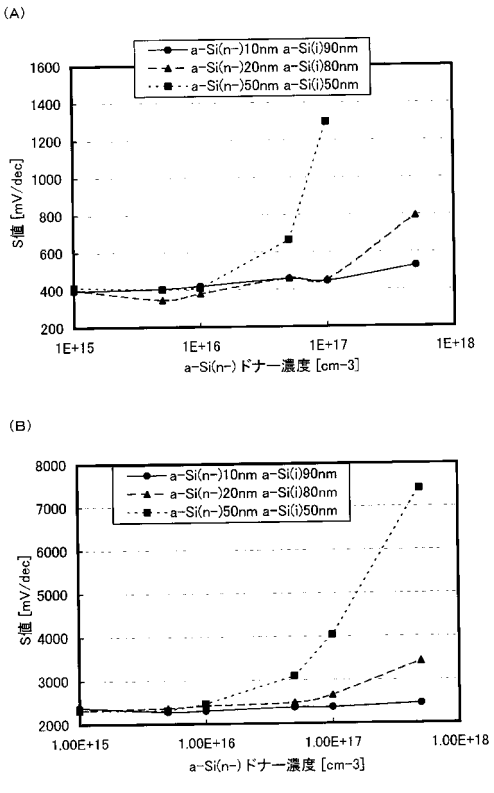
【図２５】



【図２６】


(A)
しきい値 [V]
5
0
-5
-10
-15
-20
1E+15
1E+16
1E+17
1E+18
a-Si(n-)ドナー濃度 [cm-3]
a-Si(n-)10nm a-Si(i)90nm
a-Si(n-)20nm a-Si(i)80nm
a-Si(n-)50nm a-Si(i)50nm
(B)
しきい値 [V]
5
3
1
-1
-3
-5
-7
-9
-11
1.00E+15
1.00E+16
1.00E+17
1.00E+18
a-Si(n-)ドナー濃度 [cm-3]
a-Si(n-)10nm a-Si(i)90nm
a-Si(n-)20nm a-Si(i)80nm
a-Si(n-)50nm a-Si(i)50nm

【図２７】


(A)
S値 [mV/dec]
1600
1400
1200
1000
800
600
400
200
1E+15
1E+16
1E+17
1E+18
a-Si(n-)ドナー濃度 [cm-3]
a-Si(n-)10nm a-Si(i)90nm
a-Si(n-)20nm a-Si(i)80nm
a-Si(n-)50nm a-Si(i)50nm
(B)
S値 [mV/dec]
8000
7000
6000
5000
4000
3000
2000
1.00E+15
1.00E+16
1.00E+17
1.00E+18
a-Si(n-)ドナー濃度 [cm-3]
a-Si(n-)10nm a-Si(i)90nm
a-Si(n-)20nm a-Si(i)80nm
a-Si(n-)50nm a-Si(i)50nm

フロントページの続き

(51)Int.Cl.	F I	テーマコード（参考）
	H01L 29/78 617U	

Fターム(参考) 5F110 AA01 AA07 BB01 BB02 BB04 CC07 DD01 DD02 EE01 EE02
EE03 EE04 EE14 EE23 EE42 EE44 FF03 FF04 FF07 FF09
FF28 FF29 GG02 GG15 GG19 GG25 GG32 GG33 GG34 GG45
GG57 HK02 HK03 HK04 HK09 HK16 HK22 HK25 HK32 HK33
HL01 HL07 HM02 HM04 HM12 NN03 NN24 NN27 NN72 QQ02
QQ09 QQ19