

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97102733

※ 申請日期：97.1.24. ※IPC 分類：H01L 23/522 (2006.01)
H05K 3/46 (2006.01)

一、發明名稱：(中文/英文)

具消耗性金屬基核心載體之半導體晶片製造組裝方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

鈺橋半導體股份有限公司

代表人：(中文/英文) 林文強

住居所或營業所地址：(中文/英文)

台北市松山區延壽街 10 號 1 樓

國 籍：(中文/英文) 中華民國

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 林文強

國 籍：(中文/英文)

1. 美國

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實
發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 申請號： 11/984,263 申請日：2007/11/15 (Y/M/D)

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種具消耗性金屬基核心載體之半導體晶片製造組裝方法，尤指一種在一具有金屬基核心載體（Metal-Based Core Carrier）之增層載板（Build-Up Layers）上組裝積體電路（Integrated Circuit, IC）晶片之方法。

【先前技術】

由於積體電路功能之增進，加上信號完整性（Signal Integrity）及規格小型化（Smaller Form-Factor）等需求，致使範圍廣泛地進化封裝革新，包括覆晶（Flip Chip, FC）及晶片尺寸封裝（Chip-Scale Packaging, CSP）。該些技術係利用高密度互連（High Density Interconnect, HDI）載板，有效地分配 IC 至板面之輸出入信號，使得晶片能夠在一極其侷限之空間內進行封裝，利用該高密度互連載板不僅能縮減封裝元件之封裝面積（Foot Print），同時也可增進信號完整性，例如減少噪音、降低電子干擾輻射及減少能量衰減等。在一些已經發展可提供高密度互連之新製程中，其使用最為廣泛係為一逐次增層（Sequential Build Up, SBU）載板之製程。

傳統之增層載板係由二個顯著元件所組成，包含一增層載板及一核心載板（Core Carrier substrate），

其製程基本上係以傳統之核心載板開始，例如傳統印刷電路板（Printed Circuit Board, PCB）。就該增層載板之製作而言，該核心載板係作為載體之用，用以提供主要之機械性支撐（Mechanical Support）。而該增層載板則係由一介電層（Dielectric Layers）及一線路層（Wiring Layers）所組成，並各別逐次堆疊於該核心載板之兩個表面上。該線路層係包含複數個電路圖案，可提供各種線路功能。利用雷射形成或光定義所製成之導電盲孔（Conductive Vias）連接各層載板，使增層載板之前後兩側互連，而核心中之盲孔通常係由機械鑽孔或打孔而成，並使用一般 PCB 技術蝕刻基底電路（Base Circuitry）。

請參『第 1 圖』所示，其係為一傳統增層載板主要部分剖面示意圖，於其中，各增層載板係配置在核心載板之兩側。如圖所示：一增層載板 1 1 0 係包含一通常以玻璃環氧樹脂（Glass-Epoxy Resin）製成之核心載板 1 2 0、一配置於該核心載板 1 2 0 第一表面 1 2 0 a 之第一增層載板 1 3 0、一配置於核心載板 1 2 0 第二表面 1 2 0 b 之第二增層載板 1 5 0、以及複數個延伸穿越該核心載板 1 2 0 第一表面 1 2 0 a 與其第二表面 1 2 0 b 之通孔 1 2 1，其中，每一通孔 1 2 1 中皆裝設一電鍍導電體 1 2 2（Plated Conductor），並填充一樹脂 1 2 3。

該第一增層載板 1 3 0 係包含一第一線路層 1 3 1、一第一介電層 1 3 2 (Dielectric Layer)、複數個第一層級盲孔 1 3 3、一第二線路層 1 3 4、一第二介電層 1 3 5、複數個第二層級盲孔 1 3 6、一第三線路層 1 3 7、一防焊層 (Solder Resist Layer) 1 3 8、複數個開口 1 3 9 及複數個導電墊 1 4 0，其中，該第一線路層 1 3 1 係配置於該核心載板 1 2 0 之第一表面 1 2 0 a，且該第一線路層 1 3 1 係有部分連接至該電鍍導電體 1 2 2 之第一端；該第一介電層 1 3 2 係由環氧樹脂製成，並塗佈於該核心載板 1 2 0 之第一表面 1 2 0 a，且在第一方向覆蓋該第一線路層 1 3 1 及填充物樹脂 1 2 3；複數個第一層級盲孔 1 3 3 在該第一介電層 1 3 2 上形成，且底部係顯露該第一線路層 1 3 1；該第二線路層 1 3 4 係配置在該第一介電層 1 3 2 上，且該第二線路層 1 3 4 之一部分係延伸進入該第一層級盲孔 1 3 3，並在第一方向接觸該第一線路層 1 3 1；該第二介電層 1 3 5 係塗佈於該第一介電層 1 3 2 上，並覆蓋該第二線路層 1 3 4；複數個第二層級盲孔 1 3 6 係在該第二介電層 1 3 5 上形成，且底部係顯露該第二線路層 1 3 4；同樣地，該第三線路層 1 3 7 係配置於該第二介電層 1 3 5 上，且該第三線路層 1 3 7 之一部分係延伸進入該第二層級盲孔 1 3 6，並在第一方向接觸該第二線路層 1 3 4；

該防焊層 1 3 8 係塗佈於該第二介電層 1 3 5 上，並在第一方向覆蓋該第三線路層 1 3 7；複數個開口 1 3 9 係於該防焊層 1 3 8 上形成，且底部係顯露該第三線路層 1 3 7；以及複數個導電墊 1 4 0 係置放於該第三線路層 1 3 7 上之開口 1 3 9。藉此，由該第一、二、三線路層 1 3 1、1 3 4、1 3 7、該第一、二介電層 1 3 2、1 3 5、該防焊層 1 3 8 及複數個導電墊 1 4 0 構成該第一增層載板 1 3 0。

與該第一增層載板 1 3 0 相同，該第二增層載板 1 5 0 係包含一第一線路層 1 5 1，配置於該核心載板 1 2 0 第二表面 1 2 0 b，且該第一線路層 1 5 1 係有部分連接至該電鍍導電體 1 2 2 之第二端。藉此，由該第一、一第二、三線路層 1 5 1、1 5 4、1 5 7、一第一、二介電層 1 5 2、1 5 5、一防焊層 1 5 8 及複數個導電墊 1 6 0 構成該第二增層載板 1 5 0。

如是，由該核心載板 1 2 0、該第一增層載板 1 3 0 及該第二增層載板 1 5 0 構成傳統之增層載板 1 1 0。

儘管傳統之增層載板對高性能之晶片具有莫大之優點，然而，其技術性及可靠性卻嚴重受限。因相較於傳統之增層載板，其核心中之線路密集度及盲孔大小很明顯地較為粗略，所以以做為增層載板前後兩側

之連接工具而言，其核心可提供之線路功能其實有限。因此，即便覆晶終端間距可因增層載板中之線路性而能輕易相容，然而其核心中之盲孔確實嚴重限制該第二增層載板之線路性能；此外，其核心中之電鍍盲孔亦會增加電容流失及電子干擾，致使經常破壞電壓層之整合。

除了該核心載板線路限制問題之外，矽與載板材質之局部熱膨脹係數（Thermal Expansion Coefficient, CTE）與整體熱膨脹係數之不匹配，亦會引發巨大之熱應力（Thermal Stress）與張力（Strain），當進行下一層載板之組裝時，將導致連接半導體封裝件與電路板間之銲接接合點變得脆弱。

由上述可知，在材質導致之可靠性問題中，該核心載板內之強化玻璃纖維及樹脂材料對於這些可靠性問題實為在封裝設計上扮演著一關鍵性之角色；並且，亦由於該些材質對於熱性質之不匹配，因此同樣會引發嚴重之變形及控管問題，進而大為影響封裝件之製造良率。

因此，應就半導體封裝製程及材質之放置仔細設計，因其不僅大為影響封裝系統之電子性能及其熱效能，且物理機械結構之崩解亦會引發嚴重之可靠度問題，對於製造良率將造成不利之衝擊。

電子與材質所引發之封裝問題，可就互連載板結

構之適當設計，而可同時減少材質之放置及構成之問題。例如，可將壓板以球面柵格陣列（Ball Grid Array, BGA）及平面柵格陣列（Land Grid Array, LGA）之封裝技術將封裝件設計為一無核心（Core-Less）之 BGA 封裝件，以減少核心材質之影響，進而提升電子性能。

按，美國第 7,060,604 號專利，其係描述一無核心之增層載板，於其中，該核心載板已被摒棄，取而代之為具良好前後傳導路徑之線路片（Wiring Sheets），由一個逐次堆疊於另一個之上，可成功解決導因於核心結構所造成之線路密度限制問題。然而，該種載板卻有一嚴重之缺點，即喪失封裝製程通常需要之堅固支撐；再者，由於該線路片之變形及超薄載板共面控制之不良，於晶片組裝時將會導致尺寸（Dimension）及準線（Alignment）之問題。因此，就其本身之低製造良率，加上可靠度相關之諸多問題，使得該法並不適宜。

在機械結構之適當設計下，係可降低熱性質不匹配所引發之封裝件銲接接合點之壓力問題。例如，可將 BGA 與 LGA 封裝件重新設計成為一針腳柵格陣列（Pin Grid Array, PGA）封裝件，其具有接腳並接觸終端延伸至封裝件上方，可作為封裝件與 PCB 間之托腳（Stand-Off）或絕緣片（Spacer），藉以吸收熱應力而減輕銲接接合點之疲乏，因此，支柱得以隨著兩端之

膨脹而撓屈，進而可降低剪應力（Shear Stress）。

傳統之支柱構成方法，係包括一鍵結互連程序（Bonded Interconnect Process, BIP）及一利用光阻（Photo Resist）之電鍍程序。

該 BIP 係在晶片接點上形成一金質球體（Gold Ball），同時以一金質接腳利用熱壓接引線接合機（Thermo Compression Wire Bonder）從該金質球體向上延伸，之後，該金質接腳係接觸一輔助電路（Support circuit），將其上之銲接球凸塊熔解，待該銲接球回流並冷卻後，係形成一圍繞在該金質接腳之銲接接合點。然而，該法亦有一缺陷，即當線接合機在接點上構成該金質球體時，將對接點造成重壓，因此可能破壞一主動電路（Active Circuitry）下方之接點；此外，該金質接腳中之金亦會溶解於該銲接球，形成一會機械性地削弱該金質接腳之金錫介金屬化合物（Gold-Tin Intermetallic Compound），因而降低該法之可靠度。

又按，美國第 6,177,636 號專利，公告於 2001 年 1 月 23 日，由 Joseph C. Fjelstad 提出，係揭露一以具有複數堅固柱子（Rigid Posts）做為互連終端之可撓屈載板之微電子裝置互連元件製造方法。該些堅固柱子係由耦接於支撐結構之傳導薄片用於蝕刻而產生，於產生柱子後，係將該載板耦接於一半導體晶片上，

電性連接焊墊與各自之引線及柱子。

雖然柱子與可撓屈載板在一定程度上係可與該結構相容，但由於組裝步驟之前與其組裝之時，該技術在三維堆疊之控制上會遭遇許多困難。諸如當其在組裝時，突出之接腳在操作上會發生極大之問題，且組裝後亦會引發多餘之彎曲與短缺，進而在組裝過程中造成反效果。因此，從製造點觀之，該法實為一既麻煩且毫無吸引力之解決辦法。

就現行已知之半導體晶片於組裝之各發展階段與限制之觀點加以考量下，設計一節省成本，且可提供優良製造平台並值得信賴之封裝方法實有其必要，故，一般習用者由習知技術係無法符合使用者於實際使用時之所需。

【發明內容】

本發明之主要目的係在於，解決上述習知技術之問題，及提供一組裝半導體晶片之方法，該方法係使用一具有一金屬基核心載體之增層載板，於其中，該增層載板僅置於該金屬基核心載體之一側，且該金屬基核心載體在組裝上係作為支撐嵌板（Supporting Panel），故可提高該增層載板共平面之強度（Co-Planarity），因此可增加該半導體晶片與該增層載板間之連結強度。

且在某些情況中，當該金屬基核心載體非作為載體之用，係經蝕刻而消耗時，可視作為金屬基座。

本發明之次要目的係在於，提供一半導體晶片組裝方法，使用一具有該金屬基核心載體之增層載板，於其中，該金屬基核心載體將被消耗，並在組裝最後階段移除，以縮短該半導體晶片及組裝載板間之電子傳導路徑，因而增加封裝之電性特性。

本發明之另一目的係在於，提供一半導體晶片組裝方法，使用一具有一金屬基核心載體之增層載板，具有一預先形成之終端，於該金屬基核心載體移除後，該露出之終端可在封裝元件與組裝載板間提供一鉗鎖效應 (Solder Locking Effect)，進而增加電路板層級可靠度 (Board Level Reliability)。

為達以上之目的，本發明係一種具消耗性金屬基核心載體之半導體晶片製造組裝方法，提供一多層增層載板，且該多層增層載板係包含一增層載板及一金屬基核心載體，而為該增層載板組裝用之終端已在該金屬基核心載體中預先形成，該增層載板僅配置在該金屬基核心載體之單一側。該增層載板係包括一相對之第一、二表面，該第一表面係面對一第一方向，該第二表面係接觸該金屬基核心載體，在第一方向垂直延伸於該金屬基核心載體之外，並將該半導體晶片機械性電性附著於該增層載板上，於其中，該半導體晶

片係包含一相對之第一、二表面，該半導體晶片之第一表面係包含一個電極，電性互連該電極至該增層載板，並構成一封裝結構，將一封裝材料於第一方向覆蓋並垂直延伸於該半導體晶片、該增層載板及該金屬基核心載體之外，以及蝕刻該金屬基核心載體之一部分，而不蝕刻該增層載板，以顯露預先形成之終端，該封裝材料並在第二方向垂直延伸於該增層載板之外，從而形成該半導體晶片之組裝。

根據本發明之另一面，為提供一構裝增層載板之方法，該金屬基核心載體第一面係含有複數個凹洞，並在該金屬基核心載體第一面上形成一介電層，且該介電層係包含一開口，係顯露部分之凹洞及該金屬基核心載體；經由該介電層之開口逐次置放一終端金屬及一導電填充物在該凹洞中構裝該終端，並於一第二方向以該金屬基核心載體覆蓋該終端導電體及該導電填充物；並且，僅透過該介電層之開口蝕刻顯露之金屬基核心載體以形成接點，而不蝕刻穿透該金屬基核心載體；以及分別經由無電電鍍或電鍍逐次配置一在該介電層上之線路層，由該介電層上形成之導電盲孔與該線路層電子互連。

根據本發明一實施例，一半導體晶片之組裝製造方法係包括將該半導體晶片附著於一具有金屬基核心載體之增層載板之步驟，該半導體晶片係在第一方向

垂直延伸於該增層載板及該金屬基核心載體之外。

根據本發明之另一實施例，該方法係包含將一半導體晶片機械性附著至一增層載板，再構成一可電性連接該半導體晶片、該增層載板及一金屬基座之接合點。

其組裝方法係可能包括機械熔接複數個金質凸塊至該增層載板之傳導墊，形成連接接合點之步驟，例如，施用超聲功率（Ultrasonic Power）將該金質凸塊置放於該半導體晶片之電極，並將該金質凸塊置放於該增層載板之傳導墊，形成一金-金（Gold-Gold）連接接合點。

又其組裝方法可能亦包括熱熔接該金質凸塊至該增層載板之傳導墊，構成一連接接合點。例如，在該半導體晶片及一金屬基座施加熱及壓力，將該金質凸塊置放於該半導體晶片之電極，並將銲接置於傳導墊上，構成一金錫（Gold-Tin）連接接合點。

根據本發明之另一面，組裝方法包括在金屬基核心載體蝕刻前，形成封裝之步驟，因在該金屬基核心載體蝕刻後，封裝可提供該增層載板機械支撐。

根據本發明之一實施例，該方法包含在形成封裝後，完全蝕刻金屬基核心載體之步驟，因而移除該金屬基座與該增層載板間之所有接觸區域；亦或，該金

屬基核心載體之蝕刻僅移除該金屬載體之一部分，減少與一第一線路層之接觸區域，而不移除接觸終端之金屬之部分，從而減少而非移除該金屬基座與該增層載板間之接觸區域。

根據本發明之另一實施例，該方法包含蝕刻該金屬基座之一部分，電性隔離個別電路圖案之步驟，可形成一絕緣式之基座，在第二方向大致覆蓋該線路層，而未覆蓋該終端，該絕緣式之基座在第二方向垂直延伸於該半導體晶片、該增層載板及封裝材料之外。

【實施方式】

本發明係一種具消耗性金屬基核心載體之半導體晶片製造組裝方法，其至少包括下列步驟：

(A) 提供一多層增層載板，且該多層增層載板係包含一增層載板及一金屬基核心載體，於其中，該增層載板係包括一第一表面及一相對之第二表面，且該第一表面係面對第一方向，由該第二表面接觸該金屬基核心載體，並在第一方向垂直延伸於該金屬基核心載體之外，且該增層載板係透過該金屬基核心載體作電性連接；

(B) 將一半導體晶片以機械之方式附著於該多層增層載板上，於其中，該半導體晶片係包含一第一表面及一相對之第二表面，且該半導體晶片之第一表

面係包含一電極；

(C) 形成一電子連接接合點，電性連接該增層載板與該半導體晶片之電極；

(D) 構成一封裝結構，覆蓋該半導體晶片及該增層載板，於其中，該封裝結構係包含一面對第一方向之第一表面、及一面對於相對該第一方向之第二方向之第二表面，且該封裝結構在該第一方向係垂直延伸於該半導體晶片、該增層載板及該金屬基核心載體之外；以及

(E) 蝕刻該金屬基核心載體，從而形成該半導體晶片之組裝，其中，該金屬基核心載體之蝕刻係包含顯露之線路層、介電層及終端，且不顯露該第二方向之封裝結構，可將一電路圖案與其他於該增層載板上形成之電路圖案作電隔離。

其中，該步驟(A)增層載板之構裝係包含在該金屬基核心載體上形成複數個凹洞後，置放一終端於該複數個凹洞中，並於該金屬基核心載體上逐次置放一線路層；亦或係置放一終端金屬於該金屬基核心載體，形成一終端，且於該金屬基核心載體上逐次置放一線路層，唯該法係不在該金屬基核心載體上形成複數個凹洞。

依據形成複數個凹洞之方法，該複數個凹洞之形

成係包含在該金屬基核心載體上形成一介電層，且該介電層係包含一開口，係顯露出部分之金屬基核心載體及該凹洞，經由該介電層之開口逐次置放一終端金屬及一導電填充物在該凹洞中構裝該終端，並於一第二方向以該金屬基核心載體覆蓋該終端導電體及該導電填充物；並且，僅透過該介電層之開口蝕刻顯露之金屬基核心載體以形成接點，而不蝕刻穿透該金屬基核心載體；以及分別經由無電電鍍或電鍍逐次配置一在該介電層上之線路層，於其中，該線路層之置放係包含至少放置兩層線路層之上方線路層與一下方線路層，而該介電層則於該兩層線路層之間，由該介電層上形成至少一個之導電盲孔與該上、下方線路層電子互連。

請參閱『第2圖』所示，係本發明較佳實施例之增層載板剖面示意圖。如圖所示：本發明係一種多層增層載板210，且該多層增層載板210係具有一金屬基核心載體220及一增層載板230，其中，該增層載板230係置放於該金屬基核心載體220之第一表面220a，其中，該金屬基核心載體220係可視為一金屬基載體，或在某些情況中，當該金屬基核心載體220不但非作為載體之用且在蝕刻過程中消耗時，係視為一金屬基座，此外，該金屬基核心載體220通常係由銅板或其他材質例如鋁製成，亦

或係可經由化學蝕刻或機械去除之合金製成。

該金屬基核心載體 220 係具有一終端 221，該終端 221 係包含一終端金屬 222 及一導電填充物 223，逐次放入該金屬基核心載體 220 之第一表面 220a 下形成之洞孔（圖中未示）中，使用一光阻層（Photo Resist Layer）做為一蝕刻阻擋層（Etch Mask），其中，該終端金屬 222 通常係一可溼式銲接材質（Solder Wettable Material），並可為金、錫、銀、鈇及合金；該導電填充物 223 係以金屬製成，並可為銅、鎳、金、銀、鈇或合金，例如銲錫或導電黏著劑（Conductive Adhesive）。

該終端 221 係從該金屬基核心載體 220 第一表面 220a 延伸進入，但並未穿透該金屬基核心載體 220，本質上，在去除該金屬基核心載體 220 之複數部分後，其第一表面 220a 上之孔洞係提供一預先成形之終端 221 之形狀，其中，該第一表面 220a 上之第一線路層 231 係包含覆蓋在一鎳層上之電鍍銅層，然而，組成該第一線路層 231 所使用之各式結合以及不同之金屬系統，係視所適用技術之需求而定。今為圖示上之便利，該第一線路層 231 上之鎳層及銅層係顯示為一單一金屬導電層，其中，該第一線路層 231 及該終端金屬 222 係可經由電鍍操作來分別或同時電鍍形成，並使用光阻（圖

中未示)作為電鍍阻擋層，且該些層板係可加性構成 (Formed Additively)。

一第一介電層 2 3 2 係以環氧樹脂(Epoxy Resin)製成，係覆蓋於該金屬基核心載體 2 2 0 第一表面 2 2 0 a，並在第一方向覆蓋該第一線路層 2 3 1 以及預先形成之終端 2 2 1。

複數個第一層級盲孔 2 3 3 在該第一介電層 2 3 2 上形成，並顯露該第一線路層 2 3 1 之一部分。一第二線路層 2 3 4 係在該第一介電層 2 3 2 上形成，且該第二線路層 2 3 4 之一部分係延伸進入該第一層級盲孔 2 3 3 接觸該第一線路層 2 3 1。

一第二介電層 2 3 5 係塗佈在該第一介電層 2 3 2，並覆蓋在該第二線路層 2 3 4 上，且有複數個第二層級盲孔 2 3 6 在該第二介電層底部 2 3 5 a 形成，並顯露該第二線路層 2 3 4。一第三線路層 2 3 7 係在該第二介電層 2 3 5 上形成，該第三線路層 2 3 7 之一部分係延伸進入該第二層級盲孔 2 3 6，並在第一方向接觸該第二線路層 2 3 4。

一防銲電阻層 2 3 8 係塗佈於該第二介電層 2 3 5 上，並在第一方向覆蓋該第三線路層 2 3 7，該防銲電阻層 2 3 8 上係形成複數個開口 2 3 9，以顯露該第三線路層 2 3 7，並將複數個傳導墊 2 4 0 置放入該第三線路層 2 3 7 上之開口 2 3 9。

藉此，由該金屬基核心載體 2 2 0、預先形成之終端 2 2 1、第一、二及三線路層 2 3 1、2 3 4、2 3 7、第一、二介電層 2 3 2、2 3 5、以及複數個傳導墊 2 4 0，構成本實施例一具有該金屬基核心載體 2 2 0 之多數增層載板 2 1 0。並且，由於本實施例係描述提供具有一個該金屬基核心載體 2 2 0 之三層層板之增層載板方法，於此之外，亦可視適用情況依照同樣方法，建立不同數量層板之增層載板。

請參閱『第 3 圖』所示，係本發明之半導體裝置封裝剖面示意圖。如圖所示：係為一半導體裝置 3 0 0，該半導體裝置 3 0 0 係包括一半導體晶片 3 0 1，具有一電極 3 0 2 及複數個凸塊 3 0 3，該半導體晶片 3 0 1 係翻轉固定於一增層載板 3 3 0 之傳導墊 3 4 0 之上，其終端 3 2 2 係做為下一層級組裝互連之用，且預先在一金屬基核心載體上形成，並在去除金屬基座選定之部分後露出於外。

一製造該半導體裝置 3 0 0 之方法，包含前述構造，將依據第 4 A 圖～第 4 E 圖說明。

請參閱『第 4 A 圖～第 4 E 圖』所示，係分別為本發明於半導體晶片表面形成金質凸塊剖面示意圖、本發明固定於增層載板之半導體晶片剖面示意圖、本發明之充填熱固性樹脂剖面示意圖、本發明在增層載板上形成之封裝剖面示意圖及本發明移除金屬基核心

載體後之組裝結構剖面示意圖。如圖所示：第 4 A 圖係顯示複數個金質凸塊 4 0 3 在一半導體晶片 4 0 1 表面之每一電極 4 0 2 上形成，且該金質凸塊 4 0 3 係可以打線接合（Wire Bonding）或金屬電鍍之方式形塑為突出或半球之狀，其中，該金質凸塊 4 0 3 之材質並不僅限於金，亦可使用錫，銅或鋁等其他材質。

第 4 B 圖係顯示將該半導體晶片 4 0 1 固定於一為金屬基之增層載板 4 1 0。首先將該半導體晶片 4 0 1 第一表面 4 0 1 a 具有之金質凸塊 4 0 3 面對下方，再施加熱與壓力於該半導體晶片 4 0 1，以將該金質凸塊 4 0 3 打造進入該增層載板 4 1 0 上之傳導墊 4 4 0，由於該金質凸塊 4 0 3 係接觸並電性連接該電極 4 0 2 至各自之電鍍傳導墊 4 4 0，使所有之電極 4 0 2 焊接區可共同電性連接及縮減穿透一金屬基核心載體 4 2 0。在這樣覆晶排列中，該半導體晶片 4 0 1 第一表面 4 0 1 a 係面朝下方接觸該增層載板 4 1 0，而該半導體晶片 4 0 1 第二表面 4 0 1 b 則面朝上方，與該增層載板 4 1 0 背離，向外露出。

第 4 C 圖係顯示一熱固性樹脂 4 3 0 被加熱硬化之後，係可作為將該半導體晶片 4 0 1 與該增層基板 4 1 0 緊密貼合之黏著劑，該熱固性樹脂 4 3 0 不僅接觸該半導體晶片 4 0 1 之第一表面 4 0 1 a 與該增層基板 4 1 0 間作延展，並且亦同時接觸該半導體晶

片 4 0 1 之外緣。

第 4 D 圖係顯示於該增層基板 4 1 0 上形成封裝。將一具有第一表面 4 5 0 a 及一相對之第二表面 4 5 0 b 之封裝材料 4 5 0，以該第一表面 4 5 0 a 面對上方，另一相對之第二表面 4 5 0 b 面對下方，由該封裝材料 4 5 0 向上延展於該半導體晶片 4 0 1、該熱固性樹脂 4 3 0 及該增層載板 4 1 0 之外，於其中，該封裝材料 4 5 0 接觸該半導體晶片 4 0 1 之第二表面 4 0 1 b，自該半導體晶片 4 0 1 外緣接觸該熱固性樹脂 4 3 0 及該增層載板 4 1 0 之表面 4 1 0 a，雖然該封裝材料 4 5 0 係覆蓋於該金屬基核心載體 4 2 0 上，但由於該增層載板 4 1 0 之緣故，因此係與該金屬基核心載體 4 2 0 隔離，其中，該封裝材料 4 5 0 係一固態黏性可壓縮之保護層，可做為環境之防護，不僅可提供晶片耐溼性及防塵，而且可在該金屬基核心載體 4 2 0 移除後，可機械性支撐該增層載板 4 1 0。

該封裝材料 4 5 0 係可使用各式之技術置放，包括印刷及注壓成型，例如可將該封裝材料 4 5 0 印在該半導體晶片 4 0 1 及該增層載板 4 1 0 上做為環氧黏著劑（Epoxy Paste）使用，待固化或硬化形成一固態黏性保護層；另一方面，該封裝材料 4 5 0 亦非必需接觸該半導體晶片 4 0 1 或該增層載板 4 1 0。

例如，在將該半導體晶片 4 0 1 貼附於該增層載板 4 1 0 後，可在該半導體晶片 4 0 1 上置放一外層圓頂封裝體 (Glob-Top)，而後在該外層圓頂封裝體上構裝該封裝材料 4 5 0，而其環氧黏著劑或鑄模材料，則在此技術中為人所熟知。

該封裝材料 4 5 0 不僅可提供該半導體晶片 4 0 1 及該增層載板 4 1 0 主要之機械性支撐，同時也可減輕該增層載板 4 1 0 之機械性壓力，在該金屬基座 4 2 0 移除後尤可見其功效；另外，在溼式化學蝕刻以及其後之清洗步驟（例如以蒸餾水沖洗及送風）時，該封裝材料 4 5 0 亦可保護該半導體晶片 4 0 1、該增層載板 4 1 0、以及終端不受機械損害。

第 4 E 圖係顯示該金屬基核心載體以背側溼式化學蝕刻法將全體之金屬基核心載體去除所成之組裝結構。例如，當頂端之水霧噴頭被撤掉時，底部之水霧噴頭係可噴出溼式化學蝕刻溶劑至該金屬基核心載體，或者，由於該封裝材料 4 5 0 係可提供前側防護，因此亦可將整體結構浸泡於溼式化學蝕刻溶劑中。

在實施溼式化學蝕刻時，由於與鎳、金、樹脂、防焊層及鑄模材料有關，因此溼式化學蝕刻時大多選擇銅；也因此，由於與第一線路層之鎳層、凸塊之金、終端金屬、樹脂、及封裝材料有關，因此大多選擇該金屬基座。再者，該第一線路層上之鎳層，及凸塊終

端金屬之金係可防護該第一線路層下方之銅層，及凸塊終端不受溼式化學蝕刻，因此，不會去除太多之第一線路層、凸塊終端、樹脂及封裝材料；另外，該半導體晶片、凸塊及較高之線路層亦不會暴露於溼式化學蝕刻中。

因此該溼式化學蝕刻主要係去除該金屬基座，以該溼性化學蝕刻消除該金屬基核心載體與該第一線路層間之接觸區域、該金屬基核心載體與該第一電介層間之接觸區域、及該金屬基核心載體與預先形成之終端間之區域。藉此，由該溼式化學蝕刻使該第一線路層、該第一介電質層、及預先成形之終端予以顯露，而顯露該封裝材料及該半導體晶片。

適合作為溼式化學蝕刻之溶劑為一種含有鹼性氨（Alkaline Ammonia）之溶劑，並可藉由錯誤試驗中建立最佳蝕刻時機，進而能去除該金屬基座，且不至於過度將電路系統及預先成形之終端暴露於溼式化學蝕刻。

請參閱『第5圖』所示，係本發明另一較佳實施例之組裝剖面示意圖。如圖所示：一半導體晶片500之組裝製作方法，係包含將一半導體晶片501機械附著於多層增層載板之步驟，於其中，該半導體晶片501係包含一電極502、複數個在該電極502上形成之金質凸塊503、及一覆蓋在該半導體晶

片 5 0 1 與該增層載板上之封裝材料 5 5 0 。首先選擇性蝕刻一金屬基座（圖中未示），以形成一金屬柱式終端 5 2 1 。

該金屬柱式終端 5 2 1 僅在該封裝材料 5 5 0 覆蓋該半導體晶片 5 0 1 後形成，不僅可提供機械性支撐，且組裝過程便利。因為在組裝程序實施時，若該金屬柱式終端 5 2 1 先於該半導體晶片 5 0 1 組裝前形成，則為避免損害該金屬柱式終端 5 2 1，其載體需經特別操作；此外，若有需要，其係可置放一銲接材料（圖中未示）於該金屬柱式終端 5 2 1，以形成一銲接終端。

藉由選擇性蝕刻該金屬基座，形成該金屬柱式終端 5 2 1，使成為一突起部分之配置，在第二方向垂直延伸於該增層載板之外，因為在該金屬基座之第二表面係置放有一光阻罩（圖中未示）或金屬罩（圖中未示），藉此可限定選擇欲蝕刻之部分，因而在光阻下之金屬基座之部份可在蝕刻以後被保留。

以上所述之半導體晶片組裝僅具示範性，仍應考量其他諸多實施例，例如，以上所述之半導體晶片翻轉之安排，當該半導體晶片未倒轉時，係可轉換至一線路接合組裝模式；同樣地，預先成形之終端係可視設計與信賴度之考量而有各種形狀，例如一錐形柱式終端、一平底終端或一弧形突起狀。

導電充填物係不需將凹洞完全填滿；同樣地，在蝕刻該金屬基座時亦不需完全去除，例如，在該金屬基座與終端隔離之一部分係可完整保留，藉以提供一散熱功能。

線路層係可以各種導電金屬製成，包括銅、金、鎳、銀、鈹、錫、及其合成物與合金。該線路層之較佳組構，係依製程相容性、設計與可信賴度等因素，以及線路層之可扇進、扇出之功能而定，在該半導體晶片組裝技術領域中，係熟知此項技術之人所能理解。

可使用多種技術將該第一線路層置放於金屬基核心載體，包括電鍍或無電鍍。例如，該第一線路層係包含一在一銅質基座上電鍍之無銅層，其後係一在無銅層上電鍍之銅質層，於其中，適合電鍍程序之無銅層包括了鎳、金、鈹及銀。待封裝形成之後，實施溼式化學蝕刻，因與無銅層有關，因此溼式化學蝕刻時大多選擇銅來蝕刻該銅質基座，以露出該第一線路層，而不除去該銅質層或該無銅層。該無銅層提供一蝕刻停止處，可防止溼式化學蝕刻去除該銅質層；另外，於本發明中，該第一線路層與該金屬基座之金屬係屬相異之材質，即便一多層載板電路線(Multi-Layer Routing Line)包含一例如與以上描述範例中之金屬基座類似之單一層板，同樣的，係可以同樣之方法形成終端導電，並與該第一線路層同時形成。

視下一層級之組裝需求，係可使用印刷或配置技術，將一銲接材料或銲接球置放於終端。

在本發明背景中，任何埋封入封裝材料中之晶片，係經由一包含增層載板之電子傳導途徑連接終端，意味著該增層載板係處於各別終端以及任何埋封於該封裝材料之晶片間之電子傳導途徑中。

這與埋封入該封裝材料係單一晶片或多晶片完全無關，並且與電子傳導途徑係包含或要求一被動元件，例如電容器或電阻器完全無關，亦也與多晶片係否以多連接接合點電子連接至增層載板完全無關。只要每一電子傳導途徑包含增層載板，與多晶片係否以不同之電子傳導途徑電子連接至終端也完全無關。

第一與第二垂直方向非依組裝定位，對習知此項技術之人而言至為明顯。例如，該封裝材料在第一方向垂直延伸於該增層載板之外，終端在第二方向垂直延伸於該增層載板之外，皆與組裝係否被倒轉及/或固定於印刷電路板無關。同樣地，位於該增層載板中之線路層橫向延伸，該增層載板中之盲孔垂直延伸，亦無關乎組裝係否反轉、倒轉或排序，因此，第一方向及第二方向各自相對，與橫向成直角，此外，該半導體晶片係顯露在該增層載板及終端之上；該封裝材料係顯露在該半導體晶片之上。而為了各圖間比較上之便利，在所有之圖示中，該增層載板及終端係具有一

單獨定位，然而在各種製造平台上，組裝及其物件可能係相反的。

本發明有利之處，係在於該半導體晶片之組裝可在一固態支撐嵌板(solid supporting panel)上方便製造，因此能夠改善尺寸穩定性與控管上之問題。其方法不僅值得信賴，且價格低廉，特別係在高性能之半導體晶片及模組之適用上。藉由使用一熱壓縮覆晶接合(Thermo-Compression Bonding)技術或一熱超聲覆晶接合(Thermo-Sonic Bonding)技術時，並利用該金屬基核心載體提供一三維穩固且具高熱傳導及堅固之支撐，在該金質凸塊與金質之傳導墊間之熱超聲接合所形成之黃金材質整體結構中，由其獨特之金屬性金-金(Gold-Gold)接合，可於固定該半導體晶片之階段時，提供卓越之接合強度，進而可確保該半導體晶片與該增層載板間一可靠之接合，此外，在該金屬基核心載體提供之高熱傳導不僅可促進熱超聲接合，同時於互連時亦可保持低接觸電阻並維持高電流，因而可提供優良之高頻性能(低電感)。

由於本發明於組裝時非使用傳統核心，因此訊號之整合更為良好，並具更佳之機械可靠度；並且，該金屬基核心載體為一消耗性金屬，並非載板整體之一部分，所以其載板非常之薄，在該金屬基核心載體被蝕刻並移除後，係由該封裝材料機械性支撐並防護該

半導體晶片與該增層載板，且由該增層載板提供複雜之電子線路性能，以確保電路圖案之已知介電質，進而可確實掌握電性特性。

本發明在組裝上之特點，係為金屬之終端預先形成，因此可為之後支柱組裝（Post-Assembly）銲接終端球（Solder Terminal Ball）之過程提供更佳之載板層級可靠度，因而可大幅改善製程操作及製造良率。此外，本發明更可配合各種晶片層級互連技術靈活組裝，諸如覆晶接合（Flip Chip）、打線固定（Wire Bonds）或捲帶式自動接合（Tape Automated Bonding, TAB）引線等，係不需額外之工具與支承構架即可完成。再者，於製造組裝時所使用之材質更可與銅質晶片及無鉛環境相容。

綜上所述，本發明係一種具消耗性金屬基核心載體之半導體晶片製造組裝方法，可有效改善習用之種種缺點，整個過程適用性高，並可以獨特進步之方式，使用多種成熟連接接合技術，因此，相較於傳統封裝技術，本發明之組裝係可大幅增益產量、良率及性能特性。除此之外，本發明之組裝亦很適合使用可與銅質晶片相容之材質，進而使本發明之產生能更進步、更實用、更符合使用者之所須，確已符合發明專利申請之要件，爰依法提出專利申請。

惟以上所述者，僅為本發明之較佳實施例而已，

當不能以此限定本發明實施之範圍；故，凡依本發明申請專利範圍及發明說明書內容所作之簡單的等效變化與修飾，皆應仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

第 1 圖，係為一傳統增層載板主要部分剖面示意圖。

第 2 圖，係本發明較佳實施例之增層載板剖面示意圖。

第 3 圖，係本發明之半導體裝置封裝剖面示意圖。

第 4 A 圖，係本發明於半導體晶片表面形成金質凸塊剖面示意圖。

第 4 B 圖，係本發明固定於增層載板之半導體晶片剖面示意圖。

第 4 C 圖，係本發明之充填熱固性樹脂剖面示意圖。

第 4 D 圖，係本發明在增層載板上形成之封裝剖面示意圖。

第 4 E 圖，係本發明移除金屬基核心載體後之組裝結構剖面示意圖。

第 5 圖，係本發明另一較佳實施例之組裝剖面示意圖。

【主要元件符號說明】

（本發明部分）

多層增層載板 2 1 0

金屬基核心載體 2 2 0

第一表面 2 2 0 a

終端 2 2 1

終端金屬 2 2 2

導電填充物 2 2 3

增層載板 2 3 0

第一線路層 2 3 1

第一介電層 2 3 2

第一層級盲孔 2 3 3

第二線路層 2 3 4

第二介電層 2 3 5

底部 2 3 5 a

第二層級盲孔 2 3 6

第三線路層 2 3 7

防銲電阻層 2 3 8

開口 2 3 9

傳導墊 2 4 0

半導體裝置 3 0 0

半導體晶片 3 0 1

電極 3 0 2

凸塊 3 0 3

金屬基核心載體 3 2 0

終端 3 2 2

增層載板 3 3 0

傳導墊 3 4 0

半導體晶片 4 0 1

第一、二表面 4 0 1 a、4 0 1 b

電極 4 0 2

金質凸塊 4 0 3

增層載板 4 1 0

表面 4 1 0 a

金屬基核心載體 4 2 0

熱固性樹脂 4 3 0

傳導墊 4 4 0

封裝材料 4 5 0

第一、二表面 4 5 0 a、4 5 0 b

半導體晶片 5 0 0

半導體晶片 5 0 1

電極 5 0 2

金質凸塊 5 0 3

金屬柱式終端 5 2 1

封裝材料 5 5 0

(習 用 部 分)

增 層 載 板 1 1 0

核 心 載 板 1 2 0

第 一 表 面 1 2 0 a 、 1 2 0 b

通 孔 1 2 1

電 鍍 導 電 體 1 2 2

樹 脂 1 2 3

第 一 、 二 增 層 載 板 1 3 0 、 1 5 0

第 一 線 路 層 1 3 1 、 1 5 1

第 一 介 電 層 1 3 2 、 1 5 2

第 一 層 級 盲 孔 1 3 3

第 二 線 路 層 1 3 4 、 1 5 4

第 二 介 電 層 1 3 5 、 1 5 5

第 二 層 級 盲 孔 1 3 6

第 三 線 路 層 1 3 7 、 1 5 7

防 焊 層 1 3 8 、 1 5 8

開 口 1 3 9

導 電 墊 1 4 0 、 1 6 0

五、中文發明摘要：

一種具消耗性金屬基核心載體之半導體晶片製造組裝方法，該半導體晶片之組裝係將一半導體晶片附著於一具金屬基核心載體（Metal-Based Core Carrier）之多層增層載板（Multi-Layer Build-Up），當該金屬基核心載體為半導體組裝提供不可或缺之機械性支撐時，該增層載板（Build-Up Layers）各層板係提供電路功能。最後，由於該金屬基核心載體為消耗性物件，因此最終將會移除，而該增層載板則予以保留。

六、英文發明摘要：

十、申請專利範圍：

1. 一種具消耗性金屬基核心載體之半導體晶片製造組裝方法，至少包含下列步驟：

(A) 提供一多層增層載板，且該多層增層載板係包含一增層載板及一金屬基核心載體，於其中，該增層載板係包括一第一表面及一相對之第二表面，且該第一表面係面對第一方向，由該第二表面接觸該金屬基核心載體，並在第一方向垂直延伸於該金屬基核心載體之外，且該增層載板係透過該金屬基核心載體作電性連接；

(B) 將一半導體晶片以機械之方式附著於該多層增層載板上，於其中，該半導體晶片係包含一第一表面及一相對之第二表面，且該半導體晶片之第一表面係包含一電極；

(C) 形成一電子連接接合點，電性連接該增層載板與該半導體晶片之電極；

(D) 構成一封裝結構，覆蓋該半導體晶片及該增層載板，於其中，該封裝結構係包含一面對第一方向之第一表面、及一面對於相對該第一方向之第二方向之第二表面，且該封裝結構在該第一方向係垂直延伸於該半導體晶片、該增層載板及該金屬基核心載體之外；以及

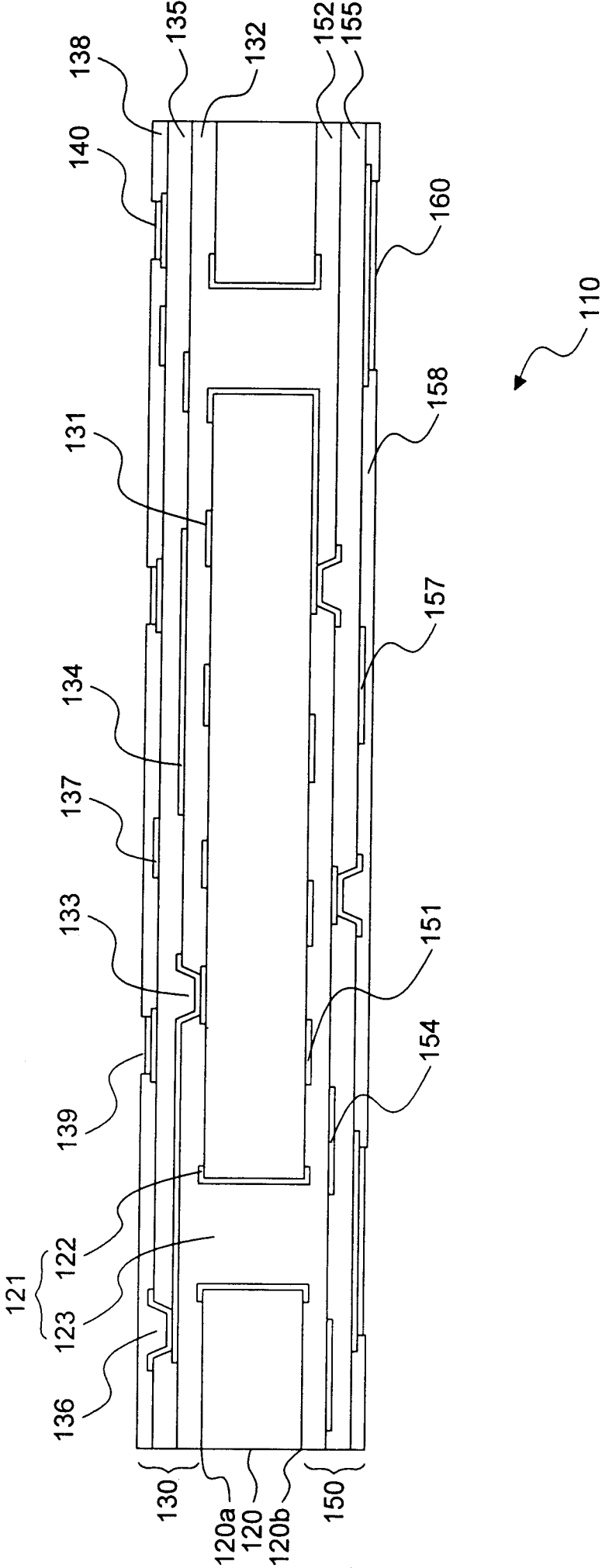
(E) 蝕刻該金屬基核心載體，從而形成該半導體晶片之組裝。

2. 依據申請專利範圍第1項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該增層載板之構裝係包含在該金屬基核心載體上形成複數個凹洞後，置放一終端於該複數個凹洞中，以及於該金屬基核心載體上逐次置放一線路層。
3. 依據申請專利範圍第2項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該複數個凹洞之形成係包含在該金屬基核心載體上形成一介電層，且該介電層係包含一開口，係顯露出部分之金屬基核心載體，以及透過該介電層之開口，蝕刻顯露之金屬基核心載體，而不蝕刻穿透該金屬基核心載體。
4. 依據申請專利範圍第2項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該終端導電體之置放係包含在該金屬基核心載體上形成一介電層，且該介電層係包含一開口，係顯露出該凹洞之部分，以及經由該介電層之開口逐次置放一終端金屬及一導電填充物，在該凹洞中構裝該終端，並於一第二方向以該金屬基核心載體覆蓋該終端金屬及該導電填充物。

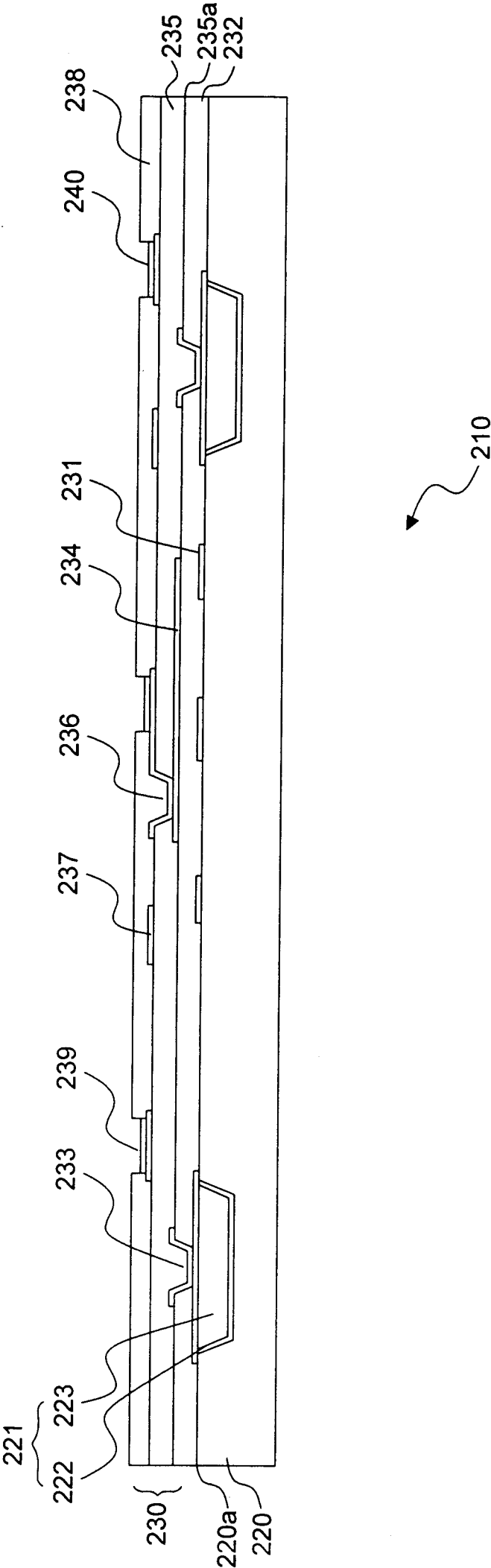
5. 依據申請專利範圍第2項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該線路層之逐次置放係包含至少放置兩層線路層之上方線路層與一下方線路層，以及一在該兩層線路層間之介電層。
6. 依據申請專利範圍第5項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該線路層之逐次置放係透過該介電層上至少一個導電盲孔，連接該上方線路層與該下方線路層。
7. 依據申請專利範圍第1項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該增層載板之構裝係包含置放一終端金屬於該金屬基核心載體，形成一終端，以及於該金屬基核心載體上逐次置放一線路層。
8. 依據申請專利範圍第1項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該方法係可進一步包含在該金屬基核心載體於蝕刻之前，將該半導體晶片附著於該增層載板，並將二者互連。
9. 依據申請專利範圍第1項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該金屬基核心載體於蝕刻之前，係可進行該封裝。
10. 依據申請專利範圍第1項所述之具消耗性金屬基

核心載體之半導體晶片製造組裝方法，其中，該金屬基核心載體之蝕刻係包含顯露之線路層、介電層、及終端，且不顯露第二方向之封裝結構。

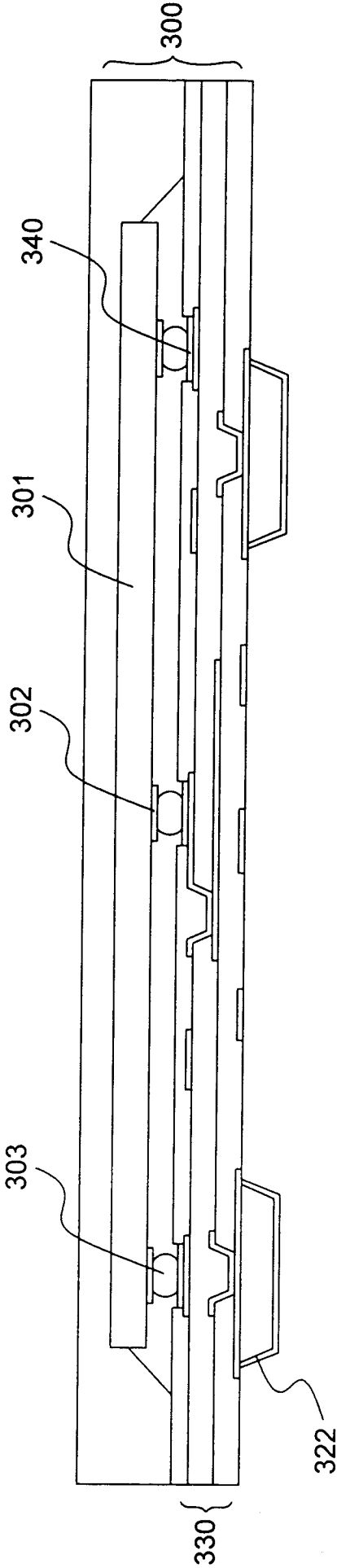
- 1 1．依據申請專利範圍第 1 項所述之具消耗性金屬基核心載體之半導體晶片製造組裝方法，其中，該金屬基核心載體之蝕刻係將一電路圖案與其他於該增層載板上形成之電路圖案作電隔離。



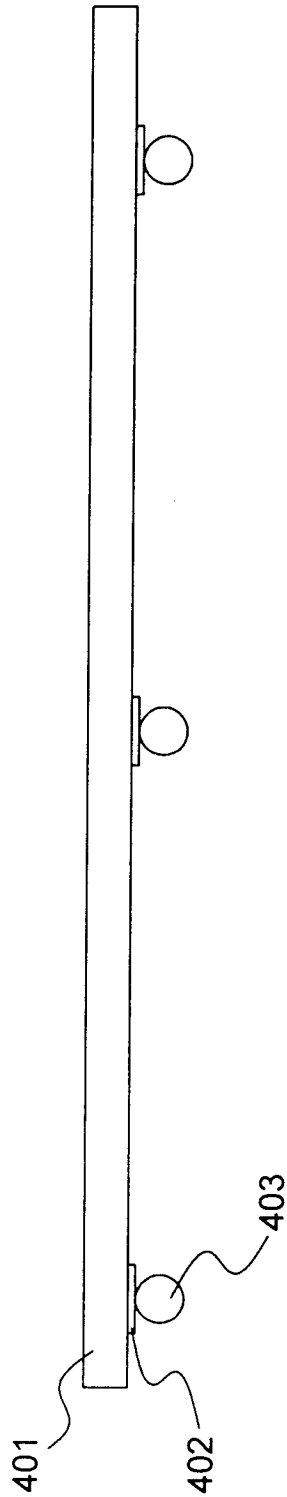
第1圖
(習用)



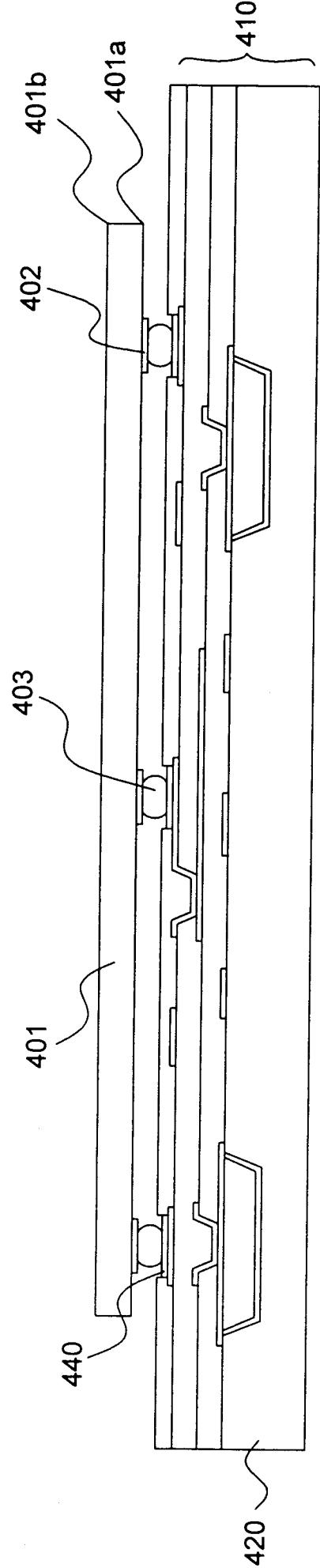
第2圖



第3圖



第4A圖



第4B圖

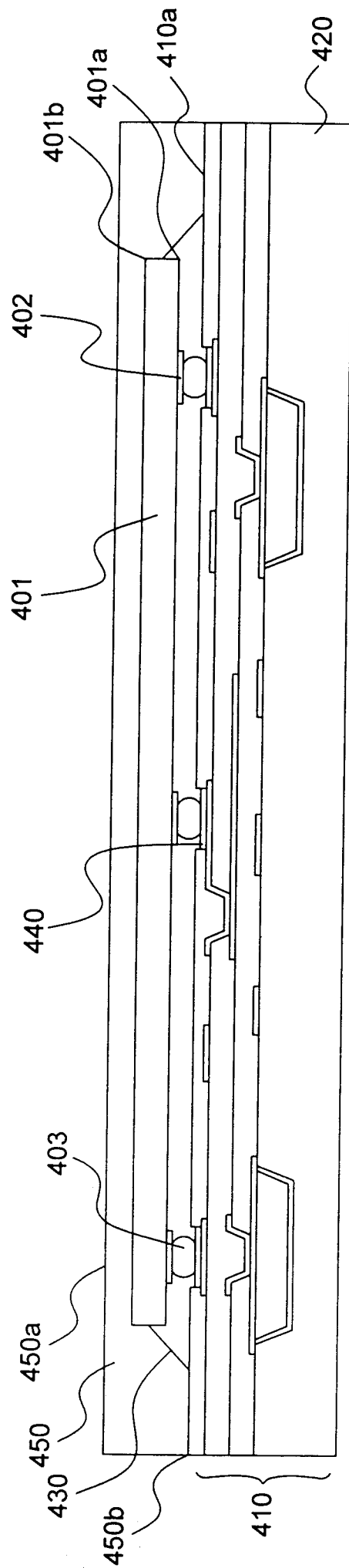
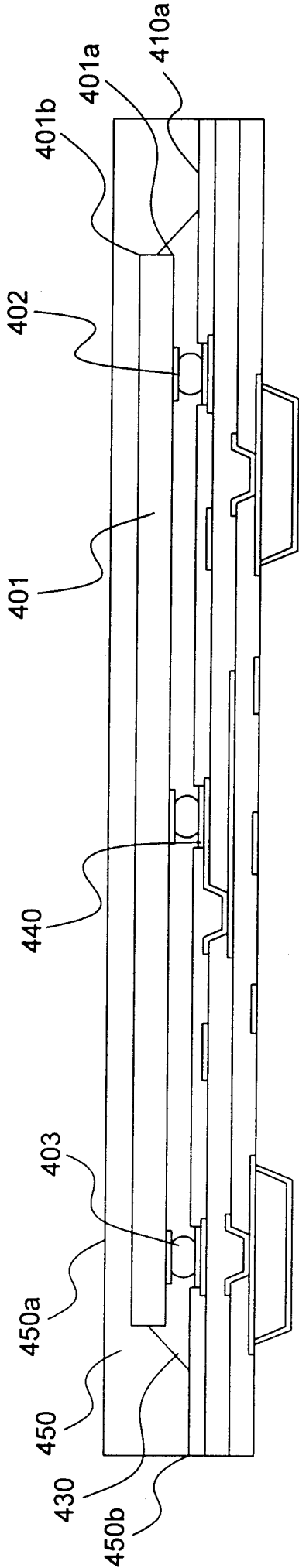
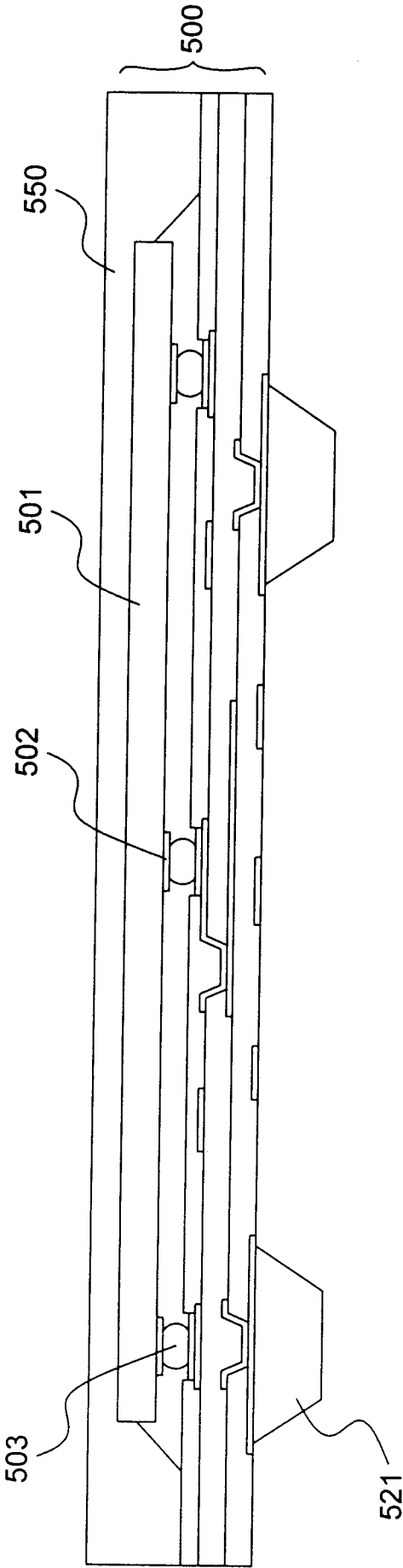


圖
第4D



第4E圖



第5圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

增層載板 1 1 0

核心載板 1 2 0

第一表面 1 2 0 a、1 2 0 b

通孔 1 2 1

電鍍導電體 1 2 2

樹脂 1 2 3

第一、二增層載板 1 3 0、1 5 0

第一線路層 1 3 1、1 5 1

第一介電層 1 3 2、1 5 2

第一層級盲孔 1 3 3

第二線路層 1 3 4、1 5 4

第二介電層 1 3 5、1 5 5

第二層級盲孔 1 3 6

第三線路層 1 3 7、1 5 7

防焊層 1 3 8、1 5 8

開口 1 3 9

200921884

導電墊 1 4 0 、 1 6 0

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：