

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3710507号  
(P3710507)

(45) 発行日 平成17年10月26日(2005.10.26)

(24) 登録日 平成17年8月19日(2005.8.19)

(51) Int. Cl.<sup>7</sup>

F I

G 1 1 C 11/22  
H O 1 L 21/8247  
H O 1 L 27/10  
H O 1 L 29/788  
H O 1 L 29/792

G 1 1 C 11/22 5 O 1 H  
H O 1 L 27/10 4 5 1  
H O 1 L 29/78 3 7 1

請求項の数 14 (全 22 頁)

(21) 出願番号	特願平6-319939	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成6年12月22日(1994.12.22)	(74) 代理人	100092956 弁理士 古谷 栄男
(65) 公開番号	特開平8-36891	(74) 代理人	100101018 弁理士 松下 正
(43) 公開日	平成8年2月6日(1996.2.6)	(74) 代理人	100101546 弁理士 眞島 宏明
審査請求日	平成13年4月10日(2001.4.10)	(72) 発明者	西村 清 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
(31) 優先権主張番号	特願平6-3798	(72) 発明者	林 秀紀 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
(32) 優先日	平成6年1月18日(1994.1.18)		
(33) 優先権主張国	日本国(JP)		
(31) 優先権主張番号	特願平6-104109		
(32) 優先日	平成6年5月18日(1994.5.18)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ

(57) 【特許請求の範囲】

【請求項1】

第1導電型のソース領域およびドレイン領域、  
ソース領域とドレイン領域との間に形成された第2導電型のチャネル領域、  
チャネル領域の上に、チャネル領域と絶縁して形成された導電体層であるメモリゲート、  
下部導電体層の上に形成された強誘電体層、  
強誘電体層の上に形成された導電体層であるコントロールゲート、  
を備えた不揮発性メモリ素子をマトリクス状に接続した不揮発性メモリであって、  
各列の同一行の不揮発性メモリ素子のドレイン領域を接続するドレインライン、  
各列の同一行の不揮発性メモリ素子のコントロールゲートを接続するコントロールゲートライン、  
各行の同一列の不揮発性メモリ素子のソース領域およびチャネル領域を接続するソースライン、  
を備えた不揮発性メモリにおいて、  
各コントロールゲートラインに接続され、不揮発性メモリ素子のしきい値電圧と実質的に等しい基準電圧をそれぞれ供給する基準電圧発生回路であって、  
前記不揮発性メモリ素子と同じ構造を有し、同じプロセスによって製造される基準電圧発生用素子のドレイン領域とメモリゲートとコントロールゲートとを電氣的に短絡し、ドレイン領域に基準電流を与えることにより、ドレイン領域から基準電圧を得るようにした

10

20

基準電圧発生回路、

を備えたことを特徴とする不揮発性メモリ。

【請求項 2】

第 1 導電型のソース領域およびドレイン領域、

ソース領域とドレイン領域との間に形成された第 2 導電型のチャンネル領域、

チャンネル領域の上に、チャンネル領域と絶縁して形成された導電体層であるメモリゲート

、  
下部導電体層の上に形成された強誘電体層、

強誘電体層の上に形成された導電体層であるコントロールゲート、

を備えた不揮発性メモリ素子をマトリクス状に接続した不揮発性メモリであって、

各列の同一行の不揮発性メモリ素子のドレイン領域を接続するドレインライン、

各列の同一行の不揮発性メモリ素子のコントロールゲートを接続するコントロールゲートライン、

各行の同一列の不揮発性メモリ素子のソース領域およびチャンネル領域を接続するソースライン、

を備えた不揮発性メモリにおいて、

各ドレインラインに接続され、ドレイン電流を検出して不揮発性メモリ素子の記録情報を判定するドレイン電流判定回路であって、

前記不揮発性メモリ素子と同じ構造を有し、同じプロセスによって製造される第 1 の電流判定用素子のドレイン領域とメモリゲートとコントロールゲートとを電氣的に短絡し、  
ドレイン領域に不揮発性メモリ素子のしきい値電圧に対応した電流を与え、

前記不揮発性メモリ素子と同じ構造を有し、同じプロセスによって製造される第 2 の電流判定用素子のメモリゲートとコントロールゲートとを電氣的に短絡し、コントロールゲートを前記第 1 の電流判定用素子のコントロールゲートと接続し、ドレイン領域に前記不揮発性メモリ素子のしきい値電圧に対応した電流の半分を与え、

第 2 の電流判定用素子のコントロールゲート電極に不揮発性メモリのドレイン領域を接続し、

第 2 の電流判定用素子が ON 状態となるか、OFF 状態となるかによって、ドレイン電流の判定を行うドレイン電流判定回路、

を備えたことを特徴とする不揮発性メモリ。

【請求項 3】

請求項 1 または請求項 2 の不揮発性メモリにおいて、

各列のドレインラインを互いに接続する統合ドレインライン、

各ドレインラインごとに設けられ、各ドレインラインを統合ドレインラインを介してドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段、

を設けるとともに、

対象となる不揮発性メモリ素子の接続されたドレインラインに設けられたドレインスイッチング手段をオンにし、他のドレインスイッチング手段をオフとするように構成したこと

を特徴とするもの。

【請求項 4】

請求項 1 または請求項 2 の不揮発性メモリにおいて、

各列のドレインラインを互いに接続する統合ドレインライン、

各ドレインラインごとに設けられ、各ドレインラインを統合ドレインラインを介してドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段、

各ソースラインごとに設けられ、各ソースラインを接地電圧に接続するか否かまたは基準電圧に接続するか否かのスイッチングをするソーススイッチング手段、

各コントロールゲートラインごとに設けられ、書き込みのための H レベルの電圧または L レベルの電圧を印加するか否かのスイッチングをするコントロールゲートスイッチング手段、

10

20

30

40

50

を備えことを特徴とするもの。

【請求項 5】

請求項 4 の不揮発性メモリにおいて、

不揮発性メモリの各行に対応して設けられ、第 1 の選択入力を受けて、前記ドレインスイッチング手段をオン・オフさせるとともに、第 1 の選択入力をコントロールゲートスイッチング手段のオン・オフの少なくとも一条件として用いる第 1 の選択手段、

不揮発性メモリの各列に対応して設けられ、第 2 の選択入力を受けて、前記ソーススイッチング手段をオン・オフさせる第 2 の選択手段、

を備えことを特徴とするもの。

【請求項 6】

請求項 4 または請求項 5 の不揮発性メモリにおいて、

何れの行にも選択入力を与えられていない場合には、すべてのコントロールゲートスイッチング手段をオフにして、コントロールゲートに基準電圧を与え、すべてのソーススイッチング手段をオンにして、ソースに接地電圧を与えるようにしたことを特徴とするもの。

【請求項 7】

請求項 1、2、3、4、5 または 6 の不揮発性メモリにおいて、

各列の同一行の不揮発性メモリ素子のコントロールゲートは、コントロールゲート保護スイッチング手段を介して、コントロールゲートラインに接続されていることを特徴とするもの。

【請求項 8】

請求項 7 の不揮発性メモリにおいて、

対象となる不揮発性メモリ素子の属する列のコントロールゲート保護スイッチング手段をオンとして、対象となる不揮発性メモリ素子の属する列以外の列のコントロールゲート保護スイッチング手段をオフとして、読み出しおよび書き込み動作を行うことを特徴とするもの。

【請求項 9】

請求項 1、2、3、4、5、6 または 7 の不揮発性メモリにおいて、

各列の同一行の不揮発性メモリ素子のドレイン領域は、ドレイン保護スイッチング手段を介して、ドレインラインに接続されていることを特徴とするもの。

【請求項 10】

請求項 9 の不揮発性メモリにおいて、

対象となる不揮発性メモリ素子の属する行のドレイン保護スイッチング手段をオンとして、対象となる不揮発性メモリ素子の属する行以外の行のドレイン保護スイッチング手段をオフとして、読み出しおよび書き込み動作を行うことを特徴とするもの。

【請求項 11】

請求項 1 の不揮発性メモリに情報を書き込む方法であって、

対象となる不揮発性メモリ素子が接続されたソースラインに、不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧として印加し、他のソースラインをフローティング状態とし、

対象となっていない不揮発性メモリ素子が接続されたコントロールゲートラインに、不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧として印加するとともに、対象となる不揮発性メモリ素子が接続されたコントロールゲートラインに、前記基準電圧よりも大きい H レベルの電圧を印加して、対象となる不揮発性メモリ素子の誘電体層を第 1 の状態に分極させるか、または前記基準電圧よりも小さい L レベルの電圧を印加して、対象となる不揮発性メモリ素子の誘電体層を第 2 の状態に分極させることにより、情報の書き込みを行うこと

を特徴とする書き込み方法。

【請求項 12】

請求項 1 の不揮発性メモリに書き込まれた情報を読み出す方法であって、

対象となる不揮発性メモリ素子が接続されたソースラインを接地し、他のソースラインをフローティング状態とし、

全てのコントロールゲートラインに、不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧として印加し、

対象となる不揮発性メモリが接続されたドレインラインに流し得る電流が、前記しきい値電圧に対応する電流よりも小さいか大きいかを判定して、書き込まれた情報を非破壊的に読み出すこと、

を特徴とする読み出し方法。

#### 【請求項 1 3】

請求項 1 の不揮発性メモリのスタンバイ方法であって、

コントロールゲートラインの全てに不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧を印加し、ソースラインの全てに接地電圧を印加するスタンバイ方法。

#### 【請求項 1 4】

書き込み時には請求項 1 1 の書き込み方法を用い、読み出し時には請求項 1 2 の読み出し方法を用い、スタンバイ時には請求項 1 3 のスタンバイ方法を用いる請求項 1 の不揮発性メモリの動作方法。

#### 【発明の詳細な説明】

#### 【0001】

#### 【産業上の利用分野】

この発明は不揮発性メモリに関するものである。

#### 【0002】

#### 【従来の技術】

強誘電体を用いた不揮発性メモリが近年注目を集め、その構造や回路構成が種々提案されている。図 22 に、米国特許公報 4, 888, 733 号に開示された、不揮発性メモリセルの構成を示す。強誘電体キャパシタ 2 の両側には、トランジスタ 18, 20 が接続されている。トランジスタ 18, 20 のゲートは、ワードライン 8 に接続されている。また、トランジスタ 18 のソースはビットライン 14 に接続され、トランジスタ 20 のソースはビットライン 16 に接続されている。

#### 【0003】

トランジスタ 18, 20 を導通させるとともに、ビットライン 14、16 間に電圧を印加すると、強誘電体キャパシタ 2 が分極する。その後、ビットライン 14、16 間の電圧印加を止めても、分極状態は保持される。印加する電圧の極性を逆にすることにより、分極の極性を逆にすることができる。これにより、情報を不揮発的に記憶することができる。

#### 【0004】

記憶された情報を読み出す場合には、強誘電体キャパシタ 2 に電圧を印加し、分極状態が反転するかどうかによって、記憶された分極の状態を知ることができる。なお、読み出しによって記憶内容が破壊されるので、読み出しの直後に再書込を行うようにしている。

#### 【0005】

また、強誘電体キャパシタを用いた不揮発性メモリとして、2 つのキャパシタと 2 つのトランジスタとによって 1 セルを構成したのも提案されている（米国特許公報第 4, 873, 664 号）。

#### 【0006】

#### 【発明が解決しようとする課題】

しかしながら、上記のような従来の不揮発性メモリには、次のような問題点があった。

#### 【0007】

第一に、米国特許公報 4, 888, 733 号に示されたものでは、1 つのセル当たり、強誘電体キャパシタの他に 2 つのトランジスタが必要であり、構成が複雑であった。同様に、米国特許公報第 4, 873, 664 号に示されたものでは、1 つのセル当たり、2 つの強誘電体キャパシタと 2 つのトランジスタが必要であり、構成が複雑であった

第二に、読出時に記憶内容を破壊してしまうので、再書込が必要であり、制御が複雑とな

10

20

30

40

50

っていた。

【0008】

この発明は上記のような問題点を解決して、簡易な構成で、非破壊読み出しを行うことのできる不揮発性メモリを提供することを目的とする。

【0009】

【課題を解決するための手段】

この発明の不揮発性メモリは、第1導電型のソース領域およびドレイン領域、ソース領域とドレイン領域との間に形成された第2導電型のチャンネル領域、チャンネル領域の上に、チャンネル領域と絶縁して形成された導電体層であるメモリゲート、下部導電体層の上に形成された強誘電体層、強誘電体層の上に形成された導電体層であるコントロールゲート、を備えた不揮発性メモリ素子をマトリクス状に接続した不揮発性メモリであって、各列の同一行の不揮発性メモリ素子のドレイン領域を接続するドレインライン、各列の同一行の不揮発性メモリ素子のコントロールゲートを接続するドレインライン、各行の同一列の不揮発性メモリ素子のソース領域およびチャンネル領域を接続するソースライン、を備えている。

10

【0010】

この発明の不揮発性メモリは、各列のドレインラインを互いに接続する統合ドレインラインと、各ドレインラインごとに設けられ、各ドレインラインを統合ドレインラインを介してドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段とを設けるとともに、対象となる不揮発性メモリ素子の接続されたドレインラインに設けられたドレインスイッチング手段をオンにし、他のドレインスイッチング手段をオフとするように構成したことを特徴としている。

20

【0011】

この発明の不揮発性メモリは、各列のドレインラインを互いに接続する統合ドレインラインと、各ドレインラインごとに設けられ、各ドレインラインを統合ドレインラインを介してドレイン電流検出手段に接続するか否かのスイッチングをするドレインスイッチング手段と、各ソースラインごとに設けられ、各ソースラインを接地電圧に接続するか否かまたは基準電圧に接続するか否かのスイッチングをするソーススイッチング手段、各コントロールゲートラインごとに設けられ、書き込みのためのHレベルの電圧またはLレベルの電圧を印加するか否かのスイッチングをするコントロールゲートスイッチング手段とを備えている。

30

【0012】

この発明の不揮発性メモリは、不揮発性メモリの各行に対応して設けられ、第1の選択入力を受けて、前記ドレインスイッチング手段をオン・オフさせるとともに、第1の選択入力をコントロールゲートスイッチング手段のオン・オフの少なくとも一条件として用いる第1の選択手段と、不揮発性メモリの各列に対応して設けられ、第2の選択入力を受けて、前記ソーススイッチング手段をオン・オフさせる第2の選択手段とを備えている。

【0013】

この発明の不揮発性メモリは、各コントロールゲートラインに、それぞれ不揮発性メモリ素子のしきい値電圧と実質的に等しい基準電圧を供給する基準電圧発生回路が接続されていることを特徴とする。

40

【0014】

この発明の不揮発性メモリは、何れの行にも選択入力を与えられていない場合には、すべてのコントロールゲートスイッチング手段をオフにして、コントロールゲートに基準電圧を与え、すべてのソーススイッチング手段をオンにして、接地電圧を与えるようにしたことを特徴とする。

【0015】

この発明の不揮発性メモリは、各列の同一行の不揮発性メモリ素子のコントロールゲートは、コントロールゲート保護スイッチング手段を介して、コントロールゲートラインに接続されていることを特徴とする。

50

## 【0016】

この発明の不揮発性メモリは、対象となる不揮発性メモリ素子の属する列のコントロールゲート保護スイッチング手段をオンとして、対象となる不揮発性メモリ素子の属する列以外の列のコントロールゲート保護スイッチング手段をオフとして、読み出しおよび書き込み動作を行うことを特徴とする。

## 【0017】

この発明の不揮発性メモリは、各列の同一行の不揮発性メモリ素子のドレイン領域は、ドレイン保護スイッチング手段を介して、ドレインラインに接続されていることを特徴とする。

## 【0018】

この発明の不揮発性メモリは、対象となる不揮発性メモリ素子の属する行のドレイン保護スイッチング手段をオンとして、対象となる不揮発性メモリ素子の属する行以外の行のドレイン保護スイッチング手段をオフとして、読み出しおよび書き込み動作を行うことを特徴とする。

## 【0019】

この発明の書き込み方法は、対象となる不揮発性メモリ素子が接続されたソースラインに、不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧として印加し、他のソースラインをフローティング状態とし、対象となっていない不揮発性メモリ素子が接続されたコントロールゲートラインに、不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧として印加するとともに、対象となる不揮発性メモリ素子が接続されたコントロールゲートラインに、前記基準電圧よりも大きいHレベルの電圧を印加して、対象となる不揮発性メモリ素子の誘電体層を第1の状態に分極させるか、または前記基準電圧よりも小さいLレベルの電圧を印加して、対象となる不揮発性メモリ素子の誘電体層を第2の状態に分極させることにより、情報の書き込みを行うことを特徴とする。

## 【0020】

この発明の読み出し方法は、対象となる不揮発性メモリ素子が接続されたソースラインを接地し、他のソースラインをフローティング状態とし、全てのコントロールゲートラインに、不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧として印加し、対象となる不揮発性メモリ素子が接続されたドレインラインに流し得る電流が、前記しきい値電圧に対応する電流よりも小さいか大きいかを判定して、書き込まれた情報を非破壊的に読み出すことを特徴とする。

## 【0021】

この発明のスタンバイ方法は、コントロールゲートラインの全てに不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧を印加し、ソースラインの全てに接地電圧を印加することを特徴とする。

## 【0023】

## 【作用および発明の効果】

この発明の不揮発性メモリは、同一行の不揮発性メモリ素子のコントロールゲートをコントロールゲートラインによって接続し、同一列の不揮発性メモリ素子のソース領域およびチャンネル領域をソースラインによって接続している。したがって、各行のコントロールゲートラインおよび各列のソースラインに印加する電圧を選択して、所望の素子に対する書き込み読み出しを行うことができる。

## 【0024】

この発明の不揮発性メモリは、対象となる不揮発性メモリ素子の接続されたドレインラインに設けられたドレインスイッチング手段をオンにし、他のドレインスイッチング手段をオフとするように構成したことを特徴としている。したがって、読み出し動作の際に、対象となるドレインライン以外のドレインラインの電流による影響を排除することができる。

## 【0025】

この発明の不揮発性メモリは、各ドレインラインごとにドレインスイッチング手段と、

10

20

30

40

50

各ソースラインごとにソーススイッチング手段とを備えている。したがって、これらのスイッチング手段を制御して、対象とする素子を選択して、書き込み、読み出しを行うことができる。

【0026】

この発明の不揮発性メモリは、各行ごとに第1の選択手段を備えており、各列ごとに第2の選択手段を備えている。したがって、対象とする素子の属する、行および列に対応する選択手段に選択入力を与えることにより、対象とする素子を選択して、書き込み、読み出しを行うことができる。

【0027】

この発明の不揮発性メモリは、各コントロールゲートラインに、それぞれ不揮発性メモリ素子のしきい値電圧と実質的に等しい基準電圧を供給する基準電圧発生回路が接続されている。したがって、ソースラインが接地された場合であっても、各素子に書き込まれた内容が変化してしまうおそれがない。

【0028】

この発明の不揮発性メモリは、何れの行にも選択入力を与えられていない場合には、すべてのソーススイッチング手段をオンにして、接地電圧を与えるようにしている。したがって、書き込み、読み出しが行われていない際に、強誘電体層の両端に不測の電圧が印加されて、記録内容が変化してしまうおそれがない。

【0029】

この発明の不揮発性メモリは、各列の同一行の不揮発性メモリ素子のコントロールゲートは、コントロールゲート保護スイッチング手段を介して、コントロールゲートラインに接続されていることを特徴とする。したがって、対象となる素子の属する列以外の列のコントロールゲート保護スイッチング手段をオフにして、対象となる素子以外の素子に対する、電圧のまわりこみを防止することができる。すなわち、対象となる素子以外の素子に対する、誤書き込み、誤消去を防止することができる。

【0030】

この発明の不揮発性メモリは、各列の同一行の不揮発性メモリ素子のドレイン領域は、ドレイン保護スイッチング手段を介して、ドレインラインに接続されていることを特徴としている。したがって、対象となる素子の属する行以外の行のドレイン保護スイッチング手段をオフにして、対象となる素子以外の素子に対する、電圧のまわりこみを防止することができる。すなわち、対象となる素子以外の素子に対する、誤書き込み、誤消去を防止することができる。

【0031】

この発明の書き込み方法および動作方法は、対象となる素子のみに対し、ソースに、不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧として印加し、かつコントロールゲートラインにHまたはLの電圧を印加するようにしている。したがって、対象となっていない素子に対して影響を与えず、対象となる素子に対してのみ書き込みを行うことができる。

【0032】

この発明の読み出し方法および動作方法は、対象となる素子のみに対し、ソースを接地し、かつコントロールゲートラインに基準電圧を印加するようにしている。したがって、対象となっていない素子に対して影響を与えず、対象となる素子からの読み出しを行うことができる。

【0033】

この発明のスタンバイ方法および動作方法は、コントロールゲートラインの全てに不揮発性メモリ素子のしきい値電圧と実質的に等しい電圧を基準電圧を印加し、ソースラインの全てに接地電圧を印加することを特徴としている。したがって、スタンバイ状態において、各素子の書き込み内容が変化するおそれがない。

【0034】

【実施例】

10

20

30

40

50

図 2 に、この発明の一実施例による不揮発性メモリ素子 M の構造を示す。シリコン基板 20 に、ソース領域 22 とドレイン領域 24 が形成されている。チャンネル領域 26 の上には、酸化シリコン ( $\text{SiO}_2$ ) や窒化シリコン ( $\text{SiN}$ ) 等による絶縁層 28 が設けられている。絶縁層 28 の上には白金等による下部導電体層 30 が設けられている。その上には P Z T 等の強誘電体層 32 が設けられ、さらにその上には白金等による上部導電体層 34 が設けられている。なお、下部導電体層 30、上部導電体層 34 としては上記白金の他に、 $\text{RuOx}$ ,  $\text{IrOx}$ ,  $\text{ITO}$  等の酸化物導電体や、 $\text{Pb}$ ,  $\text{Au}$ ,  $\text{Ag}$ ,  $\text{Al}$ ,  $\text{Ni}$  等の金属を用いることができる。

#### 【 0035 】

図 2 の不揮発性メモリ素子 M を記号で表すと、図 3 のようになる。上部導電体層 34 にはコントロールゲート電極 CG が接続され、下部導電体層 30 にはメモリゲート電極 MG が接続され、ソース領域 22 にはソース電極 S が接続され、ドレイン領域 24 にはドレイン電極 D が接続されている。

10

#### 【 0036 】

この不揮発性メモリ素子 M に情報を記録する場合には、コントロールゲート電極 CG とメモリゲート電極 MG との間に、電圧を印加する。これにより、強誘電体 32 が分極し、電圧を取り去った後も分極状態を維持する。印加する電圧の極性を変えることにより、極性の異なる 2 つの分極状態を得ることができる。たとえば、コントロールゲート電極 CG 側に対してメモリゲート電極 MG に低い電圧を与えると、強誘電体 32 はコントロールゲート電極 CG 側を負極性として分極する (第 1 の状態に分極)。反対に、メモリゲート電極 MG 側に高い電圧を与えると、強誘電体 32 はコントロールゲート電極 CG 側を正極性として分極する (第 2 の状態に分極)。このようにして、2 つの状態を不揮発的に記録することができる。

20

#### 【 0037 】

不揮発性メモリ素子 M を、図 4 B のように接続して、その特性を測定した結果を図 4 A に示す。コントロールゲート CG とメモリゲート MG とを短絡し、コントロールゲート CG に印加する電圧を変化させた場合、ドレイン電流  $I_D$  がどのように変化するかを示したのが、図 4 A の特性曲線である。なお、強誘電体層 32 のキャパシタは、絶縁層 28 のキャパシタに比べて極めて大きい。したがって、強誘電体層 32 が分極していない状態におけるコントロールゲート CG とドレイン電流の関係 (特性) は、コントロールゲート CG とメモリゲート MG とを短絡した時の特性にほぼ近似することができる。

30

#### 【 0038 】

この特性曲線から明らかなように、強誘電体層 32 の両端が短絡されている場合 (上記のように強誘電体に分極していない場合とほぼ等価である) には、この不揮発性メモリ素子 M は  $V_{ref}$  のしきい値電圧を有することが分る。つまり、不揮発性メモリ素子 M は、外部から電圧を印加しなくとも、メモリゲート MG を負として、基板 (チャンネル) B を正とした電圧が印加されたときと等しい電荷を有するように形成されている。なお、このしきい値電圧  $V_{ref}$  は、製造時の動作定数を選択することにより調整可能である。

#### 【 0039 】

このような特性を利用すれば、メモリゲート MG を用いなくとも書き込みが可能である。

40

#### 【 0040 】

コントロールゲート電極 CG 側を正極として分極している場合 (第 2 の状態に分極している場合) には、チャンネルを形成するために必要なコントロールゲート電極 CG の電圧は小さくなる。また、コントロールゲート電極 CG 側を負極として分極している場合 (第 1 の状態に分極している場合) には、チャンネルを形成するために必要なコントロールゲート電極 CG の電圧は大きくなる。したがって、両電圧の間にある電圧をコントロールゲート電極 CG に与え、チャンネルが形成されるか否かによって、記録した情報の読み出しを行うことができる。

#### 【 0041 】

上記の関係を、図 4 A、図 4 B を用いて説明する。図 4 A において、曲線 は、コントロ

50



ールゲート電極CGとメモリゲート電極MGを短絡した場合の、コントロールゲート電圧 $V_{CG}$ とドレイン電流 $I_D$ の特性を示すものである。コントロールゲート電圧 $V_{CG}$ を上昇させていくと、ドレイン電流 $I_D$ は増加する。さらにコントロールゲート電圧 $V_{CG}$ を上昇させると、抵抗Rによって決定される設定最大ドレイン電流 $I_{OMAX}$ にて、ドレイン電流の増加が止る。

【0042】

曲線は、コントロールゲート電極CC側を正極として、強誘電体32が分極している場合(第2の状態に分極している場合)の、特性を示すものである。曲線の場合と同じような傾向を求すが、強誘電体32の分極の影響により、小さなコントロールゲート電圧 $V_{CG}$ にてドレイン電流が流れている。また、小さなコントロール電圧 $V_{CG}$ にてドレイン電流が設定最大ドレイン電流 $I_{OMAX}$ に達している。

10

【0043】

曲線は、コントロールゲート電極CG側を負極として、強誘電体32が分極している場合(第1の状態に分極している場合)の、特性を示すものである。曲線の場合と同じような傾向を示すが、強誘電体32の分極の影響により、大きなコントロールゲート電圧 $V_{CG}$ にてドレイン電流が流れ始めている。また、大きなコントロール電圧 $V_{CG}$ にてドレイン電流が設定最大ドレイン電流 $I_{OMAX}$ に達している。

【0044】

読み出しの際には、前記しきい値電圧 $V_{ref}$ を基準電圧としてコントロールゲートCGに与える。この時のドレイン電流 $I_D$ が、基準電流 $I_s$ よりも大きいか(点X)、小さいか(点Y)により、記憶されている情報を知ることができる。なお、点Xと点Yとを識別できるような電圧であれば、しきい値電圧 $V_{ref}$ 以外の電圧を基準電圧として与えても読み出しを行うことができる。しかし、上述のように、実質的にしきい値電圧 $V_{ref}$ と等しい電圧を基準電圧として用いれば、(しきい値電圧 $V_{ref}$ と相殺されて)読み出し時に強誘電体層32の両端に外部印加電圧による影響が与えられず、書き込み内容を変化させることなく読み出すことができる。

20

【0045】

次に、図3の不揮発性メモリ素子Mをマトリクス状に接続して構成した不揮発性メモリを、図1に示す。各列の同一行にあるメモリ素子(たとえば、 $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ ・・・)のドレインDは、ドレインライン $DL_1$ 、 $DL_2$ 、 $DL_3$ ・・・に接続されている。各ドレインライン $DL_1$ 、 $DL_2$ 、 $DL_3$ ・・・は、それぞれ、ドレインスイッチング手段であるトランジスタ $Q_{01}$ 、 $Q_{02}$ 、 $Q_{03}$ ・・・を介して、統合ドレインラインDLに接続されている。統合ドレインラインDLには、抵抗Rを介して電源電圧 $V_{DD}$ が接続されている。

30

【0046】

各列の同一行にあるメモリ素子(たとえば、 $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ ・・・)の、コントロールゲート電極CGは、コントロールゲートライン $CG_L1$ 、 $CG_L2$ 、 $CG_L3$ ・・・に接続されている。また、各行の同一列にあるメモリ素子(たとえば、 $M_{12}$ 、 $M_{22}$ 、 $M_{32}$ ・・・)の、ソース電極Sおよび基板(チャネル)Bは、ソースライン $SL_1$ 、 $SL_2$ 、 $SL_3$ ・・・に接続されている。なお、各メモリ素子のメモリゲートは、どこにも接続されず、フローティング状態にされている。

40

【0047】

図5に、メモリ素子 $M_{22}$ を対象とした場合の、書込時、読出時、スタンバイ時に、各ラインに与える電圧を表にして示す。

【0048】

書込時には、ソースライン $SL_2$ だけを基準電圧とし、他のソースライン $SL_1$ 、 $SL_3$ ・・・はフローティング状態としている。さらに、コントロールゲートライン $CG_L2$ だけに、記録する情報の電圧(5V( $V_{DD}$ )または接地電圧)を与え、他のコントロールゲートライン $CG_L1$ 、 $CG_L3$ ・・・には基準電圧(しきい値電圧) $V_{ref}$ を与えている。

【0049】

ソースライン $SL_1$ 、 $SL_3$ ・・・は、フローティング状態であるから、これに接続され

50

たメモリ素子 $M_{11}$ 、 $M_{21}$ 、 $M_{31}$ ・・・、 $M_{13}$ 、 $M_{23}$ 、 $M_{33}$ ・・・は、コントロールゲート $CG$ に電圧が印加されても、されなくても、強誘電体層 $32$ の両端には電圧が生じない。したがって、これらの素子には、書き込みによる影響が与えられない。ソースライン $SL_2$ は基準電圧であるから、これに接続されたメモリ素子 $M_{12}$ 、 $M_{22}$ 、 $M_{32}$ ・・・は、コントロールゲート $CG$ に印加される電圧によって、強誘電体層 $32$ の両端に電圧が生じる。ここで、メモリ素子 $M_{12}$ と $M_{32}$ のコントロールゲート $CG$ には、基準電圧 $V_{ref}$ が印加されているので、強誘電体層 $32$ の両端には電圧が生じない。メモリ素子 $M_{22}$ のコントロールゲート $CG$ には、 $V_{DD}$ または接地電圧が印加されている。したがって、メモリ素子 $M_{22}$ の強誘電体層 $32$ の両端には電圧が生じる。

【0050】

10

このようにして、メモリ素子 $M_{22}$ の強誘電体層 $32$ のみに、記録する情報に応じた電圧が印加されて分極が行われる。つまり、記録する情報に応じて、メモリ素子 $M_{22}$ の強誘電体層 $32$ が、第1の状態または第2の状態に分極する。

【0051】

読出時には、ソースライン $SL_2$ だけを接地電圧とし、他のソースライン $SL_1$ 、 $SL_3$ ・・・はフローティング状態としている。さらに、全てのコントロールゲートライン $CG_1$ 、 $CG_2$ 、 $CG_3$ ・・・に基準電圧 $V_{ref}$ を与えている。また、対象となるメモリ素子 $M_{22}$ が接続されたドレインライン $DL_2$ のトランジスタ $Q_{02}$ のみをオンにして、統合ドレインライン $DL$ に接続する。

【0052】

20

ソースライン $SL_1$ 、 $SL_3$ ・・・は、フローティング状態である。したがって、これに接続されたメモリ素子 $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ ・・・、 $M_{23}$ 、 $M_{33}$ ・・・は、オンであるかオフであるかにかかわらず、ドレイン電流を流さない。また、ドレインライン $DL_1$ 、 $DL_3$ ・・・のトランジスタ $Q_{01}$ 、 $Q_{03}$ ・・・はオフである。したがって、ドレインライン $DL_1$ 、 $DL_3$ ・・・に接続されたメモリ素子 $M_{11}$ 、 $M_{12}$ 、 $M_{13}$ ・・・、 $M_{31}$ 、 $M_{32}$ 、 $M_{33}$ ・・・は、オンであるかオフであるかにかかわらず、ドレイン電流を流さない(図5において、これらの素子に関し $I=0$ としているのはこの意味である)。したがって、メモリ素子 $M_{22}$ の書き込み内容に応じて(強誘電体層の分極方向に応じて)、統合ドレインライン $DL$ に、設定最大ドレイン電流 $I_{OMAX}$ か(図4の点X)、0か(図4の点Y)の電流が流れる。この2つの状態を、基準電流 $I_s$ によって判断し(つまり、基準電流 $I_s$ よりも大きい小さいかによって判断し)、情報を読み出すことができる。つまり、非破壊的に記録情報を読み出すことができる。

30

【0053】

以上のようにして、所望のメモリ素子に対して、記録、読み出しを行うことができる。

【0054】

上記の実施例では、書き込みのためにメモリゲート $MG$ に印加する基準電圧をしきい値電圧と等しい電圧とし、読み出しのためにメモリゲート $MG$ に印加する基準電圧をしきい値電圧と等しい電圧としている。したがって、書き込み、読み出しの際に、対象となるメモリ素子以外の素子に与える影響を小さくすることができる。また、書き込み時の電圧と読み出し時の電圧を等しくすることにより、周辺回路を簡素化することができる。

40

【0055】

なお、書き込みのためにメモリゲート $MG$ に印加する電圧は、設定最大ドレイン電流 $I_{OMAX}$ とゼロとの間の電流に対応する電圧(中間電圧)であれば、読み出しのためにメモリゲート $MG$ に印加する電圧と異なってもよい。

【0056】

ところで、図1の回路を動作させるには、基準電圧 $V_{ref}$ を発生する回路が必要である。図4からも明らかのように、メモリを構成するメモリ素子に合致した、正確な基準電圧 $V_{ref}$ が得られなければ、誤まった読み出しや書き込みを生じるおそれがある。この実施例では、図6に示すような基準電圧発生回路40を用いることによって、適正な基準電圧 $V_{ref}$ を得るようにしている。

50

## 【0057】

図において、基準電圧発生用素子42は、基準電圧 $V_{ref}$ を必要としているメモリ素子Mと同じ構造のものを用いる。つまり、集積回路において、同じプロセスでメモリ素子Mと同時に形成する。コントロールゲート電極CG、メモリゲート電極MG、ドレイン電極Dを短絡するとともに、ドレイン電極Dに基準電流 $I_S$ (図4参照)の定電流源44を接続する。この素子42は、コントロールゲート電極CGとメモリゲート電極MGが短絡されているので、図4の で示す特性を有する。また、ドレインには $I_S$ の電流が与えられているので、コントロールゲート電極CGの電圧は、基準電圧 $V_{ref}$ となる。素子42は、メモリ素子Mと同じ構造、同じプロセスで作られる。したがって、製造時や動作時にメモリ素子Mの特性が変動しても、素子42の特性も同じように変動するので、この基準電圧 $V_{ref}$ は、当該メモリ素子Mとの相対的な関係において適切な値を維持できる。

10

## 【0058】

なお、中間電圧が必要な場合には、電流源44に代えて、その中間電圧に対応した電流源を設ければよい。

## 【0059】

また、図1の回路を動作させるには、ドレイン電流を判定する回路が必要である。上記図1の説明においては、ドレインラインDLに流れるドレイン電流が基準電流 $I_S$ よりも大きいか小さいかによって、注目するメモリ素子 $M_{22}$ の記録情報を判定する方法を説明した。つまり、注目するメモリ素子 $M_{22}$ が第1の状態に分極している場合には、基準電流 $I_S$ よりも小さいドレイン電流 $I_D$ しか流れず、第2の状態に分極している場合には、基準電流 $I_S$ よりも大きいドレイン電流 $I_D$ が流れるように、統合ドレインラインDLに抵抗Rを介して電源電圧 $V_{DD}$ を与えている。この統合ドレインラインDLを流れる電流を、電流計測回路で計測すれば、判定を行うことができるが、回路構成が複雑となる。

20

## 【0060】

そこで、図7のような、ドレイン電流判定回路50を用いることもできる。この場合、図1の抵抗Rは不要である。第1の電流判定用素子52、第2の電流判定用素子54は、メモリ素子Mと同じ構造、同じプロセスで作られたものである。素子52のドレイン電極Dには、設定最大ドレイン電流 $I_{OMAX}$ の約 $1/2$ の電流 $I_S$ (しきい値電圧に対応した電圧)の定電流源56が接続されている。また、素子54のドレイン電極Dには、 $I_S/2$ の定電流源58が接続されている。この回路の端子60に、統合ドレインラインDL(図1)を接続する。

30

## 【0061】

注目するメモリ素子 $M_{22}$ が、第2の状態に分極しており、 $I_S$ を越えるドレイン電流を流す能力を有している場合には、定電流源56の電流 $I_S$ が、当該メモリ素子 $M_{22}$ に流れ込み、素子52には流れ込まない。このため素子52がoffとなり、素子54もoffとなる。また、注目するメモリ素子 $M_{22}$ が、第1の状態に分極しており、 $I_S$ を越えるドレイン電流を流す能力を有していない場合には、定電流源56の電流 $I_S$ が、当該メモリ素子 $M_{22}$ に流れ込まないため、素子52には流れ込む。このため素子52がonとなり、素子54もonとなる。したがって、読み出し出力端子63から、注目するメモリ素子 $M_{22}$ に書き込まれた情報に対応した読み出し出力を得ることができる。この判定回路50において、図6と同様、素子56、58がメモリ素子Mと同じ構造、同じプロセスで作られているので、特性変動による誤動作がない。

40

## 【0062】

なお、動作入力端子61が「L」である場合には、トランジスタ53がoffであるので、上記のように動作する。しかし、動作入力端子61が「H」である場合には、トランジスタ53がonとなり、定電流源56の電流がトランジスタ53を介して流れるので、読み出し出力端子63は「L」に固定される。

## 【0063】

なお、図6、図7の定電流源は、図8のような回路によって実現できる。メモリ素子Mと同じ構成の電流発生用素子62の、メモリゲート電極MGとコントロールゲート電極CG

50

とを短絡し、これに電源電圧  $V_{DD}$  を与えている。また、ドレイン電極 D には、カレントミラー回路 55 の入力側が接続されている。したがって、素子 62 のドレインには、素子形状・能力に応じた設定最大ドレイン電流  $I_{OMAX}$  が流れる。カレントミラー回路 55 の出力側 55a には、抵抗  $R_a$  が接続されている。この抵抗  $R_a$  の抵抗値を選択することにより、出力側 55a から、基準電流  $I_s$  ( $I_{OMAX} / 2$ ) を得ることができる。同様に、出力側 55b には、 $I_s / 2$  ( $I_{OMAX} / 4$ ) の電流が得られるような抵抗  $R_b$  が接続されている。

#### 【0064】

なお、上記実施例では、抵抗値を変えることによって所望の出力電流を得ているが、出力側のトランジスタの幅（トランジスタワイド）を変えてトランジスタの特性を変化させ、所望の出力電流を得るようにしてもよい。また、双方を変化させて所望の出力電流を得てもよい。

10

#### 【0065】

この回路においても、メモリ素子 M と同じ構造、同じプロセスで作った素子 62 によって基本となる設定最大ドレイン電流  $I_{omax}$  を得ているので、変動誤差をキャンセルすることができる。

#### 【0066】

図 9 に、図 6 の基準電圧発生回路 41、図 7 のドレイン電流判定回路 50 を用いて不揮発性メモリを構成した場合の回路図を示す。図面では、簡単のため、 $2 \times 2$  のマトリクス部分のみを表しているが、 $n \times n$  個のメモリ素子 M を配置している。記録時における各端子への印加電圧の状況を図 12 に示す。なお、ここでは、メモリ素子  $M_{22}$  に書き込みを行うものとする。端子 W/R は、書き込みの際には「H」とする。これにより、ドレイン電流判定回路 50 の動作入力端子 61 が「H」となって、ドレイン電流判定回路 50 は読み出し動作を行わない（読み出し出力端子 63 を「L」に固定する）。なお、この実施例では、「H」を 5V、「L」を 0V とした。また、メモリ素子のしきい値電圧  $V_{ref}$ （図 4A 参照）を 2.5V とした。

20

#### 【0067】

書き込みの対象となるメモリ素子  $M_{22}$  が属する行の端子  $C_2$  のみを「H」とし、他の行の端子  $C_1 \dots$  を「L」にする。これを受けて、第 1 の選択手段  $CS_1$ 、 $CS_2 \dots$  のうち、対象となるメモリ素子  $M_{22}$  が属する行の選択手段  $CS_2$  は、トランジスタ  $Q_{M2}$  をオンにする。他の行の選択手段  $CS_1 \dots$  は、トランジスタ  $Q_{M1} \dots$  をオフにする。

30

#### 【0068】

また、書き込みの対象となるメモリ素子  $M_{22}$  が属する列の端子  $L_2$  のみを「H」とし、他の列の端子  $L_1 \dots$  を「L」にする。これにより、対象となるメモリ素子  $M_{22}$  の属する列のソーススイッチング手段  $QS_2$  がオンとなり、その他の列のソーススイッチング手段  $QS_1 \dots$  がオフとなる。したがって、対象となるメモリ素子  $M_{22}$  が属する列のソースライン  $SL_2$  は基準電圧が印加され、他の列のソースライン  $MGL_1 \dots$  がフローティング状態となる。

#### 【0069】

この状態で、記録したい電圧（情報）を、端子 IN から「H」または「L」で与える。この電圧は、トランジスタ  $QR_2$ （端子 W/R が H の時にオン）、トランジスタ  $QM_2$ （端子  $C_2$  が H の時にオン）を介して、対象となるメモリ素子  $M_{22}$  が属する行のコントロールゲートライン  $GL_2$  に印加される。なお、他の行のコントロールゲートライン  $GL_1 \dots$  には、端子  $C_1 \dots$  が「L」であるため、トランジスタ  $QM_1 \dots$  がオフとなって、基準電圧  $V_{ref}$  が印加される。

40

#### 【0070】

メモリ素子  $M_{22}$  のソース、基板（チャネル）には基準電圧が印加され、コントロールゲートには記録したい電圧が印加される。したがって、メモリ素子  $M_{22}$  の強誘電体層は、記録したい電圧に応じて分極する。なお、記録したい電圧は、メモリ素子  $M_{22}$  と同じ行のメモリ素子  $M_{21} \dots$  のコントロールゲートにも印加される。しかし、メモリ素子  $M_{21} \dots$

50

・のソース、基板は、フローティング状態とされているので、これらの強誘電体層は書き込み電圧の影響を受けない。また、メモリ素子 $M_{22}$ と同じ列のメモリ素子 $M_{21}$ ・・・のソース、基板にも、接地電圧が印加される。しかし、メモリ素子 $M_{12}$ ・・・のコントロールゲートには、基準電圧 $V_{ref}$ が印加されるので、これらの強誘電体層は書き込み電圧の影響を受けない。

【0071】

なお、対象となるメモリ素子 $M_{22}$ と行、列の双方が異なるメモリ素子 $M_{11}$ ・・・においては、ソース、基板がフローティング状態にされ、コントロールゲートに基準電圧 $V_{ref}$ が印加されているので、これらの強誘電体層は書き込み電圧の影響を受けない。

【0072】

以上のように、対象となるメモリ素子 $M_{22}$ のみに対し、選択的に書き込みを行うことができる。

【0073】

図10に、読み出しの際の動作状況を示す。なお、ここでは、メモリ素子 $M_{22}$ を対象として読み出しを行うものとする。図12にあるように、端子 $W/R$ を「L」、端子 $C_1$ に「L」、端子 $C_2$ に「H」、端子 $L_1$ に「L」、端子 $L_2$ に「H」を印加する。読み出し出力は、端子OUTに得られる。

【0074】

端子 $W/R$ は、読み出しの際には「H」とする。これにより、ドレイン電流判定回路50の動作入力端子61が「L」となって、ドレイン電流判定回路50は読み出し動作を行なう。つまり、ドレイン電流に基づいて記録された情報を判定し、端子OUTから出力する。また、端子 $W/R$ を「L」とすることにより、トランジスタ $Q_{R1}$ 、 $Q_{R2}$ ・・・がオフとなって、端子INの電圧が、コントロールゲートラインに影響を与えないようにしている。

【0075】

読み出しの対象となるメモリ素子 $M_{22}$ が属する行の端子 $C_2$ 、列の端子 $L_2$ のみを「H」とする点は、書き込みの場合と同様である。したがって、メモリ素子 $M_{22}$ の属するドレインライン $DL_2$ のドレインスイッチング手段であるトランジスタ $Q_{02}$ がオンとなり、他のドレインライン $DL_1$ のトランジスタ $Q_{01}$ がオフとなる。さらに、対象となるメモリ素子 $M_{22}$ が属する列のソースライン $SL_2$ が接地され、他の列のソースライン $MGL_1$ ・・・がフローティング状態となる。また、対象となるメモリ素子 $M_{22}$ の属するコントロールゲートライン $CL_2$ を含めて、全てのメモリ素子のコントロールゲートライン $CL_1$ ・・・に基準電圧 $V_{ref}$ が印加される。

【0076】

メモリ素子 $M_{22}$ のソース、基板は接地され、コントロールゲートには基準電圧 $V_{ref}$ が印加される。したがって、メモリ素子 $M_{22}$ の強誘電体が第2の状態に分極していれば図4Aの点Xの電流に対応するチャンネルが形成され、第1の状態に分極していればチャンネルが形成されない(点Y)。さらに、メモリ素子 $M_{22}$ のソースは接地されているので、メモリ素子 $M_{22}$ は、形成されたチャンネルに応じた電流を流す能力を有する状態となる。

【0077】

なお、メモリ素子 $M_{22}$ と同じ行のメモリ素子 $M_{21}$ ・・・においては、ソース、基板がフローティング状態とされるので、電流を流す能力を有する状態とはならない。また、メモリ素子 $M_{22}$ と同じ列のメモリ素子 $M_{12}$ ・・・のソース、基板にも接地電圧が与えられるが、トランジスタ $Q_{01}$ がオフであるため、電流を流す能力を有する状態とはならない。また、メモリ素子 $M_{22}$ と行、列の双方が異なるメモリ素子 $M_{11}$ ・・・においても、ソースがフローティング状態とされるので、チャンネルが形成されず、電流を流す能力を有する状態とはならない。

【0078】

したがって、メモリ素子 $M_{22}$ の属する行のドレインライン $DL_2$ は、記録内容に応じた電流能力を有することとなる。統合ドレインラインDLには、このドレインライン $DL_2$ の

10

20

30

40

50

みが接続されている。したがって、メモリ素子 $M_{22}$ の書き込み内容に応じて（強誘電体層の分極方向に応じて）、統合ドレインライン $DL$ に、設定最大ドレイン電流 $I_{OMAX}$ か（図4の点 $X$ ）、 $O$ か（図4の点 $Y$ ）の電流が流れる。統合ドレインライン $DL$ は、ドレイン電流判定回路50の判定入力端子60に接続されている。したがって、メモリ素子 $M_{22}$ の記録内容に応じて、出力端子 $OUT$ から読み出し出力が得られる。

#### 【0079】

図11に、スタンバイ時の動作状況を示す。この実施例では、対象となる素子を選択するための端子 $C_1$ 、 $C_2$ ・・・、 $L_1$ 、 $L_2$ ・・・を全て「 $L$ 」にすれば（アドレス選択を行わなければ）、自動的にスタンバイ状態となるようにしている。全てのメモリ素子 $M_{11}$ 、 $M_{12}$ ・・・、 $M_{21}$ 、 $M_{22}$ ・・・において、コントロールゲートに基準電圧が印加され、ソース、基板がフローティング状態とされて、書き込み内容の変動が防止される。

10

#### 【0080】

ところで、図1や図9に示すような回路においては、強誘電体の特性やバイアスの選択によっては、次のような誤動作を生じる場合もある。図13に、不揮発性メモリ素子 $M_{22}$ のコントロールゲートに「 $H$ 」レベルを与えて、書き込みを行う場合の状態を示す。対象となるメモリ素子 $M_{22}$ に書き込みを行う場合には、ソースライン $SL_2$ を基準電圧とし、他のソースライン $SL_1$ 、 $SL_3$ ・・・は、フローティング状態とする。ここで、メモリ素子 $M_{22}$ への書き込み時には、メモリ $M_{22}$ はオンとなるため、ドレインライン $DL_2$ は基準電位となる。

#### 【0081】

この時、メモリ素子 $M_{22}$ と同じ行にあるメモリ素子 $M_{21}$ 、 $M_{23}$ ・・・のうち、記憶状態によってオンとなるものも存在する。たとえば、メモリ素子 $M_{21}$ がオンになったとする。すると、メモリ素子 $M_{21}$ のドレイン・ソース間が導通して、ソースが基準電位となる。一方、書き込みのためコントロールゲートライン $CG_L_2$ に与えられた電圧により、メモリ素子 $M_{21}$ のコントロールゲートには、「 $H$ 」レベルの電圧が印加されている。したがって、メモリ素子 $M_{21}$ に誤書き込みを起こすおそれがある。

20

#### 【0082】

図14に、メモリ素子 $M_{22}$ の読み出しを行う場合の状態を示す。対象となるメモリ素子 $M_{22}$ の内容を読み出す場合には、コントロールゲートライン $CG_L_2$ を基準電圧 $V_{ref}$ にする。また、ソースライン $SL_2$ を接地電圧とし、他のソースライン $SL_1$ 、 $SL_3$ ・・・をフローティング状態とする。ここで、メモリ素子 $M_{22}$ がオンとなるような記憶状態にあれば、ドレインライン $DL_2$ が接地電圧になる。

30

#### 【0083】

この時、同一行のメモリ素子 $M_{21}$ 、 $M_{23}$ ・・・のコントロールゲートにも基準電圧 $V_{ref}$ が与えられる。したがって、記憶状態によっては、これらのメモリ素子 $M_{21}$ 、 $M_{23}$ がオンとなる。たとえば、メモリ素子 $M_{21}$ がオンとなった場合には、メモリ素子 $M_{21}$ のドレインの接地電圧が、メモリ素子 $M_{21}$ のソース、ソースライン $SL_1$ 、メモリ素子 $M_{11}$ のソースの経路で伝達される。一方、メモリ素子 $M_{11}$ のコントロールゲートには、基準電圧 $V_{ref}$ が印加されている。したがって、メモリ素子 $M_{11}$ に対して、誤書き込みを起こすおそれがある。

40

#### 【0084】

上記のような問題点を解決したのが、図15、図16に示す回路である。この実施例では、各メモリ素子のコントロールゲートにコントロールゲート保護スイッチング手段であるコントロールゲート保護トランジスタ $HC_{11}$ 、 $HC_{12}$ ・・・ $HC_{21}$ 、 $HC_{22}$ ・・・を設けている。同一行のメモリ素子は、コントロールゲート保護トランジスタを介して、同一のコントロールゲートラインに接続されている。また、このコントロールゲート保護トランジスタ $HC_{11}$ 、 $HC_{21}$ ・・・は、選択端子 $L_1$ に「 $H$ 」が与えられるとオンとなり、コントロールゲート保護トランジスタ $HC_{12}$ 、 $HC_{22}$ ・・・は、選択端子 $L_2$ に「 $H$ 」が与えられるとオンとなる。つまり、対象となるメモリ素子の属する列以外のコントロールゲート保護トランジスタは、オフとなるように構成されている。

50

## 【 0 0 8 5 】

さらに、各メモリ素子のドレインにドレイン保護スイッチング手段であるドレイン保護トランジスタ $HD_{11}$ 、 $HD_{12}$ ・・・ $HD_{21}$ 、 $HD_{22}$ ・・・を設けている。同一行のメモリ素子は、ドレイン保護トランジスタを介して、同一のドレインラインに接続されている。また、このドレイン保護トランジスタ $HD_{11}$ 、 $HD_{12}$ ・・・は、選択端子 $C_1$ に「H」が与えられるとオンとなり、ドレイン保護トランジスタ $HD_{21}$ 、 $HD_{22}$ ・・・は、選択端子 $C_2$ に「H」が与えられるとオンとなる。つまり、対象となるメモリ素子の属する行以外のドレイン保護トランジスタは、オフとなるように構成されている。

## 【 0 0 8 6 】

図16、図17に、書き込み時の動作状態を示す。ここでは、メモリ素子 $M_{22}$ を書き込みの対象とするメモリ素子として説明する。この場合には、端子 $C_2$ だけを「H」とし、他の端子 $C_1$ ・・・を「L」とするとともに、端子 $L_2$ だけを「H」とし、他の端子 $L_1$ ・・・を「L」とする。これにより、保護トランジスタ $HC_{12}$ 、 $HC_{22}$ ・・・がオンとなり、対象とするメモリ素子 $M_{22}$ に、コントロールゲートライン $CG_L2$ を介して、書き込みに必要な電圧が印加される。一方、保護トランジスタ $HC_{11}$ 、 $HC_{21}$ ・・・は、オフであるから、メモリ素子 $M_{11}$ 、 $M_{21}$ ・・・のコントロールゲートは、コントロールゲートライン $CG_L1$ から切り離される。したがって、図13、図14に示すような経路が形成されず、誤書き込みや誤消去のおそれがない。

## 【 0 0 8 7 】

また、端子 $C_2$ だけを「H」とし、他の端子 $C_1$ ・・・を「L」としているのので、保護トランジスタ $HD_{21}$ 、 $HC_{22}$ ・・・がオンとなり、対象とするメモリ素子 $M_{22}$ が、統合ドレインライン $DL$ に接続される。一方、保護トランジスタ $HC_{11}$ 、 $HC_{12}$ ・・・は、オフであるから、メモリ素子 $M_{11}$ 、 $M_{12}$ ・・・のドレインは、ドレインライン $DL_1$ から切り離される。したがって、図13、図14に示すような経路が形成されず、誤書き込みや誤消去のおそれがない。

## 【 0 0 8 8 】

図17、図18は、メモリ素子 $M_{22}$ を対象として読み出す場合の動作状態を示すものである。読み出しの際においても、対象メモリ素子 $M_{22}$ の属する列以外の列の保護トランジスタ $HC_{11}$ 、 $HC_{21}$ ・・・はオフとなる。また、対象メモリ素子 $M_{22}$ の属する行以外の行の保護トランジスタ $HD_{11}$ 、 $HD_{12}$ ・・・はオフとなる。したがって、図13、図14の太線で示すような経路が形成されず、誤書き込みや誤消去のおそれがない。

## 【 0 0 8 9 】

図19、図20は、スタンバイ時の動作状態を示すものである。スタンバイ時には、端子 $C_1$ 、 $C_2$ ・・・、 $L_1$ 、 $L_2$ ・・・をすべて「L」とする。端子 $L_1$ 、 $L_2$ ・・・の反転出力 $R_i$ は、スタンバイ判定回路であるアンド回路91に与えられる。したがって、スタンバイ判定回路91からは、「H」の判定出力 $R_0$ が得られる。これにより、トランジスタ $Q_{z1}$ 、 $Q_{z2}$ ・・・がオンとなって、全てのコントロールゲート保護トランジスタ $HC_{11}$ 、 $HC_{12}$ ・・・、 $HC_{21}$ 、 $HC_{22}$ ・・・がオンとなる。また、全てのトランジスタ $Q_{v1}$ 、 $Q_{v2}$ ・・・がオンとなって、全てのソースライン $SL_1$ 、 $SL_2$ ・・・が接地電位となる。したがって、各メモリ素子のコントロールゲートに基準電圧 $V_{ref}$ が印加され、強誘電体層の両端に外部電圧が印加されない。したがって、スタンバイ時において、全てのメモリ素子の書き込み内容の変化を防ぐことができる。

## 【 0 0 9 0 】

また、端子 $C_1$ 、 $C_2$ ・・・が「L」であるから、全てのドレイン保護トランジスタ $HD_{11}$ 、 $HD_{12}$ ・・・、 $HD_{21}$ 、 $HD_{22}$ ・・・がオフとなる。したがって、各メモリ素子のドレインが、ドレインラインから切り離される。したがって、スタンバイ時において、全てのメモリ素子の書き込み内容の変化を防ぐことができる。

## 【 0 0 9 1 】

なお、上記各実施例マトリクス配置に代えて、図21に示すようなペアセル構造にしてマトリクスを構成してもよい。

10

20

30

40

50

## 【 0 0 9 2 】

なお、この上記各実施例によれば、メモリゲートMGをフローティング状態にして、書き込みおよび読み出しを行なうことができるので、メモリゲートMGを制御するラインが不要となり、構成を簡素化することができる。

## 【 0 0 9 3 】

また、上記各実施例では、ソーススイッチング手段によって、ソースラインを接地するかどうかをスイッチングしているが、基準電圧を与えるかどうかをスイッチングするようにしてもよい。

## 【 図面の簡単な説明 】

【 図 1 】 この発明の一実施例による不揮発性メモリの回路図である。

10

【 図 2 】 図 1 の不揮発性メモリに用いた不揮発性メモリ素子Mの構造を示す図である。

【 図 3 】 図 2 の不揮発性メモリ素子Mのシンボルを示す図である。

【 図 4 】 図 4 A は、不揮発性メモリ素子Mの特性を示す図である。図 4 B は、図 4 A の特性を測定した時の回路を示す図である。

【 図 5 】 図 1 の回路において、各モードでの印加電圧を示す表である。

【 図 6 】 基準電圧発生回路 4 1 を示す図である。

【 図 7 】 ドレイン電流判定回路 5 0 を示す図である。

【 図 8 】 電流発生回路を示す図である。

【 図 9 】 この発明の一実施例による不揮発性メモリの書き込みモードに於ける各部の電圧状況を示す図である。

20

【 図 1 0 】 この発明の一実施例による不揮発性メモリの読み出しモードに於ける各部の電圧状況を示す図である。

【 図 1 1 】 この発明の一実施例による不揮発性メモリのスタンバイモードに於ける各部の電圧状況を示す図である。

【 図 1 2 】 図 9 の回路において、各モードでの印加電圧を示す表である。

【 図 1 3 】 書き込み時における電圧印加経路を示す図である。

【 図 1 4 】 読み出し時における電圧印加経路を求す図である。

【 図 1 5 】 コントロールゲート保護スイッチング手段およびドレイン保護スイッチング手段を設けた実施例の書き込みモードに於ける各部の電圧状況を示す図である。

【 図 1 6 】 コントロールゲート保護スイッチング手段およびドレイン保護スイッチング手段を設けた実施例の書き込みモードに於ける各部の電圧状況を示す図である。

30

【 図 1 7 】 コントロールゲート保護スイッチング手段およびドレイン保護スイッチング手段を設けた実施例の読み出しモードに於ける各部の電圧状況を示す図である。

【 図 1 8 】 コントロールゲート保護スイッチング手段およびドレイン保護スイッチング手段を設けた実施例の読み出しモードに於ける各部の電圧状況を求す図である。

【 図 1 9 】 コントロールゲート保護スイッチング手段およびドレイン保護スイッチング手段を設けた実施例のスタンバイモードに於ける各部の電圧状況を示す図である。

【 図 2 0 】 コントロールゲート保護スイッチング手段およびドレイン保護スイッチング手段を設けた実施例のスタンバイモードに於ける各部の電圧状況を示す図である。

【 図 2 1 】 他のマトリクス構成を示す図である。

40

【 図 2 2 】 従来の不揮発性メモリの回路を示す図である。

## 【 符号の説明 】

C G . . . コントロールゲート

C G L<sub>1</sub>、C G L<sub>2</sub> . . . コントロールゲートライン

M G . . . メモリゲート

M G L<sub>1</sub>、M C L<sub>2</sub> . . . メモリゲートライン

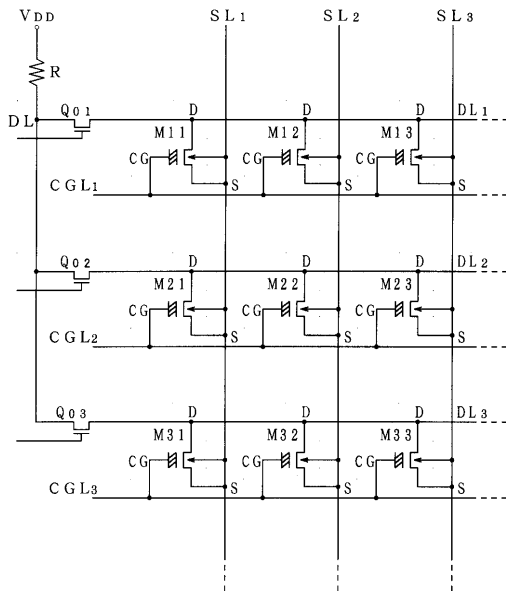
D L . . . ドレインライン

S L<sub>1</sub> . . . ソースライン

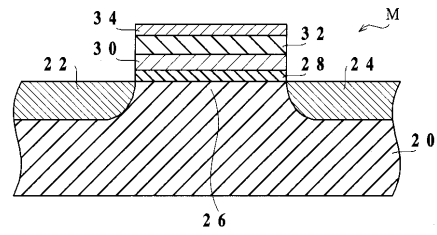
M . . . 不揮発性メモリ素子



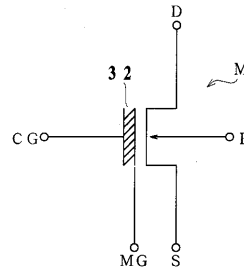
【 図 1 】



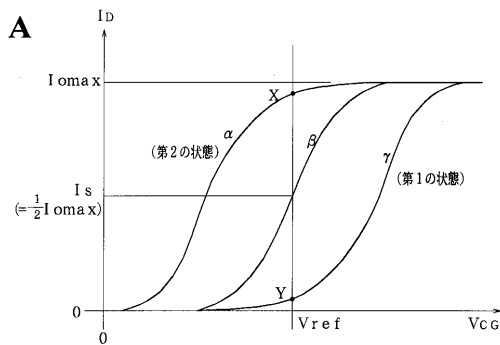
【 図 2 】



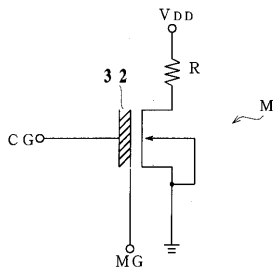
【 図 3 】



【 図 4 】



B



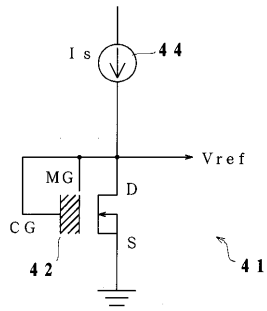
【 図 5 】

メモリ素子M22を対象とした場合の印加電圧

スタンバイモード	書き込みモード
SL1: CGL1:Vref CGL2:Vref CGL3:Vref open	SL1: Vref CGL2: VDD/GND CGL3: Vref
SL2: CGL1:Vref CGL2:Vref CGL3:Vref open	SL2: Vref CGL1: Vref CGL2: VDD/GND CGL3: Vref
SL3: CGL1:Vref CGL2:Vref CGL3:Vref open	SL3: Vref CGL1: Vref CGL2: VDD/GND CGL3: Vref

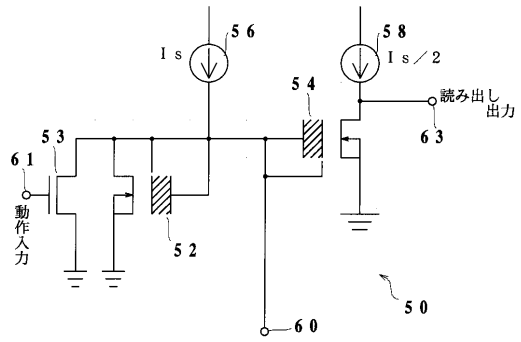
読み出しモード	ドレインに流しうる電流
SL1: CGL1:Vref CGL2:Vref CGL3:Vref open	I=0 (M11) I=0 (M21) I=0 (M31)
SL2: CGL1:Vref CGL2:Vref CGL3:Vref GND	I=Iomaxまたは0 (M12) I=Iomaxまたは0 (M22) I=Iomaxまたは0 (M32)
SL3: CGL1:Vref CGL2:Vref CGL3:Vref open	I=0 (M13) I=0 (M23) I=0 (M33)

【図6】



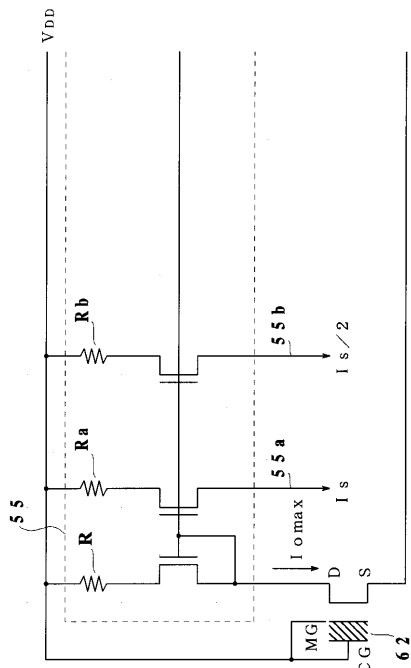
基準電圧発生回路

【図7】



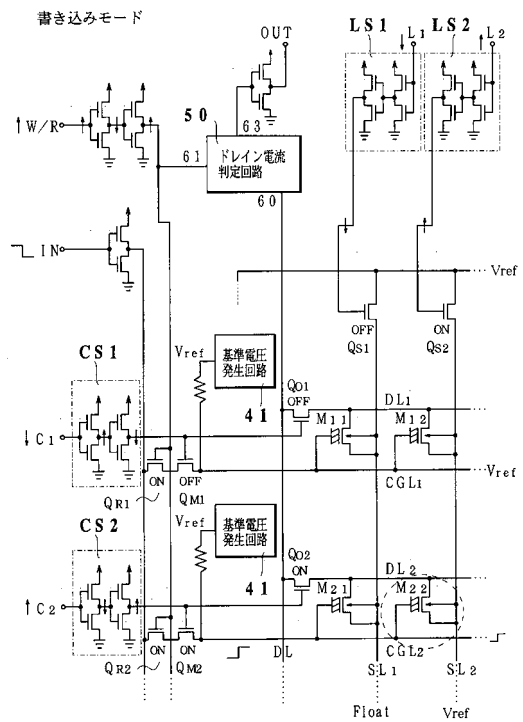
ドレイン電流判定回路

【図8】

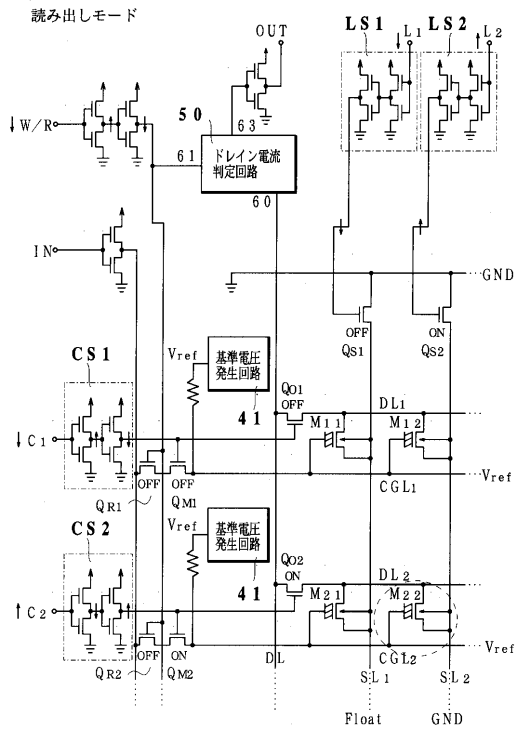


電流発生回路

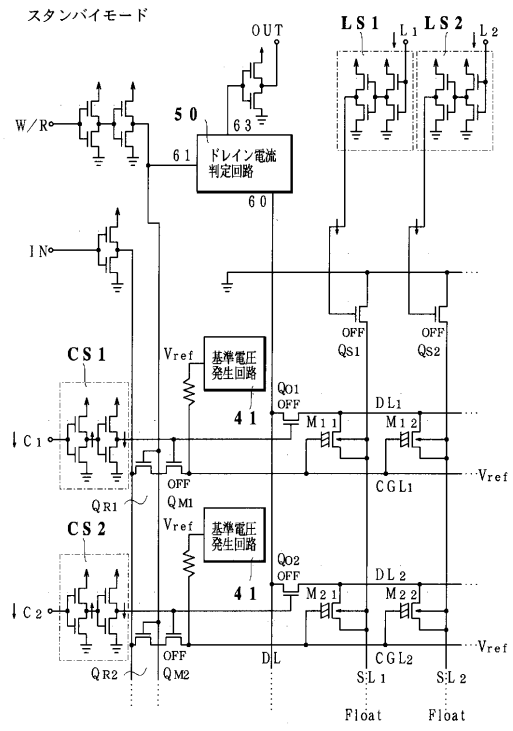
【図9】



【 図 1 0 】



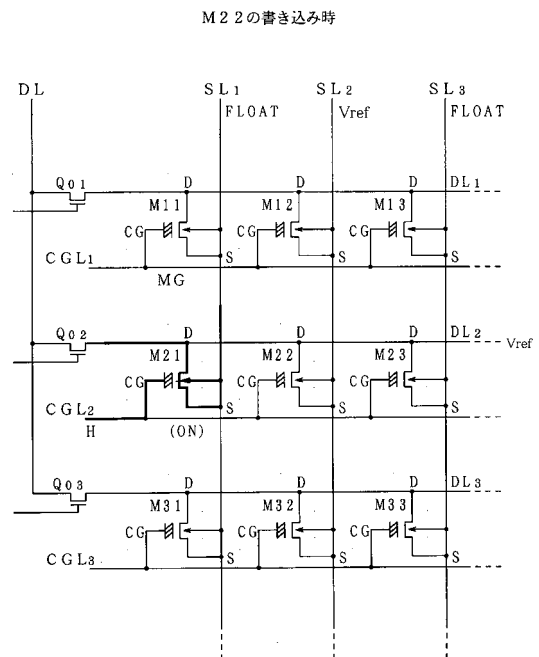
【 図 1 1 】



【 図 1 2 】

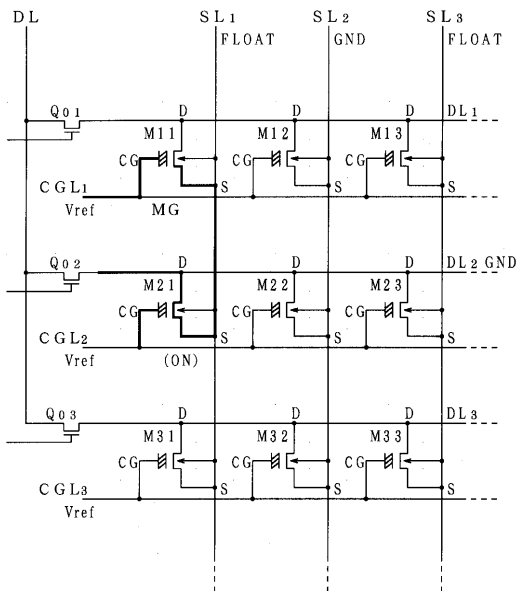
記録	H	HorL	-	L	H	L	H
読出	L	-	HorL	L	H	L	H
スタンバイ	-	-	-	L	L	L	L
W/R							
IN							
OUT							
C1							
C2							
L1							
L2							

【 図 1 3 】



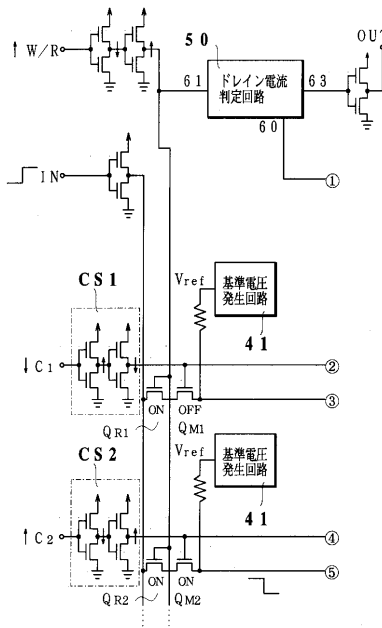
【 図 1 4 】

M22の読み出し時



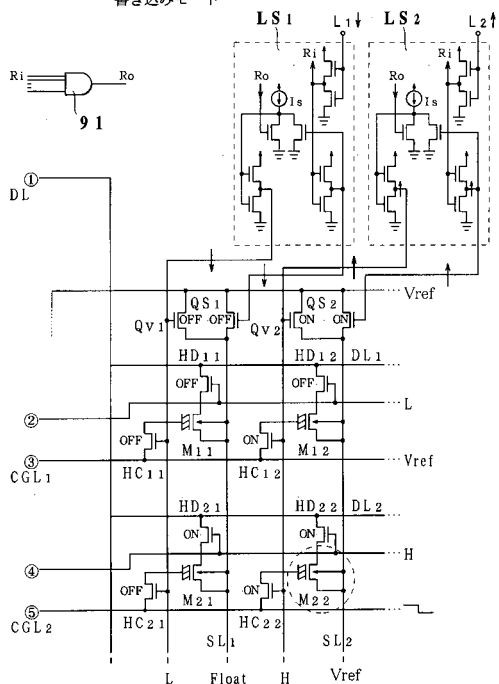
【 図 1 5 】

書き込みモード



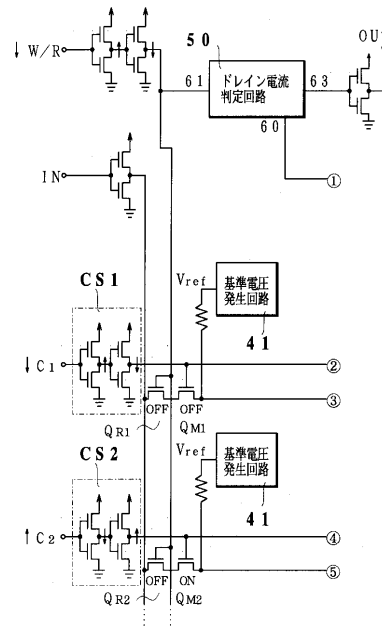
【 図 1 6 】

書き込みモード

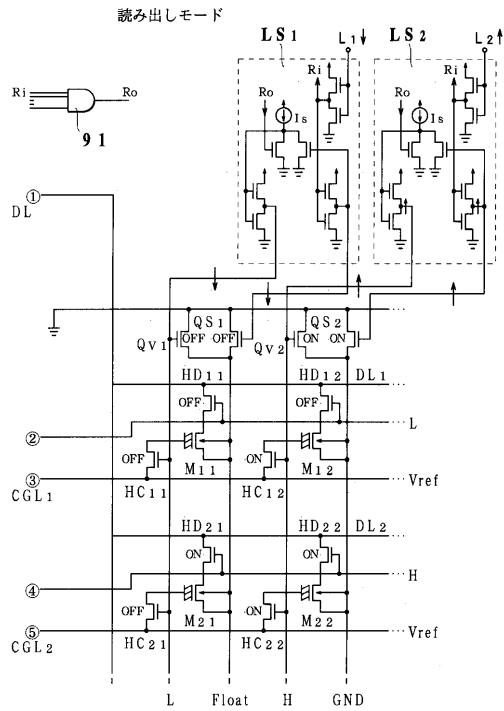


【 図 1 7 】

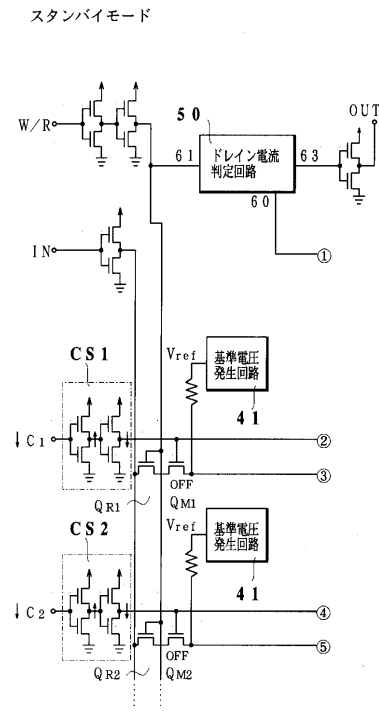
読み出しモード



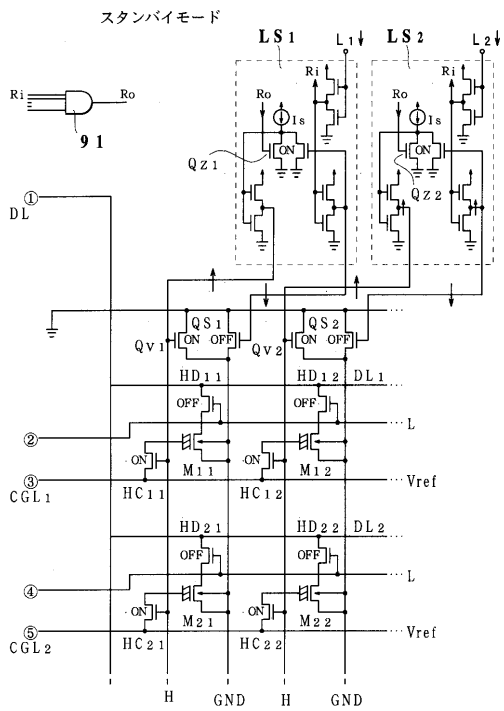
【 図 18 】



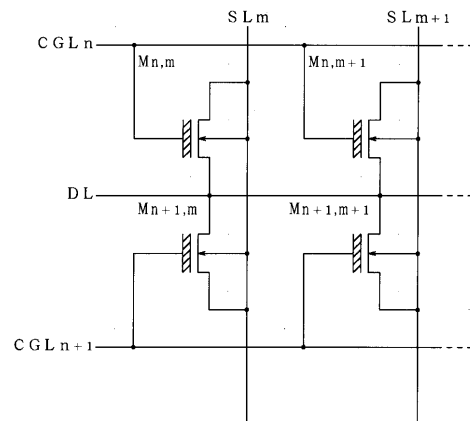
【 図 19 】



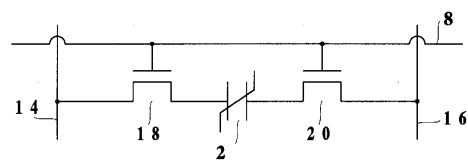
【 図 20 】



【 図 21 】



【 図 22 】



---

フロントページの続き

- (72)発明者 村本 淳  
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
- (72)発明者 淵上 貴昭  
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
- (72)発明者 上野山 博巳  
京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内

審査官 加藤 俊哉

- (56)参考文献 特開平04 - 192173 (JP, A)  
特開平05 - 090607 (JP, A)  
特開平05 - 205487 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G11C 11/22 501  
H01L 21/8247  
H01L 27/10 451  
H01L 29/788  
H01L 29/792