

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成21年7月16日(2009.7.16)

【公開番号】特開2006-350327(P2006-350327A)

【公開日】平成18年12月28日(2006.12.28)

【年通号数】公開・登録公報2006-051

【出願番号】特願2006-154103(P2006-154103)

【国際特許分類】

G 0 2 F 1/136 (2006.01)

G 0 2 F 1/1343 (2006.01)

H 0 1 L 21/3213 (2006.01)

G 0 9 F 9/00 (2006.01)

G 0 9 F 9/30 (2006.01)

【F I】

G 0 2 F 1/136

G 0 2 F 1/1343

H 0 1 L 21/88 C

G 0 9 F 9/00 3 3 8

G 0 9 F 9/30 3 3 8

【手続補正書】

【提出日】平成21年6月1日(2009.6.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板の上に形成されているストレージ電極、
 前記ストレージ電極上に形成された第 1 誘電膜、
 前記第 1 誘電膜の上に配置されるドレイン電極、
 前記第 1 誘電膜上に形成され、前記ドレイン電極の一部を露出させている第 1 コンタクトホールを有する第 2 誘電膜、
 前記第 2 誘電膜上に形成され、前記第 1 コンタクトホールに対応する第 2 コンタクトホール、及び前記第 2 誘電膜のうちストレージ電極の上部に位置する部分を露出させる第 3 コンタクトホールを有する絶縁層、並びに、
 前記ドレイン電極と電氣的に連結され、前記ストレージ電極の上部の前記第 3 コンタクトホールに位置して前記ストレージ電極と向かい合っているストレージ電極部を含む画素電極を含み、
 前記ストレージ電極、前記第 1 誘電膜、前記第 2 誘電膜及び前記画素電極の前記ストレージ電極部は互いに重なってストレージキャパシタを構成する表示装置。

【請求項 2】

前記第 1 コンタクトホールの内壁が階段状である請求項 1 に記載の表示装置。

【請求項 3】

前記内壁の段差が前記絶縁膜の最大厚の半分と等しい請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 コンタクトホールの位置は、前記第 2 コンタクトホールの位置と同じである請求項 1 から 3 のいずれか 1 つに記載の表示装置。

【請求項 5】

前記絶縁パターンが有機物及び感光物質を含む請求項 1 に記載の表示装置。

【請求項 6】

前記第 3 コンタクトホールは前記ストレージ電極の幅より狭い請求項 1 から 5 のいずれか 1 つに記載の表示装置。

【請求項 7】

基板と第 1 誘電膜との間に形成されているストレージ電極、

前記第 1 誘電膜上に配置されるドレイン電極、

前記第 1 誘電膜上に形成され、前記ドレイン電極の一部を露出させている第 1 コンタクトホールを有し、前記ストレージ電極の上方に位置する表面積増加部を含む第 2 誘電膜、

前記第 2 誘電膜上に形成され、前記第 1 コンタクトホールに対応する第 2 コンタクトホール、及び前記表面積増加部の一部を露出させる第 3 コンタクトホールを有する絶縁層、並びに、

前記ドレイン電極と電氣的に連結され、前記ストレージ電極の上部の前記表面積増加部の上部に位置して前記ストレージ電極と向かい合っているストレージ電極部を含む画素電極を含み、

前記ストレージ電極、前記第 1 誘電膜、前記第 2 誘電膜及び前記画素電極の前記ストレージ電極部は、互いに重なってストレージキャパシタを構成する表示装置。

【請求項 8】

前記表面積増加部が、前記誘電パターンの表面の窪みを含む請求項 7 に記載の表示装置。

【請求項 9】

前記表面積増加部は波形状である請求項 7 に記載の表示装置。

【請求項 10】

前記表面積増加部が、前記誘電パターンの表面で交互に連なる複数のグループと複数の突起とを含む凸凹である請求項 7 に記載の表示装置。

【請求項 11】

前記画素電極が透明電極である請求項 7 から 10 のいずれか 1 つに記載の表示装置。

【請求項 12】

基板上にストレージ電極を形成する段階、

前記基板と前記ストレージ電極とを第 1 誘電膜で覆う段階、

前記第 1 誘電膜の上にドレイン電極を形成する段階、

前記ドレイン電極と前記第 1 誘電膜とを第 2 誘電膜と絶縁層とで順番に覆う段階、

前記絶縁層をパターニングし、前記ドレイン電極を覆っている領域では前記第 2 誘電膜を露出させる第 2 コンタクトホールを形成し、前記ストレージ電極の上方に前記絶縁層の一部を残留させる段階、

前記第 2 誘電膜の露出部分を除去して前記第 2 誘電膜の第 1 コンタクトホールを形成し、そこから前記ドレイン電極を露出させる段階、

前記ストレージ電極の上方から前記絶縁層の残留部分を除去して第 3 コンタクトホールを形成し、そこから前記第 2 誘電膜を露出させる段階、及び、

前記絶縁層の上に画素電極を形成し、前記第 1 コンタクトホールの内側で前記画素電極を前記ドレイン電極と電氣的に連結し、前記第 3 コンタクトホールの内側に前記ストレージ電極と向かい合う前記画素電極のストレージ電極部を形成する段階を含み、

前記ストレージ電極、前記第 1 誘電膜、前記第 2 誘電膜、及び前記画素電極の前記ストレージ電極部が互いに重なってストレージキャパシタを構成する表示装置の製造方法。

【請求項 13】

前記ストレージ電極を形成する段階が、前記ストレージ電極の両側にゲートラインを形成する段階を含む請求項 12 に記載の表示装置の製造方法。

【請求項 14】

前記絶縁層をパターニングする段階では、前記ドレイン電極を覆っている部分が第 1 光

量で露光され、前記ストレージ電極の上方を覆っている部分が、前記第 1 光量より小さい第 2 光量で露光される請求項 12 に記載の表示装置の製造方法。

【請求項 15】

前記絶縁層をパターニングする段階では、前記ストレージ電極の上方を覆っている前記絶縁層の残留膜の厚みが前記第 2 誘電膜の厚みと実質的に等しい請求項 12 に記載の表示装置の製造方法。

【請求項 16】

前記ストレージ電極の上方に位置する前記絶縁層の残留部分がアッシングによって除去される請求項 12 から 15 のいずれか 1 つに記載の表示装置の製造方法。

【請求項 17】

前記第 1 コンタクトホールでは前記絶縁層の内壁が階段状である請求項 12 に記載の表示装置の製造方法。

【請求項 18】

基板上にストレージ電極を形成する段階、

前記基板と前記ストレージ電極とを第 1 誘電膜で覆う段階、

前記第 1 誘電膜の上にドレイン電極を形成する段階、

前記ドレイン電極と前記第 1 誘電膜とを第 2 誘電膜と絶縁層とで順番に覆う段階、

前記絶縁層をパターニングし、前記ドレイン電極を覆っている領域では前記第 2 誘電膜を露出させる第 2 コンタクトホールを形成し、表面に凹凸パターンを含む前記絶縁層の一部を前記ストレージ電極の上方に残留させる段階、

前記ドレイン電極の上方から前記第 2 誘電膜の露出部分を除去して前記第 2 誘電膜の第 1 コンタクトホールを形成し、そこから前記ドレイン電極を露出させる段階、

前記ストレージ電極の上方から前記絶縁層の残留部分を除去して第 3 コンタクトホールを形成し、そこから前記第 2 誘電膜を露出させると共に、その露出した表面に、前記凹凸パターンと同様な形状の表面積増加部を形成する段階、及び、

前記絶縁層の上に画素電極を形成し、前記第 1 コンタクトホールの内側では前記画素電極を前記ドレイン電極に電気的に連結し、前記第 3 コンタクトホールの内側では前記ストレージ電極と互いに向かい合う前記画素電極のストレージ電極部が前記表面積増加部を覆う段階を含み、

前記ストレージ電極、前記第 1 誘電膜、前記第 2 誘電膜、及び前記画素電極の前記ストレージ電極部が互いに重なってストレージキャパシタを構成する表示装置の製造方法。

【請求項 19】

前記ストレージ電極を形成する段階が、前記ストレージ電極の両側にゲートラインを形成する段階を含む請求項 18 に記載の表示装置の製造方法。

【請求項 20】

前記絶縁層をパターニングする段階では、マスクに形成された複数のスリットを通して前記絶縁層を露光し、その露光部分に前記凹凸パターンを形成する請求項 18 に記載の表示装置の製造方法。

【請求項 21】

前記第 3 コンタクトホールを形成する段階では、前記凹凸パターンの凸部をマスクとして利用するエッチングで、前記凹凸パターンの凹部から前記絶縁層の残留部分を除去して前記第 2 誘電膜を露出させると共に、その露出した表面に前記表面積増加部を形成する、請求項 18 に記載の表示装置の製造方法。

【請求項 22】

前記第 3 コンタクトホールを形成する段階が、前記凹凸パターンの凸部に残留する前記絶縁層をアッシングによって除去する段階を更に含む請求項 18 から 21 のいずれか 1 つに記載の表示装置の製造方法。

【請求項 23】

前記第 3 コンタクトホールを形成する段階が、

前記凹凸パターンの凸部をマスクとして利用するエッチングで、前記凹凸パターンの凹

部から前記絶縁膜の残留部分と前記第2誘電膜とを除去して前記第1誘電層を露出させると共に、前記凹凸パターンの凸部の下に残留する前記第2誘電膜の部分を前記表面積増加部として形成する段階、及び、

前記表面積増加部をマスクとして利用するエッチングで、前記凹凸パターンの凹部に露出した前記第1誘電膜の表面に、前記凹凸パターンと同様な形状の第2表面積増加部を形成する段階を含む請求項18から21のいずれか1つに記載の表示装置の製造方法。

【請求項24】

前記絶縁層をパターニングする段階が、

マスクに形成された、複数のスリットを含むスリット露光部を通し、前記ドレイン電極を覆っている前記絶縁層の領域を露光し、

前記マスクに形成された、一定の透過率の膜で覆われた光吸収・透過部を通し、前記ストレージ電極の上方を覆っている前記絶縁層の領域を均一に露光する段階を含む請求項18に記載の表示装置の製造方法。

【請求項25】

波長193nm～436nmの光に対し、前記光吸収・反射部の透過率が20%～70%である請求項24に記載の表示装置の製造方法。

【請求項26】

前記光吸収・透過部が酸化クロム膜又は窒化クロム膜を含む請求項24に記載の表示装置の製造方法。

【請求項27】

信号出力ユニットとストレージ電極を覆う絶縁層をパターニングするためのマスクであって、

前記信号出力ユニットのドレイン電極を覆っている前記絶縁層の第1部分を第1光量で露光する第1光透過部と、前記第1部分の周辺を囲んでいる前記絶縁層の第2部分を前記第1光量より小さい第2光量で露光する第2光透過部とを含む第1露光部、及び

前記ストレージ電極を覆っている前記絶縁層の第3部分を、前記第1光量よりは小さく、一方、前記第2光量よりは大きい第3光量で露光する第3光透過部、を含む第2露光部、を有するマスク。

【請求項28】

前記第2光透過部が、前記第1光透過部と同心の閉ループ形状である請求項27に記載のマスク。

【請求項29】

前記第3光透過部が、所定の間隔に連なる複数の帯形状である請求項27に記載のマスク。

【請求項30】

信号出力ユニットとストレージ電極を覆う絶縁層をパターニングするためのマスクであって、

複数のスリットを含み、前記信号出力ユニットのドレイン電極を覆っている前記絶縁層の領域を露光するスリット露光部、及び

前記ストレージ電極を覆っている前記絶縁層の領域を均一に露光して一定の厚みまで感光させる光吸収・透過部を有するマスク。

【請求項31】

前記スリットが閉ループ形状である請求項30に記載のマスク。

【請求項32】

波長193nm～436nmの光に対して、前記光吸収・反射部の透過率が20%～70%である。請求項31に記載のマスク。