



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2018년07월05일
 (11) 등록번호 10-1875247
 (24) 등록일자 2018년06월29일

- (51) 국제특허분류(Int. Cl.)
H01L 33/62 (2010.01) *H01L 33/48* (2010.01)
 (21) 출원번호 10-2013-7022350
 (22) 출원일자(국제) 2011년12월29일
 심사청구일자 2016년12월01일
 (85) 번역문제출일자 2013년08월23일
 (65) 공개번호 10-2014-0004739
 (43) 공개일자 2014년01월13일
 (86) 국제출원번호 PCT/IB2011/056010
 (87) 국제공개번호 WO 2012/101489
 국제공개일자 2012년08월02일
 (30) 우선권주장
 61/435,368 2011년01월24일 미국(US)

(56) 선행기술조사문헌

JP20101411176 A*

US20060278885 A1*

*는 심사관에 의하여 인용된 문헌

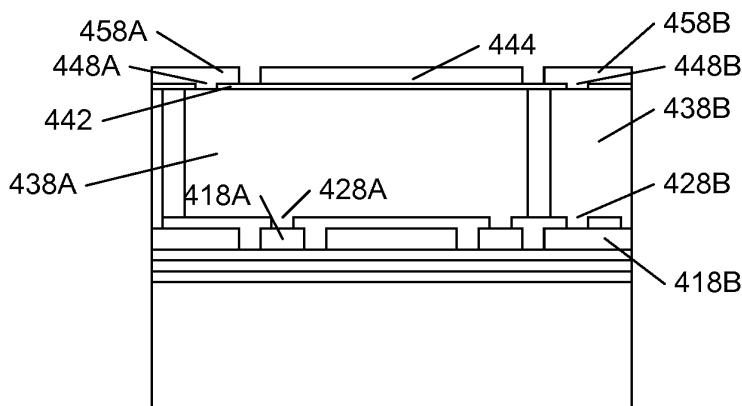
전체 청구항 수 : 총 15 항

심사관 : 김우영

(54) 발명의 명칭 발광 디바이스 및 그 생성 방법

(57) 요약

LED 구조체의 성장을 지지하기 위해 사용되는 기판은 LED 구조체 위의 상부 구조체의 생성을 지지하기 위해 사용된다. 상부 구조체는, 발광 디바이스에 구조적 지지를 제공할뿐만 아니라, LED 구조체로부터 상부 구조체의 상부까지 전도성 경로를 형성하는 전도성 요소들을 포함하는 일련의 층들로서, 바람직하게 생성된다. 이후 구조체는 뒤집혀서 상부 구조체는 LED 구조체에 대해 캐리어 기판이 되고, 본래 기판은 박형화되거나 제거된다. 구조체는 전기적 도전 및 절연 뿐 아니라 열 전도 및 방산을 용이하게 하는 재료들을 사용하여 생성된다.

대 표 도 - 도4f

명세서

청구범위

청구항 1

발광 디바이스를 생성하는 방법으로서,

기판 상에 발광 구조체를 형성하는 단계 - 상기 발광 구조체는 상기 기판의 반대측에 상면을 갖고, 상기 상면에서 액세스 가능한 적어도 제1 및 제2 전극들을 포함함 -;

상기 전극들 위에 제1 절연층을 형성하는 단계 - 상기 제1 절연층은, 상기 제1 절연층 내에 상기 적어도 제1 및 제2 전극들에 각각 접촉하기 위한 적어도 제1 및 제2 개구부들을 가짐 -;

상기 제1 절연층 위에 절연 벽들을 형성하는 단계 - 상기 절연 벽들은 상기 적어도 제1 및 제2 개구부들 사이에 절연을 제공하도록 구성됨 -;

전기적 전도성 재료로 상기 절연 벽들 사이의 공간의 적어도 일부를 채우는 단계 - 상기 전기적 전도성 재료는 상기 적어도 제1 및 제2 전극들에 접촉하기 위해 상기 적어도 제1 및 제2 개구부들로 확장됨 -

상기 전기적 전도성 재료 위에 제2 절연층을 형성하는 단계 - 상기 제2 절연층은, 상기 적어도 제1 및 제2 개구부들 각각에서 확장되는 상기 전기적 전도성 재료의 적어도 하나의 부분에 접촉하기 위한 적어도 두 개의 추가 개구부를 가짐 -;

상기 제2 절연층 및 상기 적어도 두 개의 추가 개구부 상에 금속층을 도포(apply)하는 단계; 및

상기 제2 절연층의 상기 적어도 두 개의 추가 개구부를 통해 상기 전기적 전도성 재료의 상기 적어도 하나의 부분에 결합되는 적어도 두 개의 전기적 전도성 컨택트를 형성하는 단계

를 포함하고,

상기 절연 벽들과 상기 전기적 전도성 재료는 상기 발광 구조체에 구조적 지지를 제공하도록 구성되는 방법.

청구항 2

제1항에 있어서,

상기 기판의 일부 또는 전부를 제거하는 단계를 포함하는 방법.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제2 절연층 및 상기 적어도 두 개의 추가 개구부 상에 금속층을 도포하는 상기 단계 후에, 상기 제2 절연층 상에 적어도 하나의 열 컨택트(thermal contact)를 형성하는 단계

를 포함하고,

상기 열 컨택트는 상기 전기적 전도성 재료로부터 전기적으로 절연되는 방법.

청구항 5

제1항에 있어서,

상기 전기적 전도성 재료의 적어도 일부는 상기 발광 디바이스의 적어도 하나의 외부 예지로 확장되는 방법.

청구항 6

제1항에 있어서,

상기 절연 벽들은 높이가 적어도 100 마이크로미터인 수지 벽들인 방법.

청구항 7

제1항에 있어서,

상기 발광 구조체는 복수의 발광 소자들을 포함하는 방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

제1항에 있어서,

상기 제1 절연층의 반대 방향으로 상기 발광 구조체를 넘어 파장 변환층을 형성하는 단계를 포함하는 방법.

청구항 11

제1항에 있어서,

상기 발광 구조체를 넘어 렌즈 소자를 형성하는 단계를 포함하는 방법.

청구항 12

발광 디바이스로서,

적어도 제1 및 제2 전극들을 포함하는 발광 구조체;

의도된 광 출력 방향과 반대 방향으로의 상기 적어도 제1 및 제2 전극들 위의 제1 절연층 - 상기 제1 절연층은, 상기 제1 절연층 내에 상기 적어도 제1 및 제2 전극들에 각각 접촉하기 위한 적어도 제1 및 제2 개구부들을 가짐 -;

상기 제1 절연층 위의 하나 이상의 절연 벽들 - 상기 절연 벽들은 상기 적어도 제1 및 제2 개구부들 사이에 절연을 제공함 -;

상기 하나 이상의 절연 벽들 각각의 양쪽 측면 상에 배치된 전기적 전도성 재료 - 상기 전기적 전도성 재료는 상기 적어도 제1 및 제2 전극들에 접촉하기 위해 상기 적어도 제1 및 제2 개구부들로 확장됨 -;

상기 전기적 전도성 재료 위의, 상기 적어도 제1 및 제2 개구부들 각각에서 확장되는 상기 전기적 전도성 재료의 적어도 하나의 부분에 접촉하기 위한 적어도 두 개의 추가 개구부를 갖는 제2 절연층;

상기 제2 절연층 및 상기 적어도 두 개의 추가 개구부 상의 금속층; 및

상기 제2 절연층의 상기 적어도 두 개의 추가 개구부를 통해 상기 전기적 전도성 재료의 상기 적어도 하나의 부분에 결합되는 적어도 두 개의 전기적 전도성 컨택트

를 포함하고,

상기 절연 벽들과 상기 전기적 전도성 재료는 상기 발광 구조체에 구조적 지지를 제공하도록 구성되는 발광 디바이스.

청구항 13

삭제

청구항 14

제12항에 있어서,

상기 제2 절연층 상의 적어도 하나의 열 컨택트를 포함하고,

상기 열 컨택트는 상기 전기적 전도성 재료로부터 전기적으로 절연되는 발광 디바이스.

청구항 15

제12항에 있어서,

상기 전기적 전도성 재료의 적어도 일부는 상기 발광 디바이스의 적어도 하나의 외부 에지로 확장되는 발광 디바이스.

청구항 16

제12항에 있어서,

상기 절연 벽들의 높이는 적어도 100 마이크로미터인 발광 디바이스.

청구항 17

제12항에 있어서,

상기 발광 구조체는 복수의 발광 소자들을 포함하는 발광 디바이스.

청구항 18

삭제

청구항 19

제12항에 있어서,

파장 변환층을 포함하는 발광 디바이스.

청구항 20

제12항에 있어서,

렌즈 소자를 포함하는 발광 디바이스.

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은 고체 상태 발광 디바이스의 분야에 관한 것이고, 특히 칩스케일 패키지 내의 발광 디바이스, 및 그러한 디바이스를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 발광 디바이스들(LED들), 및 특히 약 1/4 더 큰 와트에서 동작하는 발광 디바이스들은 일반적으로 광을 제공하는 반도체 소자, 및 기계적 지지, 전기적 접속, 열 방산, 파장 변환 등을 제공하는 하나 이상의 비반도체 소자들을 포함한다.

[0003] 고체 상태 LED들의 대중성 및 사용 분야가 계속해서 확장됨에 따라, 대량 판매로부터의 이익에 대한 잠재력이 증가하고, 제조사들 사이의 그러한 판매에 대한 경쟁도 증가하고 있다. 그러한 환경에서는, 단가에서의 작은 절감조차도 수익성에서의 큰 영향을 가질 수 있다. 따라서, LED들의 제조사들은 재료비 및 제조비를 절감하기 위해 노력한다.

[0004] 도 1은 반도체 소자(110) 및 적어도 2개의 비반도체 소자들: 세라믹 기판(120), 및 한 쌍의 전극들(122)을 포함

하는, 종래의 중-고 전력(medium-to-high power) LED를 도시한다. 도시된 대로, 이 실시예에서, 세라믹 기판(120)은 발광 반도체 구조체(110)의 2배를 훨씬 초과하는 면적이고, 이 여분의 면적은 주로 전극들(122)을 통한 반도체 구조체(110)로의 외부 접속을 용이하게 하기 위해 사용된다. 따라서, 기판(120)은 디바이스의 재료비의 비교적 상당 부분을 차지한다. 또한, 기판(120) 상에 반도체 구조체(110)를 배치하는 것은 일반적으로 정확한 핑앤플레이스(pick-and-place) 처리를 요구하고, 이는 디바이스의 제조비를 가중시킨다.

[0005] Ibbetson 등에 의해 2008년 2월 12일자로 발행된 미국특허공보 7,329,905호, "CHIP-SCALE METHODS FOR PACKAGING LIGHT EMITTING DEVICES AND CHIP-SCALE PACKAGED LIGHT EMITTING DEVICES"는 핑앤플레이스 처리를 제거하고, 지지 기판의 크기를 감소시키기 위해 웨이퍼 본딩을 사용하는 기술을 개시한다. 도 2a에 도시된 대로, 제1 웨이퍼는, 구조체 상부에 컨택트들(218)을 갖는 다수의 LED 구조체들(216)이 위에 형성되는 기판(212)을 포함한다. 제2 웨이퍼는 캐리어 기판의 상부 및 하부에 컨택트들(228, 238)을 각각 갖는 스루-홀 비아들(222)을 포함하는 캐리어 기판(220)을 포함한다. 도 2b에 도시된 대로, 제1 웨이퍼는 뒤집혀서 제2 웨이퍼에 본딩되고, LED 구조체들의 컨택트들(218)은 캐리어 기판의 상부에서 대응하는 컨택트들(228)에 결합(couple)된다. 선택적으로, LED 구조체들의 상부로부터의 광출력간 간섭을 줄이기 위해, 제1 웨이퍼의 성장 기판(212)은 박형화되거나(thinned) 제거될 수 있다. 결과적인 웨이퍼 본딩된 구조체는 이후, LED 구조체로의 외부 접속을 위해, 캐리어 기판의 하부에 컨택트들(238)을 갖는, 개별적인 발광 디바이스들로 다이싱(dice)/싱글레이팅(singulate)(파선)된다. 그 다음에, 이 디바이스들은 인쇄 회로 기판 상에 배치되고, 일반적으로 솔더 리플로우(solder reflow) 기술을 이용하여 보드 상의 대응하는 전극들에 결합될 수 있다.

[0006] 미국 특허 공보 7,329,905호의 기술들이 도 1의 종래 구조체에 비해, LED 구조체를 넘는(beyond) 기판 면적을 줄이고, 개별적인 LED 구조체들을 핑앤플레이스할 필요를 제거한다고 해도, 재료 및/또는 제조에서의 추가의 비용 절감, 또는 간소화(simplification)가 유리할 수 있다.

발명의 내용

[0007] 칩스케일 패키징된 발광 디바이스에서, 스루-홀 비아들을 제공할 필요를 제거하는 것이 유리할 수 있다. 기판에 사용되는 재료들에 대한, 그리고 기판을 통해 발광 구조체에 결합하는 것에 대한 더 많은 선택권을 제공하는 것 또한 유리할 수 있다.

[0008] 본 발명의 실시예에서, LED 구조체의 성장을 지지하기 위해 사용되는 기판은 LED 구조체 위의 상부 구조체(superstructure)의 생성을 지지하기 위해 사용된다. 상부 구조체는, LED 구조체로부터 상부 구조체의 상부까지 전도성 경로를 형성하는 전도성 요소들을 포함하는 일련의 층들로서, 바람직하게 생성된다. 이후 구조체는 뒤집혀서 상부 구조체는 LED 구조체에 대해 캐리어 기판이 되고, 본래 기판은 박형화되거나 제거된다. 구조체는 전기적 도전 및 절연뿐만 아니라 열 전도 및 방산을 용이하게 하는 재료들을 사용하여 생성된다.

도면의 간단한 설명

[0009] 본 발명은 예시에 의해 첨부 도면들을 참조하여 더욱 상세하게 설명된다.

도 1은 예시적인 종래 기술 발광 디바이스를 도시한다.

도 2a 및 2b는 다른 예시적인 종래 기술 발광 디바이스를 도시한다.

도 3은 발광 디바이스를 전력원에 결합하기 위한 외부 컨택트들을 제공하고, 발광 디바이스를 지지하기에 적합한 상부 구조체를 갖는 발광 디바이스를 생성하기 위한 예시적인 흐름도를 도시한다.

도 4a-4h는 제조 중 발광 디바이스의 예시적인 뷰(view)들을 도시한다.

도 5-8은 발광 디바이스를 형성하기 위한 예시적인 대안 구조체들을 도시한다.

도면 전체에서, 동일 참조 번호들은 유사한 또는 대응하는 특징 또는 기능들을 나타낸다. 도면들은 예시적인 목적을 위해 포함되고 발명의 범위를 제한하고자 의도되지 않는다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하 설명에서, 제한이 아닌 설명의 목적으로, 발명의 개념의 완전한 이해를 제공하기 위해, 특정 아키텍처(architecture), 인터페이스, 기술 등과 같은 구체적인 상세사항이 기술된다. 그러나, 이러한 구체적인 상세사항에서 벗어난, 다른 실시예로 본 발명이 실시될 수 있음을 당업자에게 자명할 것이다. 마찬가지로, 본 설명의

본문은 도면들에 대로 예시적인 실시예들에 대한 것이고, 청구항에 명확히 포함된 제한을 넘어 청구된 발명을 제한하는 것을 의도하지 않는다. 간소화 및 명료화의 목적을 위해, 잘 알려진 디바이스, 회로, 및 방법들의 상세한 설명은 불필요한 상세사항으로 본 발명의 설명을 모호하게 하지 않기 위해 생략되었다.

[0011] 본 발명의 디바이스 및 프로세스는 도 3의 예시적인 흐름도, 및 도 4의 대응하는 발광 디바이스 구조체들을 참조하여 가장 잘 이해될 수 있다. 본 발명이 웨이퍼 또는 다른 캐리어 상의 다수의 발광 디바이스들의 생성에 특히 매우 적합하다고 해도, 도 4 및 수반되는 설명은 하나의 예시적인 발광 디바이스의 생성을 다룰 것이다. 당업자는 캐리어 상에 생성되는 디바이스의 수가 본 발명의 원리와 무관함을 인지할 것이다.

[0012] 310에서, 발광 소자(416) 및 연관된 전극 컨택트들(418A, 418B)은 기판(412) 상에 생성되고, 일반적으로 성장 기판은 반도체 디바이스 및 상호접속층(interconnection layer)의 생성을 용이하게 한다. 발광 소자(416)는 층들의 스택(stack)으로서 도시되고, 애노드와 캐소드 사이의 발광 물질의 전형적인 삼입물(sandwich)에 대응한다. 임의의 수의 알려진 기술들을 이용하여 도 4a 및 4b의 구조체를 생성할 수 있으며, 도 4a는 측면도이고, 도 4b는 상면도이다.

[0013] 본 예시적인 실시예에서, 디바이스는, 발광 소자(416)의 전극들(예컨대 애노드) 중 하나에 결합하기 위한 4개의 컨택트 영역들(418A)의 세트, 및 다른 전극(예컨대 캐소드)에 결합하기 위한 더 넓은 주변 영역(418B)을 제공하도록 구성된다. 갭(gap)(415)은 이 전극들(418A, 418B)을 분리한다. 4개의 컨택트 영역들(418A) 및 넓은 영역(418B)의 사용은 디바이스 내의 더욱 균일한 전류 밀도 분포를 용이하게 하고, 일부 실시예에서, 컨택트 영역들(418A)은 상이한 광출력 파장들(컬러들)을 제공하는 개별 발광 디바이스들에 결합될 수 있다. 참조의 편의를 위해, 여기서 이 전극들(418A)은 공통 전력원에 결합되도록 의도되는 것으로 상정된다.

[0014] 320에서, 이하 상세히 기술된 대로 테스트는 상부 구조체의 생성 완료 후에 대안적으로 수행될 수 있어도, 생성된 발광 소자들(416)은 테스트될 수 있다. 330(도 4c)에서, 전극들을 선택 구역들(428A, 428B)에서는 제외하고, 후속 전도층들로부터 분리하기 위해, 유전체(dielectric)와 같은 절연 재료(420)가 구조체에 도포된다. 종래 리소그래픽(lithographic) 기술들은 이 패터닝된(patterned) 절연 재료(420) 층을 제공하기 위해 이 용될 수 있다. 이하에 더 상세히 기술되듯이, 광출력은 전극들(418A, 418B) 및 절연체(420)로부터 멀어지는 방향으로 디바이스에서 나가도록 의도되고, 따라서, 전극들(418A, 418B) 및 절연층들(420)은 디바이스 내에 흡수되거나 손실된 광량을 감소시키도록 반사적인 것이 바람직하다. 대안적으로, 전극들(418A, 418B) 또는 절연층(420)은 투명할 수 있어, 후속 층들에 의존하여 그러한 반사를 제공할 수 있다. 또한 이하 더욱 상세히 기술된 대로, 절연체(420)는 바람직하게 열을 전도시키고, 전기를 전도시키지 않는다.

[0015] 340(도 4d)에서, 상대적으로 키가 큰 절연/분리 디바이더(divider)들(430)은 구조체 상의 선택 구역들에 생성된다. 전형적인 실시예에서, 발광 소자(416)는 대략 5 마이크로미터 두께 정도일 수 있는 반면, 디바이더들(430)의 높이는 대략 100 마이크로미터 이상일 수 있다. 리소그래픽 기술은 선택 구역에서 경화되는 에폭시 수지(epoxy resin)와 같은 슬러리(slurry)를 사용하여, 이 디바이더들(430)을 생성하도록 사용될 수 있다. 디바이더들(430)이 직사각형 단면을 갖는 것처럼 도시되어 있지만, 당업자는 이 디바이더들(430)이 상부 면적보다 더 넓은 기저를 갖는 사다리꼴 형상을 가질 수 있음을 인지할 것이다.

[0016] 350(도 4e)에서, 디바이더들(430) 사이의 공간들은 금속(438A, 438B)으로 채워진다. 구리와 같은 금속의 과도금(overplating)이 이어지는, 이 공간들 내의 시드층(seed layer)의 종래의 도포가 이용될 수 있다. 이 과도금은 의도적으로 디바이더들(430) 위로 확장될 수 있고, 이후 디바이더들(430)을 노출시키도록 기계적으로 또는 화학적으로, 또는 둘 다로 깎여서 영역들(438A, 438B)을 분리시킬 수 있다. 금속(438A)은 절연층(420) 내의 갭(들)(428A) 안으로 확장되어 그에 의해 발광 소자(416)의 전극 컨택트(들)(418A)에 접촉한다. 마찬가지로 금속(438B)은 갭(들)(428B) 안으로 확장되어 전극 컨택트(들)(418B)에 접촉한다.

[0017] 360(도 4f)에서, 다른 절연층(442)이 선택 구역에 갭들(448A, 448B)을 갖고, 금속(438A, 438B) 위에 도포된다. 절연체(420)와 마찬가지로, 절연체(442)는 바람직하게 열을 전도시키고 전기를 전도시키지 않는다. 예컨대, 절연체(442)층은 SiO_2 또는 Si_3N_4 와 같은 무기 재료 또는 수지를 포함할 수 있다.

[0018] 370(도 4f)에서, 최종 금속층은 절연층(442) 위에 도포된다. 이 예시에서, 3개의 전도성 컨택트들(444, 458A, 458B)이 형성된다. 컨택트(458A)에서의 금속은 갭(448A) 안으로 확장되어 금속(438A)을 통해 전극(418A)으로의 접촉을 제공하고, 컨택트(458B)에서의 금속은 갭(448B) 안으로 확장되어 금속(438B)을 통해 전극(418B)으로의 접촉을 제공한다. 이 컨택트들(458A, 458B)은 전력원을 발광 소자(416)에 결합하는 외부 컨택트들로서 역할을 한다. 당업자는 2개의 컨택트(458A, 458B)가 전술되고 이 도면들에 도시되어 있지만, 추가 컨택트들 또한 제공

될 수 있음을 인지할 것이다. 예컨대, 발광 소자들(416)은 상이한 조명 레벨들, 상이한 컬러들 및 컬러들의 조합 등을 제공하기 위해 다수의 세그먼트들을 포함할 수 있다.

[0019] 444에서의 금속 패드는 기저 금속 구조체들(438A, 438B)과 결합되지 않고, 열 방산을 위해 외부 접촉을 제공하는 역할을 한다. 즉, 절연층들(420, 442)을 통한 최소한의 단열을 상정하면, 금속 구조체들(438A, 438B)은 발광 소자(416)에 의해 생성된 열을 금속 패드(444)에, 그리고 거기로부터 인쇄 회로 기판과 같은 기저 기판에 전도하는 역할을 할 것이다.

[0020] 380(도 4g-4h)에서, 구조체는 뒤집혀서, 코어 금속 구조체들(core metal structures)(438A, 438B)은 발광 디바이스에 대해 구조적 지지를 제공하여, 본래 성장 기판(412)이 제거되거나 두께가 감소되도록 하고, 그에 의해 광이 발광 소자(416)의 '상부'를 코어 금속 구조체들(438A, 438B)의 반대 방향으로 떠날 때, 광 손실을 감소시킨다. 도 4h의 하면도에 도시된 대로, 컨택트들(444, 458A, 458B)은 디바이스의 폭을 가로질러 확장될 수 있어, 디바이스로의 외부 접속들을 용이하게 할 수 있다.

[0021] 특히, 본 발명의 원리를 이용하여 생성된 발광 디바이스는 웨이퍼 본딩을 요구하지 않고, 외부 컨택트들(458A, 458B)의 위치 및 배향은 내부 전극들(418A, 418B)의 위치 및 배향과 실질적으로 독립적이며, 그에 의해 스루-홀 비아들(도 2a 및 2b의 222)을 사용하는 것에 비해, 실질적인 설계 유연성을 제공한다.

[0022] 도 4g의 구조체는 요구되는 대로 추가 처리될 수 있다. 예컨대, 백색 발광 디바이스를 생성하는 컬러들의 조합을 생성하기 위해, 예컨대 발광 소자(416)에 의해 생성된 컬러와 상이한 컬러(들)를 생성하는 파장 변환 물질(예컨대, 인광체)의 층이 도포될 수 있다. 마찬가지로, 특정 광학 특성을 제공하고/제공하거나 디바이스의 상부층들을 보호하기 위해 렌즈가 구조체 맨 위에 생성될 수 있다.

[0023] 당업자는 도 4a-4h에 도시된 특정 구조체가 단지 예시적인 구조체임을 인지할 것이다. 도 5-8은 전술한 기술들을 이용하여 생성될 수 있는 몇몇 대안적인 구조체들을 도시한다. 참조의 편의를 위해, 이 도면들에서, 애노드 소자들은 밝은 음영으로 음영 처리되고, 캐소드 소자들은 중간 음영으로 음영 처리되고, 열 소자들은 어두운 음영으로 음영 처리된다. 절연 구역들은 음영 없이 도시된다.

[0024] 도 5는 그 자체로는 분리된 열 소자를 갖지 않는 예시적인 구조체를 도시한다. 이 예에서, 벽(520)은 디바이스의 주변 둘레로 확장되고, 캐소드 구조체(528B)에 결합된다. 이 벽(520)은 디바이스의 외부 주변(outer perimeter)을 통해 열을 방산하도록 구성된다. 외부 열 싱크(sink) 또는 핀(fin) 구조체(도시되지 않음)는 열 방산을 더욱 용이하게 하기 위해 주변에 부착시킬 수 있다. 당업자는 벽(520)이 구조체들(528A, 528B)로부터 대안적으로 절연될 수 있고, 그에 의해 발광 소자(516)에 전기적으로 결합되지 않은 분리된 열 방산 소자를 형성함을 인지할 것이다.

[0025] 도 6은 디바이스의 에지(edge)를 통해 애노드(528A) 및 캐소드(528B) 구조체들에 외부 접속을 제공하는 예시적인 구조체를 도시한다. 이 예에서, 열 소자(644)는 디바이스의 하부에 걸쳐 확장한다.

[0026] 도 7은 인쇄 회로 기판(710)에 부착된 에지 접속 디바이스의 다른 예를 도시한다. 이 예에서, 캐소드 구조체(728B)만이 에지들로 확장되고, 애노드 구조체(728A)는 디바이스의 하부에서 컨택트(758A)로 확장된다. 캐소드(728B)는 솔더 조인트(solder joint)들(730)을 통해 인쇄 회로 기판(710) 상의 컨덕터들(712B)에 결합될 수 있고, 애노드 컨택트(758A)는 솔더 볼(solder ball)들(740)을 통해 인쇄 회로 기판(710) 상의 컨덕터(712A)에 결합될 수 있다. 솔더 볼들 또는 연속적인 솔더 필름(continuous solder film)의 사용을 포함하여, 구조체를 인쇄 회로 기판에 결합하는 다양한 결합 방법들이 이용될 수 있다.

[0027] 도 8은 다수의 애노드 디바이스의 하면도를 도시한다. 전술한 대로, 발광 디바이스는 복수의 발광 소자들을 포함할 수 있다. 분리된 컨택트들(858A1-4)을 제공함으로써, 강도(intensity) 또는 컬러는 애노드들(858A1-4)의 하나 이상의 조합들을 선택적으로 활성화함으로써 변경될 수 있다. 당업자는 다양한 상이한 구성들을 용이하게 하도록 다수의 캐소드 컨택트들이 제공될 수 있음을 인지할지라도, 이 예에서는, 공통 캐소드 컨택트(858B)가 도시된다. 이 예에서 열 소자(844)는 애노드 및 캐소드 컨택트들 사이에 배치된다.

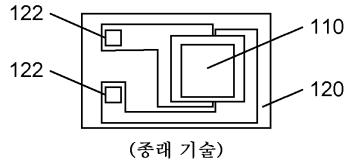
[0028] 본 발명이 도면들과 전술한 설명에서 상세하게 도시되고 기술되었으나, 그러한 도시 및 기술은 제한적이 아닌, 설명적이거나 예시적인 것으로 간주되고, 본 발명은 개시된 실시예들에 제한되지 않는다.

[0029] 개시된 실시예들에 대한 다른 변경들은, 청구된 발명을 실시함에 있어서, 도면들, 개시내용, 및 첨부된 청구항들의 연구(study)로부터 당업자에 의해 이해될 수 있고 달성될 수 있다. 청구항에서, "포함하는"이라는 단어는 다른 요소들 또는 단계들을 배제하지 않고, 부정관사 "a" 또는 "an"은 복수를 배제하지 않는다. 특정 방안들이

서로 상이한 종속 청구항들에서 언급된 점만으로, 이 방안들의 조합이 유리하게 사용될 수 없음을 나타내지는 않는다. 청구항 내의 임의의 참조 부호는 범위를 제한하는 것으로 이해되지 않아야 한다.

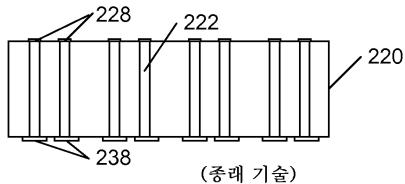
도면

도면1



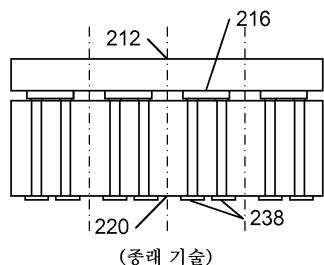
(종래 기술)

도면2a



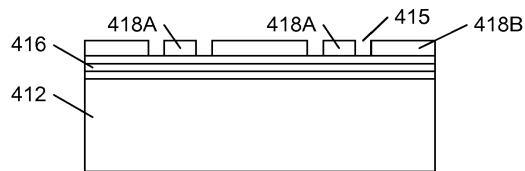
(종래 기술)

도면3

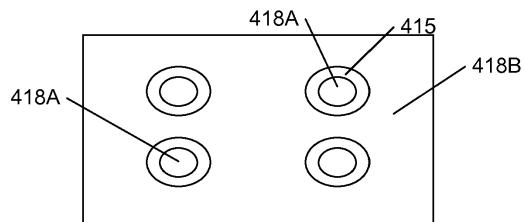


(종래 기술)

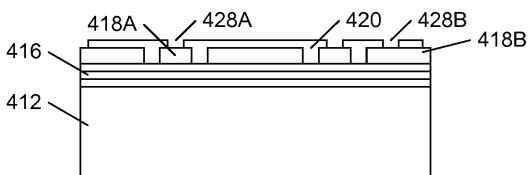
도면4a



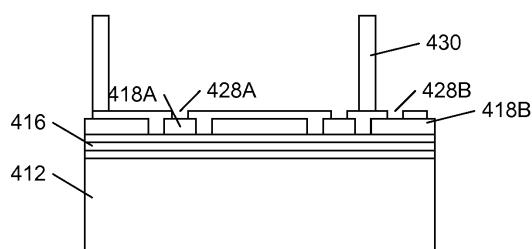
도면4b



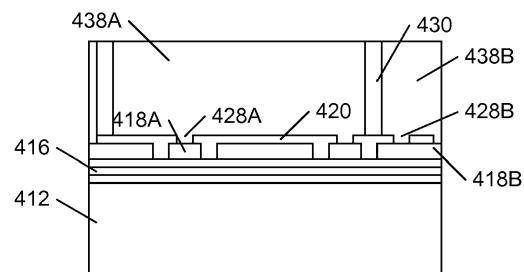
도면4c



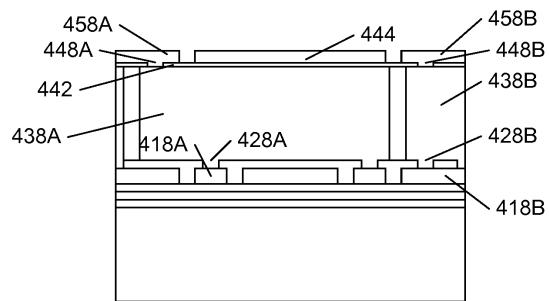
도면4d



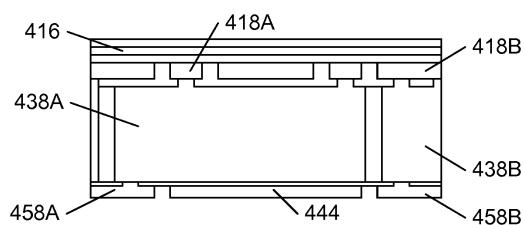
도면4e



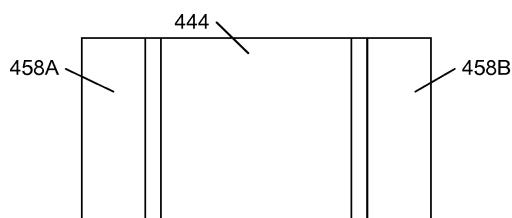
도면4f



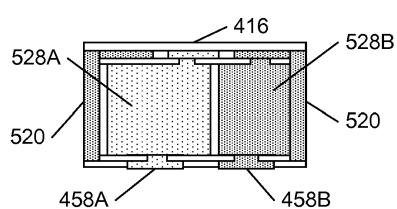
도면4g



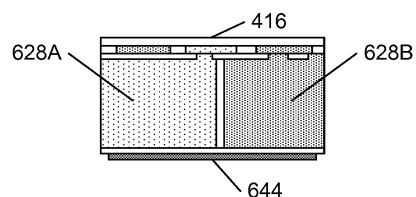
도면4h



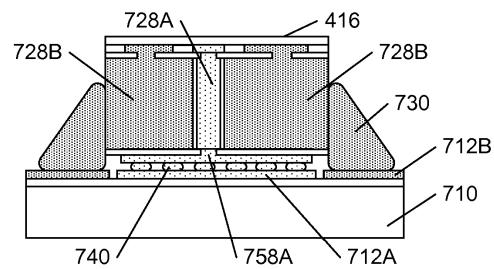
도면5



도면6



도면7



도면8

