

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月26日(26.10.2023)



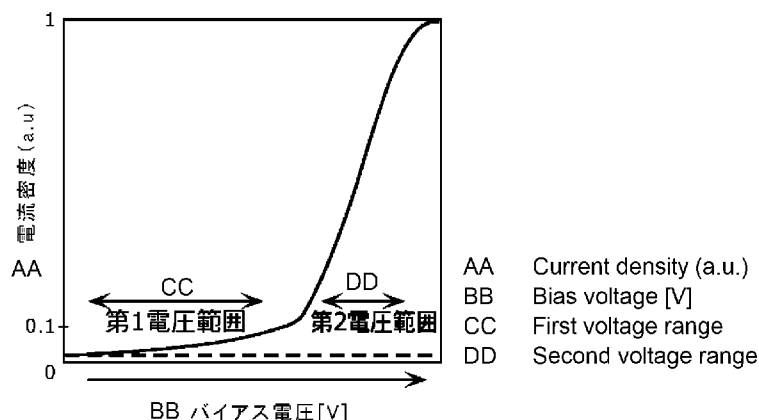
(10) 国際公開番号

WO 2023/203995 A1

- (51) 国際特許分類:
H10K 30/60 (2023.01) *H10K 30/30* (2023.01)
H01L 27/146 (2006.01) *H10K 30/40* (2023.01)
H04N 25/70 (2023.01) *H10K 39/32* (2023.01)
- (21) 国際出願番号: PCT/JP2023/013659
- (22) 国際出願日: 2023年3月31日(31.03.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-070203 2022年4月21日(21.04.2022) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207
- 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 光石 杜朗 (MITSUISHI Morio), 三宅 康夫(MIYAKE Yasuo).
- (74) 代理人: 鎌田 健司, 外 (KAMATA Kenji et al.); 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: PHOTOELECTRIC CONVERSION ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 光電変換素子および撮像装置



(57) Abstract: A photoelectric conversion element according to the present invention comprises: a photoelectric conversion layer that converts light to a signal charge; a first electrode and a second electrode that collect signal charges; and a first charge blocking layer including a first charge blocking material and positioned between the photoelectric conversion layer and the second electrode. The photoelectric conversion layer is positioned between the second electrode and the first electrode. The first charge blocking layer is configured so as to block charges of a polarity opposite the polarity of the signal charge. A first voltage range and a second voltage range are exhibited as characteristics of a photoelectric current of the photoelectric conversion element in response to a voltage applied between the first electrode and the second electrode if light having a predetermined illuminance is irradiated onto the photoelectric conversion layer. A first photoelectric current density at a first voltage included in the first voltage range is smaller than a second photoelectric current density at a second voltage included in the second voltage range. The first voltage is smaller than the second voltage, a rate of change in the photoelectric current density at the first voltage is smaller than the rate of change in the photoelectric current density at the second voltage, and an absolute value of a difference between a maximum voltage in the first voltage range

WO 2023/203995 A1

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

and a minimum voltage in the first voltage range is 0.5 V or greater.

(57) 要約 : 光電変換素子は、光を信号電荷に変換する光電変換層、信号電荷を捕集する第1電極、第2電極、光電変換層と第2電極との間に位置し、第1電荷ブロッキング材料を含む第1電荷ブロッキング層とを備え、光電変換層は第2電極と第1電極との間に位置し、第1電荷ブロッキング層は信号電荷の極性とは逆の極性の電荷をブロックするように構成され、所定の照度を有する光を光電変換層に照射した場合の第1電極と第2電極との間に印加する電圧に対する光電変換素子の光電流の特性は、第1電圧範囲と第2電圧範囲を示し、第1電圧範囲に含まれる第1電圧における第1光電流密度は、第2電圧範囲に含まれる第2電圧における第2光電流密度より小さく、第1電圧は第2電圧よりも小さく、第1電圧における光電流密度の変化率は、第2電圧における光電流密度の変化率より小さく、第1電圧範囲の最大電圧と第1電圧範囲の最小電圧の差の絶対値は0.5V以上である。

明 細 書

発明の名称：光電変換素子および撮像装置

技術分野

[0001] 本開示は、光電変換素子および撮像装置に関するものである。

背景技術

[0002] MOS (Metal Oxide Semiconductor) 型の撮像装置として積層型の撮像装置が提案されている。積層型の撮像装置では、半導体基板の上方に光電変換層を含む光電変換素子が積層され、光電変換層内において光電変換によって発生した電荷を電荷蓄積領域に蓄積する。撮像装置は、半導体基板内でCCD (Charge Coupled Device) 回路またはCMOS (Complementary MOS) 回路を用いてその蓄積された電荷を読み出す。例えば、特許文献1は、そのような撮像装置を開示している。

[0003] 撮像装置は、様々な環境下で使用される。例えば、監視用または車載用の撮像装置は、明るさが大きく異なる撮影環境においても、高画質で撮影を行うことが求められる。

[0004] 従来、撮像装置から出力される画像の輝度値を調整することが行われている。輝度値の調整は、例えば被写体の照度等に応じてなされる。輝度値の調整は、例えば、撮像装置が備える光電変換素子への入射光量の調整により実現できる。入射光量の調整は、例えば、レンズの絞りの調整、シャッタによる露光時間の調整、ND (Neutral Density) フィルタによる減光等により実現できる。

[0005] また、このような要望に対し、例えば、特許文献2では光電変換素子に印加する電圧を変更することで感度を調整して、画像の輝度値を制御する手法が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2009-164604号公報

特許文献2：特開2019-176463号公報

発明の概要

[0007] 感度を調整して撮像する場合に、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することが可能な光電変換素子および撮像装置を提供する。

[0008] 本開示の一様態に係る光電変換素子は、光を信号電荷に変換する光電変換層と、前記信号電荷を捕集する第1電極と、第2電極と、前記光電変換層と前記第2電極との間に位置し、第1電荷ブロッキング材料を含む第1電荷ブロッキング層と、を備え、前記第2電極は、前記光電変換層と前記第1電極との間に位置し、前記第1電荷ブロッキング層は、前記信号電荷の極性とは逆の極性の電荷をブロックするように構成され、所定の照度を有する光を前記光電変換層に照射した場合の前記第1電極と前記第2電極との間に印加する電圧に対する前記光電変換素子の光電流の特性は、第1電圧範囲と第2電圧範囲を示し、前記第1電圧範囲に含まれる第1電圧における第1光電流密度は、前記第2電圧範囲に含まれる第2電圧における第2光電流密度より小さく、前記第1電圧は、前記第2電圧よりも小さく、前記第1電圧における光電流密度の変化率は、前記第2電圧における光電流密度の変化率より小さく、前記第1電圧範囲の最大電圧と前記第1電圧範囲の最小電圧の差の絶対値は、0.5V以上である。

[0009] 本開示の一様態に係る撮像装置は、上記光電変換素子と、前記第1電極に接続された電荷検出回路と、前記第1電極と前記第2電極との間に電位差を与える電圧供給回路と、を備える。

[0010] 本開示によれば、感度を調整して撮像する場合に、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。

図面の簡単な説明

[0011] [図1]図1は、実施の形態に係る光電変換素子の構成を示す概略断面図である

。

[図2]図2は、実施の形態に係る光電変換素子における例示的なエネルギーバンド図である。

[図3]図3は、図2で示されるエネルギーバンド構成を有する光電変換素子において、上部電極と下部電極との間に低い電圧が印加された場合のエネルギーバンド図である。

[図4]図4は、図2で示されるエネルギーバンド構成を有する光電変換素子において、上部電極と下部電極との間に高い電圧が印加された場合のエネルギーバンド図である。

[図5]図5は、実施の形態に係る光電変換素子の模式的な電流－電圧特性の一例を示す図である。

[図6]図6は、従来の光電変換素子の模式的な電流－電圧特性の一例を示す図である。

[図7]図7は、実施の形態に係る撮像装置の回路構成の一例を示す図である。

[図8]図8は、実施の形態に係る撮像装置における画素のデバイス構造の一例を示す概略断面図である。

[図9]図9は、実施の形態に係る別の光電変換素子における例示的なエネルギーバンド図である。

[図10]図10は、実施の形態に係る画素の模式的な回路構成の一部を示す図である。

[図11]図11は、比較例1における光電変換素子の電流－電圧特性を示す図である。

[図12]図12は、実施例1における光電変換素子の電流－電圧特性を示す図である。

[図13]図13は、実施例1における光電変換素子の電流－電圧特性を示す別の図である。

発明を実施するための形態

[0012] (本開示の一態様に至った知見)

本発明者らは、撮像装置から出力される画像の輝度値を調整するために光電変換素子に印加する電圧によって感度を調整する場合に、次のような課題があることを見出した。

[0013] 一般的に、光電変換素子に印加する電圧を上げていくと、光電流は電圧を0Vから上げ始めた直後から急峻に増加する。そのため、撮像装置として感度を小さくして撮像する場合、光電変換素子に印加する電圧を0V付近の低い値に設定する必要がある。この場合、光電変換素子に印加する電圧以上になるような信号電荷を電荷蓄積領域に蓄積することができないため、十分な飽和電荷量を維持することができない。

[0014] また、バイアス電圧の変化に伴い光電流も急峻に変化するため、低感度で撮像する場合の感度が、電荷蓄積による電界強度変化（光電変換素子に印加される電圧の変化）の影響を受けやすい。つまり、低感度の撮像において、電荷蓄積部に信号電荷が蓄積された場合に感度が急峻に低下するため、光の入射量に対する出力のリニアリティ特性が低下しやすい。

[0015] 本開示は、このような知見に基づいてなされたものであり、感度を調整して撮像する場合に、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる光電変換素子および撮像装置を提供する。

[0016] 本開示の一様態の概要は以下の通りである。

[0017] 本開示の一様態に係る光電変換素子は、光を信号電荷に変換する光電変換層と、前記信号電荷を捕集する第1電極と、第2電極と、前記光電変換層と前記第2電極との間に位置し、第1電荷ブロッキング材料を含む第1電荷ブロッキング層と、を備え、前記第2電極は、前記光電変換層と前記第1電極との間に位置し、前記第1電荷ブロッキング層は、前記信号電荷の極性とは逆の極性の電荷をブロックするように構成され、所定の照度を有する光を前記光電変換層に照射した場合の前記第1電極と前記第2電極との間に印加する電圧に対する前記光電変換素子の光電流の特性は、第1電圧範囲と第2電圧範囲を示し、前記第1電圧範囲に含まれる第1電圧における第1光電流密

度は、前記第2電圧範囲に含まれる第2電圧における第2光電流密度より小さく、前記第1電圧は、前記第2電圧よりも小さく、前記第1電圧における光電流密度の変化率は、前記第2電圧における光電流密度の変化率より小さく、前記第1電圧範囲の最大電圧と前記第1電圧範囲の最小電圧の差の絶対値は、0.5V以上である。

[0018] 本態様の構成によれば、感度を調整して撮像する場合に、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。

[0019] 具体的には、光電変換層において光電変換により発生した、信号電荷の極性とは逆の極性の電荷は、光電変換層内をホッピング伝導し、第2電極に取り出される。その際、光電変換層と第2電極との間に第1電荷ブロッキング層が位置することにより、信号電荷とは逆極性の電荷は、光電変換層と第1電荷ブロッキング層との界面に蓄積される。このような光電変換層と第1電荷ブロッキング層との界面の電荷の蓄積により、光電変換層にかかる電界強度が緩和（低減）される。この電界強度の緩和は、光電変換素子に第1電圧範囲の低電圧を印加した際に、顕著に発生し、第1電荷ブロッキング層を有しない場合よりも感度が低くなる。一方、光電変換素子に第2電圧範囲以上の高電圧を印加した際には、信号電荷とは逆極性の電荷は、第1電荷ブロッキング層をトンネリングするだけのエネルギーを有する。その結果、光電変換層と第1電荷ブロッキング層との界面に当該電荷が蓄積されにくくなることから、電界強度の緩和の効果は小さくなる。よって、感度が大幅に上昇する。この現象を用いることで、第1電圧範囲の電圧を用いた低感度での撮像と、第2電圧範囲以上の電圧を用いた高感度での撮像とが可能になる。また、第1電圧範囲における電圧に対する光電流密度の変化率は、第2電圧範囲における電圧に対する光電流密度の変化率より小さいため、低感度の撮像であっても、信号電荷の捕集によって第1電極の電位が変動した際に、電位の変動による電流密度への影響が小さく、光の入射量に対する出力のリニアリティ特性の低下を抑制できる。また、第1電圧範囲の幅が0.5V以上であ

るため、信号電荷の捕集による第1電極の電位変動にも対応して、十分な飽和電荷量を維持して撮像できる。

[0020] また、例えば、前記光電変換層は、ドナー材料とアクセプタ材料とを含み、前記信号電荷は正孔であり、前記第1電荷ブロッキング材料の電子親和力は、前記アクセプタ材料の電子親和力より1 e V以上小さくてもよい。

[0021] これにより、光電変換層と第1電荷ブロッキング層との界面に、正孔とは逆極性の電荷である電子が蓄積されやすくなり、第1電圧範囲を広くすることができる。

[0022] また、例えば、前記光電変換層は、ドナー材料とアクセプタ材料とを含み、前記信号電荷は電子であり、前記第1電荷ブロッキング材料のイオン化ポテンシャルは、前記ドナー材料のイオン化ポテンシャルより1 e V以上大きくてもよい、

これにより、光電変換層と第1電荷ブロッキング層との界面に、電子とは逆極性の電荷である正孔が蓄積されやすくなり、第1電圧範囲を広くすることができる。

[0023] また、例えば、前記光電流特性において、前記第1電圧範囲における光電流密度の最大値は、前記第2電圧範囲における光電流密度の最大値の10%以下であってもよい。

[0024] これにより、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる上に、広範囲の感度制御が可能となる。

[0025] また、例えば、前記光電流特性において、前記第1電圧範囲における光電流密度の最大値は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の10%以下であってもよい。

[0026] これにより、最大感度の10分の1以下の感度で撮像を行う場合であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。

[0027] また、例えば、前記光電流特性において、前記第1電圧範囲における0.

5 Vあたりの光電流密度の変化量は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の3%以下であってもよい。

[0028] これにより、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下をさらに抑制できる。

[0029] また、例えば、前記光電流特性において、前記第1電圧範囲における電圧における光電流密度の変化率の大きさは、前記第2電圧範囲における電圧における光電流密度の変化率の大きさの20%以下であってもよい。

[0030] これにより、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下をさらに抑制できる。

[0031] また、例えば、前記第1電荷ブロッキング層の厚さは、50 nm以下であってもよい。

[0032] これにより、上部電極と下部電極との間に印加する電圧を高くした場合に光電変換層と第1電荷ブロッキング層との界面に蓄積された電荷が第1電荷ブロッキング層を通過しやすくなるため、光電変換素子の潜在的な光電変換効率の低下を抑制できる。

[0033] また、例えば、前記光電変換素子は、前記光電変換層と前記第1電極との間に位置する第2電荷ブロッキング層を備え、前記第2電荷ブロッキング層は、前記信号電荷とは逆極性の電荷をブロックするように構成されてもよい。

[0034] これにより、シグナルノイズ比へ悪影響を与える暗電流による雑信号を低減できる。

[0035] また、例えば、前記第1電荷ブロッキング層の厚さは、前記第2電荷ブロッキング層の厚さより小さくてもよい。

[0036] これにより、暗電流を抑制しつつ、光電変換素子の潜在的な光電変換効率の低下を抑制できる。

[0037] また、例えば、前記光電流特性は、前記第1電極と前記第2電極との間に印加する電圧を0 Vから高くしていくときに、光電流密度が急峻に変化するようになるために生じる第1屈曲点、および、前記第1の屈曲点の電圧より

も高い電圧の第2屈曲点を有し、前記第1電圧範囲は、0Vと前記第1屈曲点の電圧との間の電圧範囲に含まれ、前記第2電圧範囲は、前記第1屈曲点の電圧と前記第2の屈曲点の電圧との間の電圧範囲に含まれてもよい。

[0038] これにより、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下をさらに抑制できる。

[0039] また、本開示の一態様に係る撮像装置は、上記光電変換素子と、前記第1電極に接続された電荷検出回路と、前記第1電極と前記第2電極との間に電位差を与える電圧供給回路と、を備える。

[0040] これにより、感度を調整して撮像する場合に、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる撮像装置を実現できる。

[0041] 以下、実施の形態について、図面を参照しながら説明する。

[0042] なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、各図は、必ずしも厳密に図示したものである。各図において、実質的に同一の構成については同一の符号を付し、重複する説明は省略または簡略化することがある。

[0043] また、本明細書において、要素間の関係性を示す用語、および、要素の形状を示す用語、ならびに、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数%程度の再をも含むことを意味する表現である。

[0044] また、本明細書において、「上方」および「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）および下方向（鉛直下方）を指すものではなく、積層構成における積層順を基に相対的な位置関係により規定される用語として用いる。なお、「上方」および「下方」などの用語は、あく

までも部材間の相互の配置を指定するために用いており、撮像装置の使用時における姿勢を限定する意図ではない。また、「上方」および「下方」という用語は、2つの構成要素が互いに間隔を空けて配置されて2つの構成要素の間に別の構成要素を有する場合のみならず、2つの構成要素が互いに密着して配置されて2つの構成要素が接する場合にも適用される。

[0045] また、本明細書において、可視光、赤外線および紫外線を含めた電磁波全般を、便宜上「光」と表現する。

[0046] (実施の形態)

[光電変換素子]

まず、本実施の形態に係る撮像装置が備える光電変換素子について、図1を用いて説明する。本実施の形態に係る光電変換素子は電荷読み出し方式の光電変換素子である。図1は、本実施の形態に係る光電変換素子10の構成を示す概略断面図である。

[0047] 図1に示されるように、光電変換素子10は、支持基板1に支持されており、一对の電極である上部電極6および下部電極2と、上部電極6と下部電極2との間に位置する光電変換層4と、下部電極2と光電変換層4との間に位置する電荷ブロッキング層3と、光電変換層4と上部電極6との間に位置する電荷ブロッキング層5と、を備える。本実施の形態において、下部電極2は第1電極の一例であり、上部電極6は、第2電極の一例である。また、電荷ブロッキング層5は第1電荷ブロッキング層の一例であり、電荷ブロッキング層3は第2電荷ブロッキング層の一例である。

[0048] 光電変換素子10は、例えば、上部電極6および電荷ブロッキング層5を透過した光が光電変換層4に入射する姿勢で用いられる。

[0049] 以下、本実施の形態に係る光電変換素子10の各構成要素について説明する。

[0050] 支持基板1は、一般的な光電変換素子の支持に使用される基板であればよく、例えば、ガラス基板、石英基板、半導体基板、またはプラスチック基板等であってもよい。

- [0051] 下部電極 2 は、金属、金属窒化物、金属酸化物または導電性が付与されたポリシリコンなどから形成される。金属の例としては、アルミニウム、銅、チタンおよびタングステンなどが挙げられる。ポリシリコンに導電性を付与する方法の例としては、不純物をドーピングすることが挙げられる。
- [0052] 上部電極 6 は、例えば、透明な導電性材料から形成される透明電極である。上部電極 6 の材料としては、例えば、透明導電性酸化物 (TCO: Transparent Conducting Oxide)、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、AZO (Aluminum-doped Zinc Oxide)、FTO (Fluorine-doped Tin Oxide)、 SnO_2 および TiO_2 等が挙げられる。なお、上部電極 6 は、所望の透過率に応じて、適宜、TCO およびアルミニウム (Al) ならびに金 (Au) などの金属材料を単独または複数組み合わせることで作製してもよい。
- [0053] なお、下部電極 2 および上部電極 6 の材料は、上述した導電性材料に限られず、他の材料を用いてもよい。
- [0054] 下部電極 2 および上部電極 6 の作製には、使用する材料によって種々の方法が用いられる。例えば、ITO を使用する場合は、電子ビーム法、スパッタリング法、抵抗加熱蒸着法、ゾルゲル法などの化学反応法、酸化インジウムスズの分散物の塗布などの方法を用いてもよい。この場合、下部電極 2 および上部電極 6 の作製には、ITO 膜を成膜した後に、さらに UV-オゾン処理、プラズマ処理などを施してもよい。
- [0055] 光電変換層 4 は、ドナー性半導体材料およびアクセプタ性半導体材料を含む。光電変換層 4 は、例えば、有機半導体材料を用いて作製される。光電変換層 4 の作製方法は、例えば、スピコートなどによる塗布法などの湿式の方法、または、真空蒸着法などの乾式の方法などを用いることができる。真空蒸着法とは、真空下で加熱することにより層の材料を気化し、基板上に堆積させる方法である。
- [0056] また、光電変換層 4 は、例えば、ドナー性有機半導体材料およびアクセプ

タ性有機半導体材料を含むバルクヘテロ構造の混合膜である。以下、ドナー性有機半導体材料およびアクセプタ性有機半導体材料を具体的に例示する。

[0057] ドナー性有機半導体材料としては、例えば、トリアリールアミン化合物、ベンジジン化合物、ピラゾリン化合物、スチリルアミン化合物、ヒドラゾン化合物、トリフェニルメタン化合物、カルバゾール化合物、ポリシラン化合物、チオフェン化合物、フタロシアニン化合物、ナフタロシアニン化合物、サブフタロシアニン化合物、シアニン化合物、メロシアニン化合物、オキノール化合物、ポリアミン化合物、インドール化合物、ピロール化合物、ピラゾール化合物、ビフェニル化合物、ターフェニル化合物、ポリアリーレン化合物、縮合芳香族炭素環化合物および含窒素ヘテロ環化合物を配位子として有する金属錯体等が挙げられる。

[0058] 縮合芳香族炭素環化合物は、例えば、ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体およびフルオランテン誘導体等である。

[0059] アクセプタ性有機半導体材料としては、例えば、フラーレン、フラーレン誘導体、縮合芳香族炭素環化合物、窒素原子、酸素原子、硫黄原子を含有する5ないし7員のヘテロ環化合物、ポリアリーレン化合物、フルオレン化合物、シクロペンタジエン化合物、シリル化合物、含窒素ヘテロ環化合物を配位子として有する金属錯体などが挙げられる。

[0060] フラーレンは、例えば、C₆₀フラーレンおよびC₇₀フラーレン等である。

[0061] フラーレン誘導体は、例えば、PCBM（フェニルC₆₀ 醜酸メチルエステル）およびICBA（インデンC₆₀ビス付加体）等である。

[0062] 窒素原子、酸素原子、硫黄原子を含有する5ないし7員のヘテロ環化合物は、例えば、ピリジン、ピラジン、ピリミジン、ピリダジン、トリアジン、キノリン、キノキサリン、キナゾリン、フタラジン、シンノリン、イソキノリン、プテリジン、アクリジン、フェナジン、フェナントロリン、テトラゾール、ピラゾール、イミダゾール、チアゾール、オキサゾール、インダゾール

ル、ベンズイミダゾール、ベンゾドリアゾール、ベンゾオキサゾール、ベンゾチアゾール、カルバゾール、プリン、トリアゾロピリダジン、トリアゾロピリミジン、テトラザインデン、オキサジアゾール、イミダゾピリジン、ピロリジン、ピロロピリジン、チアジアゾロピリジン、ジベンズアゼピンおよびトリベンズアゼピン等である。

[0063] なお、ドナー性有機半導体材料およびアクセプタ性有機半導体材料は、上記の例に限らない。乾式および湿式のいずれかの方法で光電変換層として成膜できる有機化合物であれば低分子の化合物および高分子の化合物を、光電変換層 4 を構成するドナー性有機半導体材料およびアクセプタ性有機半導体材料として用いてもよい。

[0064] また、光電変換層 4 は、有機半導体材料以外の半導体材料をドナー性半導体材料およびアクセプタ性半導体材料として含んでもよい。光電変換層 4 は、半導体材料として、シリコン半導体、化合物半導体、量子ドット、ペロブスカイト材料、カーボンナノチューブ等、または、これらのいずれか 2 つ以上の混合物を含んでもよい。

[0065] 本実施の形態に係る光電変換素子 10 は、下部電極 2 と光電変換層 4 との間に設けられた電荷ブロッキング層 3 と、上部電極 6 と光電変換層 4 との間に設けられた電荷ブロッキング層 5 とを備える。電荷ブロッキング層 3 は、例えば、下部電極 2 および光電変換層 4 に接する。電荷ブロッキング層 5 は、例えば、上部電極 6 および光電変換層 4 に接する。

[0066] 電荷ブロッキング層 3 は、第 2 電荷ブロッキング材料を含む。電荷ブロッキング層 5 は、第 1 電荷ブロッキング材料を含む。電荷ブロッキング層 3 および電荷ブロッキング層 5 に用いられる材料としては、後述するエネルギーバンドを有する半導体材料もしくは絶縁体材料が用いられる。電荷ブロッキング層 3 および電荷ブロッキング層 5 は、例えば、有機半導体材料にて形成される。有機半導体材料は、例えば、上述のドナー性有機半導体材料である。電荷ブロッキング層 3 および電荷ブロッキング層 5 を形成する材料は、有機半導体材料に限定されず、酸化物半導体または窒化物半導体、絶縁体など

であってもよく、その複合材料であってもよい。電荷ブロッキング層3および電荷ブロッキング層5を形成する材料は、例えば酸化アルミニウムといった金属酸化物であってもよい。

[0067] 電荷ブロッキング層5は、電荷ブロッキング層3と同じ材料を含んでもよい。また、電荷ブロッキング層5は、光電変換層4に含まれるドナー性半導体材料と同じ材料を含んでもよい。

[0068] 図2は、図1に示す光電変換素子における例示的なエネルギーバンド図である。図2において、各層のエネルギーバンドが矩形で示されている。また、図2では、電子を黒い丸で示し、正孔を白い丸で示して、電子および正孔の動きの一部が模式的に示されている。

[0069] 光電変換層4は、光の照射を受けて内部に励起子を生成する。生成した励起子は、光電変換層4中を拡散し、アクセプタ性半導体材料とドナー性半導体材料との界面で、電子と正孔とに分離される。分離した電子と正孔とは、光電変換層4に印加される電界に従ってそれぞれ下部電極2側または上部電極6側に移動する。上部電極6の電位が下部電極2の電位よりも高くなるように、上部電極6と下部電極2との間に電圧が印加される場合には、電子が上部電極6側に移動し、正孔が下部電極2側に移動する。光電変換素子10を撮像装置に用いる場合、例えば、正孔は、下部電極2に捕集され、下部電極2に電氣的に接続された電荷蓄積ノードに信号電荷として蓄積される。電荷蓄積ノードは、下部電極2によって捕集された信号電荷を蓄積する電荷蓄積領域の少なくとも一部である。このように、光電変換層4は光を信号電荷に変換し、下部電極2は、光電変換層4で生成した信号電荷を捕集する。また、上部電極6は、信号電荷とは逆極性の電荷を捕集する。以下では、下部電極2側に正孔が移動して、信号電荷として正孔が用いられる場合について説明する。なお、信号電荷として電子が用いられてもよい。

[0070] ここで、光を吸収して発生した電子と正孔との対のうち、電子を他方の材料へ供与する材料のことをドナー材料と言い、電子を受容する材料のことをアクセプタ材料と言う。本実施の形態において、ドナー性半導体材料はドナ

一材料であり、アクセプタ性半導体材料はアクセプタ材料である。異なる2種類の有機半導体材料を用いる場合、どちらがドナー材料となりどちらがアクセプタ材料となるかは、一般に、接触界面における2種類の有機半導体材料のHOMO (Highest-Occupied-Molecular-Orbital) およびLUMO (Lowest-Unoccupied-Molecular-Orbital) のエネルギー準位の相対位置で決まる。図2においてエネルギーバンドを示す矩形のうち、上端がLUMOのエネルギー準位であり、下端がHOMOのエネルギー準位である。また、真空準位とLUMOのエネルギー準位とのエネルギー差は、電子親和力と称される。また、真空準位とHOMOのエネルギー準位とのエネルギー差は、イオン化ポテンシャルと称される。図2においては、下側に位置するほど電子親和力およびイオン化ポテンシャルは大きい。

[0071] 図2に示されるように、光電変換層4に含まれる2種類の半導体材料のうち、LUMOのエネルギー準位が浅い、つまり電子親和力が小さい方がドナー材料であるドナー性半導体材料4Aとなる。また、光電変換層4に含まれる2種類の半導体材料のうち、LUMOのエネルギー準位が深い、つまり電子親和力が大きい方がアクセプタ材料であるアクセプタ性半導体材料4Bとなる。なお、図2において、ドナー性半導体材料4Aのエネルギーバンドと、アクセプタ性半導体材料4Bのエネルギーバンドとは、横方向にずれて図示されているが、これは、見やすさのためであり、光電変換層4の厚み方向にドナー性半導体材料4Aとアクセプタ性半導体材料4Bとが分かれて分布していることを意味するものではない。また、アクセプタ性半導体材料4Bのエネルギーバンドは破線の矩形で示されているが、これも、見やすさのためであり、実線の矩形と区別する意図はない。

[0072] ドナー性半導体材料4Aのイオン化ポテンシャルは、例えば、アクセプタ性半導体材料4Bのイオン化ポテンシャルよりも小さい。

[0073] 図2において、電荷ブロッキング層3の電子親和力およびイオン化ポテンシャルは、例えば、電荷ブロッキング層3に含まれる第2電荷ブロッキング

材料の電子親和力およびイオン化ポテンシャルである。また、電荷ブロッキング層5の電子親和力およびイオン化ポテンシャルは、例えば、電荷ブロッキング層5に含まれる第1電荷ブロッキング材料の電子親和力およびイオン化ポテンシャルである。

[0074] 電荷ブロッキング層3は、信号電荷とは逆極性の電荷をブロックするように構成される。電荷ブロッキング層3の電子親和力は、例えば、光電変換層4のアクセプタ性半導体材料4Bの電子親和力以下である。電荷ブロッキング層3は、下部電極2から光電変換層4への信号電荷とは逆極性の電荷（具体的には電子）の注入を抑制する。これにより、SN比（シグナルノイズ比）へ悪影響を与える暗電流による雑信号を低減できる。

[0075] また、電荷ブロッキング層5は、信号電荷とは逆極性の電荷をブロックするように構成される。電荷ブロッキング層5の電子親和力は、アクセプタ性半導体材料4Bの電子親和力より小さい。また、電荷ブロッキング層5の電子親和力は、アクセプタ性半導体材料4Bの電子親和力より1 eV以上小さくてもよい。

[0076] このような、アクセプタ性半導体材料4Bの電子親和力より小さい電子親和力を有する電荷ブロッキング層5が設けられることにより、光電変換層4で生成した電子を、光電変換層4と電荷ブロッキング層5との界面に蓄積することができる。特に、電荷ブロッキング層5の電子親和力がアクセプタ性半導体材料4Bの電子親和力より1 eV以上小さい場合には、光電変換層4で生成した電子を、光電変換層4と電荷ブロッキング層5との界面に蓄積しやすい。

[0077] また、電荷ブロッキング層5のイオン化ポテンシャルは、例えば、ドナー性半導体材料4Aのイオン化ポテンシャル以上である。これにより、電荷ブロッキング層5は、上部電極6から光電変換層4への信号電荷（具体的には正孔）の注入を抑制する。これにより、SN比へ悪影響を与える雑信号を低減できる。

[0078] 図3は、図2で示されるエネルギーバンド構成を有する光電変換素子10

において、上部電極 6 の電位が下部電極 2 の電位よりも高くなるように、上部電極 6 と下部電極 2 との間に低い電圧が印加された場合のエネルギーバンド図である。図 3 では、図 2 と同様に、電子を黒い丸で示し、正孔を白い丸で示して、電子および正孔の動きの一部が模式的に示されている。本明細書において、上部電極 6 と下部電極 2 との間に印加される電圧を「バイアス電圧」と称する場合がある。

[0079] 図 3 に示されるように、光電変換層 4 で生成した電子は、光電変換層 4 と電荷ブロッキング層 5 との界面に蓄積される。蓄積された電子が光電変換層 4 において、空間電荷となり電界が緩和される。また、光電変換層 4 と電荷ブロッキング層 5 との界面に蓄積された電子は、正孔と再結合しうる。この電界緩和および再結合の効果により、下部電極 2 に取り出される信号電荷は、非常に少なくなり、かつ、バイアス電圧が変化しても取り出される量が変化しにくくなる。

[0080] また、図 4 は、図 2 で示されるエネルギーバンド構成を有する光電変換素子 10 において、上部電極 6 の電位が下部電極 2 の電位よりも高くなるように、上部電極 6 と下部電極 2 との間に図 3 で示した場合よりも高い電圧が印加された場合のエネルギーバンド図である。電荷ブロッキング層 5 における電界強度が十分強いと、光電変換層 4 と電荷ブロッキング層 5 との界面に蓄積された電子は、電荷ブロッキング層 5 を通過する十分なエネルギーを持ち、上部電極 6 に取り出される。これにより、電界緩和の効果は小さくなり、下部電極 2 に取り出される信号電荷は多くなる。

[0081] このように、光電変換層 4 と電荷ブロッキング層 5 との界面に蓄積された電子が、電荷ブロッキング層 5 を通過する十分なエネルギーを持つほどの電圧が印加されるまでの電圧範囲では、図 3 に示されるような状態となるため、光電変換素子 10 は、広い電圧範囲で感度を低い状態に保つことが可能である。

[0082] 電荷ブロッキング層 3 の厚さは、例えば、2 nm 以上であり、5 nm 以上であってもよい。これにより、下部電極 2 からの電荷の注入を抑制する機能

が確保されやすくなる。その結果、暗電流を抑制できる。また、電荷ブロッキング層3の厚さは、例えば、70 nm以下であり、50 nm以下であってもよい。これにより、光電変換素子10の光電変換効率の低下を抑制できる。

[0083] 電荷ブロッキング層5の厚さは、例えば、2 nm以上であり、5 nm以上であってもよい。これにより、光電変換層4と電荷ブロッキング層5との界面に電子を蓄積しやすくなり、感度を低くする場合の上部電極6と下部電極2との間に印加する電圧範囲を広くできる。また、電荷ブロッキング層5の厚さは、例えば、50 nm以下であり、30 nm以下であってもよい。これにより、上部電極6と下部電極2との間に印加する電圧を高くした場合に光電変換層4と電荷ブロッキング層5との界面に蓄積された電子が電荷ブロッキング層5を通過しやすくなるため、光電変換素子10の潜在的な光電変換効率の低下を抑制できる。また、電荷ブロッキング層5の厚さは、例えば、電荷ブロッキング層3の厚さよりも小さい。これにより、暗電流を抑制しつつ、光電変換素子10の潜在的な光電変換効率の低下を抑制できる。

[0084] 電荷ブロッキング層5の可視光領域における光の透過率は、例えば、50%以上であり、70%以上であってもよい。これにより、光電変換素子10の光電変換効率の低下を抑制できる。また、電荷ブロッキング層5の、光電変換層4が吸収する波長範囲の光の透過率は、例えば、50%以上であり、70%以上であってもよい。

[0085] [光電変換素子の電流－電圧特性]

次に、光電変換素子10の電流－電圧特性について説明する。

[0086] 図5は、光電変換素子10の模式的な電流－電圧特性（I－V特性）の一例を示す図である。図5において、縦軸は下部電極2と上部電極6との間に流れる電流密度であり、横軸は上部電極6と下部電極2との間に印加される電圧である。

[0087] 図5中、実線のグラフは、光が照射された状態において、上部電極6と下部電極2との間に電圧を印加した際の、光電変換素子10の例示的なI－V

特性を示している。つまり、実線で示されるグラフにおける電流密度は、光電変換素子 10 に光が照射された状態において流れる電流に対応する光電流密度である。ここで、光が照射された状態とは、例えば 1000ルクスの光が照射された状態であってもよい。屋内での標準的な照度を考慮した場合には、例えば 300ルクス以上の光が照射された状態であってもよい。なお、図5には、光が照射されていない状態において、上部電極6と下部電極2との間に電圧を印加した際の、光電変換素子10のI-V特性の一例も、破線によって合わせて示されている。つまり、破線で示されるグラフにおける電流密度は、光電変換素子10に光が照射されていない状態において流れる電流に対応する暗電流密度である。

[0088] また、図5において、電流密度は規格化された任意単位で示されており、バイアス電圧を高めていった場合に光電流密度が飽和したときの光電流密度値を1としている。なお、本明細書において、光電流密度が飽和したときの光電流密度値とは、バイアス電圧を高めていった場合に光電流密度が実質的に変化しなくなったときの光電流密度値を意味する。光電流密度が飽和したときの光電流密度値は、例えば、光電変換素子10が破損しない範囲でバイアス電圧を高めていったときに、バイアス電圧が1V変化した場合の光電流密度の変化が1%以下になったときの光電流密度値である。

[0089] 図5では、上部電極6の電位が下部電極2の電位よりも高くなるように電圧を印加する場合の電圧を「正」の値と定義して、I-V特性が示されている。そのため、図5では、信号電荷である正孔が下部電極2に捕集されるような電圧を下部電極2と上部電極6との間に印加した場合の光電流特性が示されている。また、図5は、電圧および電流密度が絶対値で示されているとも言える。本明細書においては、電圧および電流密度の比較は、絶対値において比較した場合のことを言う。

[0090] 図5に示されるように、本実施の形態に係る光電変換素子10の光電流特性は、概略的には、第1電圧範囲と第2電圧範囲とによって特徴付けられる。図5に示されるように、第1電圧範囲の電圧は、第2電圧範囲の電圧より

も低い。また、第1電圧範囲において、光電流密度は、暗電流密度よりも大きい。また、第2電圧範囲における光電流密度は、第1電圧範囲における光電流密度よりも大きい。また、第1電圧範囲における電圧に対する光電流密度の変化率は、第2電圧範囲における電圧に対する光電流密度の変化率よりも小さい。つまり、第1電圧範囲では、第2電圧範囲よりも、電圧を高くした場合に光電流密度の増加量が小さい。また、第2電圧範囲よりも高い電圧では、光電流密度は飽和してほとんど変化しなくなり、ほぼ一定の値となる。光電流密度が飽和する電圧の範囲を第3電圧範囲と称してもよい。

[0091] 電圧に対する光電流密度の変化率は、言い換えると、電圧の増加量に対する光電流密度の増加量の比率であり、電流－電圧特性での電圧の増加に対する光電流密度の増加の傾きであるとも言える。また、電圧に対する光電流密度の変化率は、電流－電圧特性での、ある電圧における接線の傾きであるとも言える。また、第1電圧範囲において、電圧に対する光電流密度の変化率は、0より大きい。

[0092] また、光電変換素子10の光電流特性は、例えば、第1の屈曲点および第1の屈曲点の電圧よりも高い電圧の第2の屈曲点を有する。例えば、第1電圧範囲は、0VとI-V特性のグラフにおける第1の屈曲点の電圧との間の電圧範囲に含まれ、第2電圧範囲は、I-V特性のグラフにおける第1の屈曲点の電圧と第2の屈曲点の電圧との間の電圧範囲に含まれる。第1の屈曲点は、0Vから電圧を高くしていくときに、光電流密度が急峻に変化するようになるために生じる屈曲点である。第1の屈曲点の電圧は、例えば、I-V特性のグラフにおける2回微分で極大値をとる電圧である。また、第2の屈曲点は、第1の屈曲点の電圧から電圧を高くしていくときに、急峻に変化した光電流密度が飽和するようになるために生じる屈曲点である。第2の屈曲点の電圧は、例えば、I-V特性のグラフにおける2回微分で極小値をとる電圧である。

[0093] 第1電圧範囲は、例えば、図3で示される状態になる電圧に対応する。第1電圧範囲の電圧が光電変換素子10に印加される場合、図3で示して説明

したように、光電変換素子10内部で光電変換層4と電荷ブロッキング層5との界面に蓄積した電荷（電子）により電界緩和および再結合が生じるため、光電流密度が小さくなる。また、上記の電界緩和および再結合によって、下部電極2に捕集される信号電荷は、バイアス電圧が高くなっても急激に増えないため、バイアス電圧に対する光電流密度の変化率が小さい。また、蓄積される電荷が信号電荷とは逆極性の電荷であるため、信号電荷の一部は下部電極2に捕集され、つまり暗電流よりも大きい光電流が流れて、信号電荷が電荷蓄積ノードに蓄積される。これにより、第1電圧範囲の電圧を低感度の撮像に利用可能である。

[0094] 一方、第2電圧範囲は、例えば、図4で示される状態になる電圧に対応する。第2電圧範囲の電圧が光電変換素子10に印加される場合、図4を用いて説明したように、光電変換素子10内部で光電変換層4と電荷ブロッキング層5との界面に蓄積した電荷が電荷ブロッキング層5を通過するため、光電流密度が大きくなる。また、バイアス電圧の増加が、上記の蓄積した電荷が電荷ブロッキング層5を通過するためのエネルギーの増加に直結し、バイアス電圧に対する光電流密度の変化率が大きくなる。

[0095] 光電変換素子10に印加される電圧が第2電圧範囲よりも高くなると、上記の蓄積した電荷が電荷ブロッキング層5を通過するためのエネルギーが十分大きくなるため、光電流密度の大きさは、光電変換層4の光電変換で生成する信号電荷の量によって決まることになる。そのため、バイアス電圧が変化しても光電流密度はほとんど変化しなくなり、光の入射量が一定であれば、電流密度もほぼ一定になる。

[0096] 光電変換素子10を撮像装置に用いる場合、低感度の撮像においては、第1電圧範囲のバイアス電圧を光電変換素子10に印加する。また、高感度の撮像（通常の撮像）においては、第2電圧範囲よりも高いバイアス電圧を光電変換素子10に印加する。例えば、光電流密度が飽和する範囲の電圧を光電変換素子10に印加することで、感度は最大になる。

[0097] 本実施の形態に係る光電変換素子10において、電荷ブロッキング層5が

位置することで、第1電圧範囲を広くすることが可能であり、第1電圧範囲の幅は0.5V以上である。ここで、第1電圧範囲の幅とは、言い換えると、第1電圧範囲の最大電圧と第1電圧範囲の最小電圧の差の絶対値である。また、第1電圧範囲のバイアス電圧が光電変換素子10に印加される場合、下部電極2が正孔を捕集することでバイアス電圧が小さくなった場合でも、光電流密度に変化が小さいため、光の入射量に対する出力のリニアリティ特性の低下が抑制できる。つまり、電荷蓄積領域に信号電荷が蓄積した場合でも、光の入射量に対する出力信号量が変化しにくい。また、第1電圧範囲の幅が0.5V以上であることで、下部電極2に接続される電荷蓄積領域が飽和する信号電荷量を高めることができるため、十分な飽和信号量を維持することができる。なお、第1電圧範囲の幅は、1V以上であってもよく、2V以上であってもよい。また、第1電圧範囲の幅は、5V以下であってもよく、4V以下であってもよい。

[0098] 以上のように、光電変換素子10が上記の光電流特性を有することによって、光電変換素子10を撮像装置に用いた場合に、低感度の撮像であっても光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。また、バイアス電圧によって感度を変更できることで、物理的なNDフィルタを用いる必要がないため、シームレスに感度を変更できる。

[0099] 光電変換素子10の光電流特性において、例えば、第1電圧範囲における光電流密度の最大値は、第2電圧範囲における光電流密度の最大値の10%以下である。これにより、より低い感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。そのため、撮像の品質を維持したまま、撮像できる感度範囲を広げることができる。また、例えば、第1電圧範囲における光電流密度の最大値は、第2電圧範囲における光電流密度の最大値の1%以上である。また、例えば、第1電圧範囲における光電流密度の最大値は、第1電圧範囲における暗電流密度の最大値の10倍以上である。

- [0100] また、光電変換素子 10 の光電流特性において、例えば、第 1 電圧範囲における光電流密度の最大値は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の 10% 以下である。これにより、最大感度の 10 分の 1 以下での撮像を行う場合であっても、光の入射量に対する出力の線形特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。よって、より照度差の大きい環境であっても、画像の輝度値を制御できる。また、例えば、第 1 電圧範囲における光電流密度の最大値は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の 1% 以上である。
- [0101] また、光電変換素子 10 の光電流特性において、例えば、第 1 電圧範囲における 0.5 V あたりの光電流密度の変化量は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の 3% 以下である。これにより、低感度の撮像であっても光の入射量に対する出力の線形特性の低下をさらに抑制できる。また、例えば、第 1 電圧範囲における 0.5 V あたりの光電流密度の変化量は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の 0.1% 以上である。
- [0102] また、光電変換素子 10 の光電流特性において、例えば、第 1 電圧範囲における電圧に対する光電流密度の変化率の大きさは、第 2 電圧範囲における電圧に対する光電流密度の変化率の大きさを 20% 以下である。これにより、低感度の撮像であっても光の入射量に対する出力の線形特性の低下をさらに抑制できる。また、例えば、第 1 電圧範囲における電圧に対する光電流密度の変化率の大きさは、第 2 電圧範囲における電圧に対する光電流密度の変化率の大きさを 1% 以上である。
- [0103] なお、信号電荷として電子を用いる場合、下部電極 2 の電位が上部電極 6 の電位よりも高くなるように電圧を印加する場合の電圧を「正」の値と定義した場合に、光電変換素子は、図 5 で示されるような光電流特性を有する。
- [0104] 図 6 は、従来の光電変換素子の模式的な電流－電圧特性の一例を示す図である。図 6 中、実線のグラフは、光が照射された状態において、上部電極 6

と下部電極 2 との間に電圧を印加した際の、従来の光電変換素子の例示的な I-V 特性を示している。なお、図 6 には、光が照射されていない状態において、上部電極 6 と下部電極 2 との間に電圧を印加した際の、従来の光電変換素子の I-V 特性の一例も、破線によって合わせて示されている。従来の光電変換素子は、例えば、本実施の形態に係る電荷ブロッキング層 5 を備えない構成を有し、低いバイアス電圧が光電変換素子に印加される場合でも、光電変換素子内に電子がほとんど蓄積されずに、上部電極 6 に捕集される。

[0105] 具体的には、図 6 に示されるように、従来の光電変換素子では、前述したような光電変換層 4 と電荷ブロッキング層 5 との界面に蓄積した電荷による電界緩和効果がなく、0 V 付近から急峻に光電流密度が増加する。そのため、従来の光電変換素子の光電流特性では、上記のような第 1 電圧範囲を実質的に有しない、または、第 1 電圧範囲を有する場合でも非常に幅が狭い。そのため、低感度の撮像において、下部電極 2 に正孔が捕集されることで下部電極 2 の電位が高くなり、バイアス電圧が小さくなった場合には、光電流密度が急峻に変化し、光の入射量に対する出力のリニアリティ特性が大きく低下する。これに対して、本実施の形態に係る光電変換素子 10 は、上述のような 0.5 V 以上の幅を有する第 1 電圧範囲を有する光電流特性を有するため、低感度の撮像であっても光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。

[0106] [撮像装置]

以下、本実施の形態に係る撮像装置について図 7 および図 8 を用いて説明する。図 7 は、図 1 に示される光電変換素子 10 を用いた光電変換部 10A を実装した撮像装置 100 の回路構成の一例を示す図である。また、図 8 は、本実施の形態に係る撮像装置 100 における画素 24 のデバイス構造の一例を示す概略断面図である。

[0107] 図 7 および図 8 に示されるように、本実施の形態に係る撮像装置 100 は、半導体基板 40 と、半導体基板 40 に設けられた電荷検出回路 35、半導体基板 40 上に設けられた光電変換部 10A および電荷検出回路 35 と光電

変換部 10A とに電氣的に接続された電荷蓄積ノード 34 をそれぞれが含む複数の画素 24 とを備える。複数の画素 24 の光電変換部 10A は、上記光電変換素子 10 を含む。つまり、複数の画素 24 それぞれは、上部電極 6 と、下部電極 2 と、光電変換層 4 と、電荷ブロッキング層 5 と、電荷ブロッキング層 3 と、電荷蓄積ノード 34 とを備える。電荷蓄積ノード 34 は、電荷蓄積領域の一例である。

[0108] 光電変換部 10A では、撮像装置 100 に対する光の入射側から、上部電極 6、電荷ブロッキング層 5、光電変換層 4、電荷ブロッキング層 3 および下部電極 2 の順で配置されている。電荷ブロッキング層 5 は、光電変換層 4 の光の入射側に位置する。上部電極 6 および電荷ブロッキング層 5 を透過した光が光電変換層 4 に入射する。そのため、光電変換層 4 における電荷ブロッキング層 5 側で励起子が生じやすい。また、本実施の形態において、撮像装置 100 に対する光の入射側は、光電変換部 10A の半導体基板 40 側とは反対側である。

[0109] 電荷蓄積ノード 34 は、光電変換部 10A で得られた電荷を蓄積し、電荷検出回路 35 は、電荷蓄積ノード 34 に蓄積された電荷を検出する。なお、半導体基板 40 に設けられた電荷検出回路 35 は、半導体基板 40 上に設けられていてもよく、半導体基板 40 中に直接設けられたものであってもよい。

[0110] 図 7 に示されるように、撮像装置 100 は、複数の画素 24 と周辺回路とを備えている。撮像装置 100 は、例えば、1 チップの集積回路で実現される有機イメージセンサであり、2 次元に配列された複数の画素 24 を含む画素アレイ PA を有する。

[0111] 複数の画素 24 は、半導体基板 40 上に 2 次元、すなわち行方向および列方向に配列されて、画素領域である感光領域を形成している。図 7 では、画素 24 は、2 行 2 列のマトリクス状に配列される例を示している。なお、図 7 では、図示の便宜上、画素 24 の感度を個別に設定するための回路（例えば、画素電極制御回路）の図示を省略している。また、撮像装置 100 は、

ラインセンサであってもよい。その場合、複数の画素 24 は、1次元に配列されていてもよい、なお、本明細書において、行方向および列方向とは、行および列がそれぞれ伸びる方向をいう。つまり、図7において、紙面における縦方向が列方向であり、横方向が行方向である。

- [0112] 図7および図8に示されるように、各画素24は、光電変換部10Aと、電荷検出回路35とに電氣的に接続された電荷蓄積ノード34とを備える。電荷検出回路35は、増幅トランジスタ21と、リセットトランジスタ22と、アドレストランジスタ23とを含む。
- [0113] 光電変換部10Aは、画素電極として設けられた下部電極2および画素電極に対向する対向電極として設けられた上部電極6を備える。光電変換部10Aは、上述した光電変換素子10を含む。上部電極6には、対向電極信号線26を介して所定のバイアス電圧を印加するための電圧が供給される。
- [0114] 下部電極2は、増幅トランジスタ21のゲート電極21Gに接続され、下部電極2によって集められた信号電荷は、下部電極2と増幅トランジスタ21のゲート電極21Gとの間に位置する電荷蓄積ノード34に蓄積される。本実施の形態では、信号電荷は正孔である。つまり、電荷蓄積ノード34は、下部電極2と電氣的に接続され、光電変換層4で生成した励起子のうちの正孔を蓄積する。
- [0115] 電荷蓄積ノード34に蓄積された信号電荷は、信号電荷の量に応じた電圧として増幅トランジスタ21のゲート電極21Gに印加される。増幅トランジスタ21は、この電圧を増幅し、信号電圧として、アドレストランジスタ23によって、選択的に読み出される。リセットトランジスタ22は、そのソース/ドレイン電極が、下部電極2に接続されており、電荷蓄積ノード34に蓄積された信号電荷をリセットする。換言すると、リセットトランジスタ22は、増幅トランジスタ21のゲート電極21Gおよび下部電極2の電位をリセットする。
- [0116] 複数の画素24において上述した動作を選択的に行うために、撮像装置100は、電源配線31と、垂直信号線27と、アドレス信号線36と、リセ

ット信号線 37 とを有し、これらの線が各画素 24 にそれぞれ接続されている。具体的には、電源配線 31 は、増幅トランジスタ 21 のソース／ドレイン電極に接続され、垂直信号線 27 は、アドレストランジスタ 23 のソース／ドレイン電極に接続される。アドレス信号線 36 はアドレストランジスタ 23 のゲート電極 23G に接続される。またリセット信号線 37 は、リセットトランジスタ 22 のゲート電極 22G に接続される。

[0117] 周辺回路は、電圧供給回路 19 と、垂直走査回路 25 と、水平信号読み出し回路 20 と、複数のカラム信号処理回路 29 と、複数の負荷回路 28 と、複数の差動増幅器 32 とを含む。

[0118] 電圧供給回路 19 は、対向電極信号線 26 を介して上部電極 6 と電氣的に接続されている。電圧供給回路 19 は、上部電極 6 に電圧を供給することで、上部電極 6 と下部電極 2 との間に電位差を与える。信号電荷が正孔である場合、電圧供給回路 19 は、上部電極 6 の電位が下部電極 2 の電位よりも高くなるような電圧を、上部電極 6 に供給する。なお、信号電荷が電子である場合には、電圧供給回路 19 は、上部電極 6 の電位が下部電極 2 の電位よりも低くなるような電圧を、上部電極 6 に供給する。

[0119] 後に詳しく説明するように、電圧供給回路 19 から上部電極 6 に供給される電圧が、互いに異なる複数の電圧の間で切り替えられることにより、光電変換部 10A の感度が制御される。電圧供給回路 19 は、特定の電源回路に限定されず、所定の電圧を生成する回路であってもよいし、他の電源から供給された電圧を所定の電圧に変換する回路であってもよい。なお、撮像装置 100 は、電圧供給回路 19 を備えていなくてもよい。例えば、上部電極 6 には、外部の電源から電圧が供給されてもよい。

[0120] 垂直走査回路 25 は、アドレス信号線 36 およびリセット信号線 37 に接続されており、各行に配置された複数の画素 24 を行単位で選択し、信号電圧の読み出しおよび下部電極 2 の電位のリセットを行う。ソースフォロア電源である電源配線 31 は、各画素 24 に所定の電源電圧を供給する。水平信号読み出し回路 20 は、複数のカラム信号処理回路 29 に電氣的に接続され

ている。カラム信号処理回路 29 は、各列に対応した垂直信号線 27 を介して、各列に配置された画素 24 に電氣的に接続されている。負荷回路 28 は各垂直信号線 27 に電氣的に接続されている。負荷回路 28 と増幅トランジスタ 21 は、ソースフォロア回路を形成する。

[0121] 複数の差動増幅器 32 は、各列に対応して設けられている。差動増幅器 32 の反転入力端子は、対応した垂直信号線 27 に接続されている。また差動増幅器 32 の出力端子は、各列に対応したフィードバック線 33 を介して画素 24 に接続されている。

[0122] 垂直走査回路 25 は、アドレス信号線 36 によって、アドレストランジスタ 23 のオンおよびオフを制御する行選択信号をアドレストランジスタ 23 のゲート電極 23G に印加する。これより、読み出し対象の行が走査され、選択される。選択された行の画素 24 から垂直信号線 27 に信号電圧が読み出される。また、垂直走査回路 25 は、リセット信号線 37 を介して、リセットトランジスタ 22 のオンおよびオフを制御するリセット信号をリセットトランジスタ 22 のゲート電極 22G に印加する。これにより、リセット動作の対象となる画素 24 の行が選択される。垂直信号線 27 は、垂直走査回路 25 によって選択された画素 24 から読み出された信号電圧をカラム信号処理回路 29 へ伝達する。

[0123] カラム信号処理回路 29 は、相関二重サンプリングに代表される雑音抑制信号処理およびアナログーデジタル変換（AD変換）などを行う。

[0124] 水平信号読み出し回路 20 は、複数のカラム信号処理回路 29 から水平共通信号線（不図示）に信号を順次読み出す。

[0125] 差動増幅器 32 は、フィードバック線 33 を介してリセットトランジスタ 22 のドレイン電極に接続されている。したがって、差動増幅器 32 は、アドレストランジスタ 23 の出力値を反転入力端子に受ける。増幅トランジスタ 21 のゲート電位が所定のフィードバック電圧となるように、差動増幅器 32 はフィードバック動作を行う。このとき、差動増幅器 32 の出力電圧値は、例えば、0V または 0V 近傍の正電圧である。フィードバック電圧とは

、差動増幅器 3 2 の出力電圧を意味する。

- [0126] 図 8 に示されるように、画素 2 4 は、半導体基板 4 0 と、電荷検出回路 3 5 と、光電変換部 1 0 A と電荷蓄積ノード 3 4 (図 7 参照) とを含む。
- [0127] 半導体基板 4 0 は、感光領域が形成される側の表面に半導体層が設けられた絶縁性基板等であってもよく、例えば、p 型シリコン基板である。半導体基板 4 0 は、不純物領域 2 1 D、2 1 S、2 2 D、2 2 S および 2 3 S と、画素 2 4 間の電氣的な分離のための素子分離領域 4 1 とを有する。不純物領域 2 1 D、2 1 S、2 2 D、2 2 S および 2 3 S は、例えば、n 型領域である。ここでは、素子分離領域 4 1 は、不純物領域 2 1 D と不純物領域 2 2 D との間に設けられている。これにより、電荷蓄積ノード 3 4 で蓄積される信号電荷のリークが抑制される。なお、素子分離領域 4 1 は、例えば、所定の注入条件下でアクセプタのイオン注入を行うことによって形成される。
- [0128] 不純物領域 2 1 D、2 1 S、2 2 D、2 2 S および 2 3 S は、例えば、半導体基板 4 0 内に形成された拡散領域である。図 8 に示されるように、増幅トランジスタ 2 1 は、不純物領域 2 1 S および不純物領域 2 1 D とゲート電極 2 1 G とを含む。不純物領域 2 1 S および不純物領域 2 1 D は、それぞれ増幅トランジスタ 2 1 の例えばソース領域およびドレイン領域として機能する。不純物領域 2 1 S および不純物領域 2 1 D の間に、増幅トランジスタ 2 1 のチャンネル領域が形成される。
- [0129] 同様に、アドレストランジスタ 2 3 は、不純物領域 2 3 S および不純物領域 2 1 S と、アドレス信号線 3 6 に接続されたゲート電極 2 3 G とを含む。この例では、増幅トランジスタ 2 1 およびアドレストランジスタ 2 3 は、不純物領域 2 1 S を共有することによって互いに電氣的に接続されている。不純物領域 2 3 S は、アドレストランジスタ 2 3 の例えばソース領域として機能する。不純物領域 2 3 S は図 7 に示される垂直信号線 2 7 との接続を有する。
- [0130] リセットトランジスタ 2 2 は、不純物領域 2 2 D および 2 2 S と、リセット信号線 3 7 に接続されたゲート電極 2 2 G とを含む。不純物領域 2 2 S は

、リセットトランジスタ 22 の例えばソース領域として機能する。不純物領域 22 S は、図 7 に示されるリセット信号線 37 との接続を有する。

[0131] 半導体基板 40 には、増幅トランジスタ 21、アドレスタランジスタ 23 およびリセットトランジスタ 22 を覆うように層間絶縁層 50 が積層されている。

[0132] また、層間絶縁層 50 中には、配線層（不図示）が配置され得る。配線層は、例えば、銅などの金属から形成され、例えば、上述の垂直信号線 27 などの配線をその一部に含み得る。層間絶縁層 50 中の絶縁層の層数および層間絶縁層 50 中に配置される配線層に含まれる層数は、任意に設定可能である。

[0133] 層間絶縁層 50 中には、リセットトランジスタ 22 の不純物領域 22 D と接続されたコンタクトプラグ 53、下部電極 2 と接続されたコンタクトプラグ 51、およびコンタクトプラグ 51 とコンタクトプラグ 54 とコンタクトプラグ 53 とを接続する配線 52 が配置される。これにより、リセットトランジスタ 22 の不純物領域 22 D が増幅トランジスタ 21 のゲート電極 21 G と電氣的に接続されている。図 8 に例示される構成において、コンタクトプラグ 51、53 および 54、配線 52、増幅トランジスタ 21 のゲート電極 21 G、ならびに、リセットトランジスタ 22 の不純物領域 22 D は、電荷蓄積ノード 34 の少なくとも一部を構成する。

[0134] 電荷検出回路 35 は、下部電極 2 によって捕集された信号電荷を検出し、信号電圧を出力する。電荷検出回路 35 は、増幅トランジスタ 21 と、リセットトランジスタ 22 と、アドレスタランジスタ 23 とを含み、半導体基板 40 に形成されている。

[0135] 増幅トランジスタ 21 は、半導体基板 40 内に形成され、それぞれドレイン電極およびソース電極として機能する不純物領域 21 D および不純物領域 21 S と、半導体基板 40 上に形成されたゲート絶縁層 21 X と、ゲート絶縁層 21 X 上に形成されたゲート電極 21 G とを含む。

[0136] リセットトランジスタ 22 は、半導体基板 40 内に形成され、それぞれド

ライン電極およびソース電極として機能する不純物領域 2 2 D および不純物領域 2 2 S と、半導体基板 4 0 上に形成されたゲート絶縁層 2 2 X と、ゲート絶縁層 2 2 X 上に形成されたゲート電極 2 2 G とを含む。

[0137] アドレストランジスタ 2 3 は、半導体基板 4 0 内に形成され、それぞれドライン電極およびソース電極として機能する不純物領域 2 1 S および 2 3 S と、半導体基板 4 0 上に形成されたゲート絶縁層 2 3 X と、ゲート絶縁層 2 3 X 上に形成されたゲート電極 2 3 G とを含む。不純物領域 2 1 S は、増幅トランジスタ 2 1 とアドレストランジスタ 2 3 とが直列に接続される。

[0138] 層間絶縁層 5 0 上には、上述の光電変換部 1 0 A が配置される。換言すれば、本実施の形態では、画素アレイ P A を構成する複数の画素 2 4 が、半導体基板 4 0 上に形成されている。そして、半導体基板 4 0 上に 2 次元に配置された複数の画素 2 4 は、感光領域を形成する。接続する 2 つの画素 2 4 間の距離（すなわち、画素ピッチ）は、例えば 2 μ m 程度であってもよい。

[0139] 光電変換部 1 0 A は、上述した光電変換素子 1 0 の構造を備える。

[0140] 光電変換部 1 0 A の上方には、カラーフィルタ 6 0、その上方にマイクロレンズ 6 1 が形成されている。カラーフィルタ 6 0 は、例えば、パターニングによるオンチップカラーフィルタとして形成され、染料または顔料が分散された感光性樹脂等が用いられる。マイクロレンズ 6 1 は、例えば、オンチップマイクロレンズとして形成され、紫外線感光材料等が用いられる。

[0141] 撮像装置 1 0 0 は、一般的な半導体製造プロセスを用いることができる。特に、半導体基板 4 0 としてシリコン基板を用いる場合には、種々のシリコン半導体プロセスを利用することによって製造することができる。

[0142] 撮像装置 1 0 0 は、複数の画素 2 4 が例えば画素行ごとに順次露光されて信号を読み出すローリングシャッタ方式で動作してもよく、複数の画素 2 4 の露光期間が統一されるグローバルシャッタ方式で動作してもよい。ローリングシャッタ方式で動作する場合には、電圧供給回路 1 9 は、例えば、撮像時に、光電変換部 1 0 A に感度を生じさせるような電圧を上部電極 6 に供給したままであり、画素行ごとに順次、信号電荷の読み出し動作が行われる。

また、グローバルシャッタ方式で動作する場合には、電圧供給回路19は、例えば、露光期間に低感度または高感度で撮像するための電圧を上部電極6に供給し、非露光期間に光電変換部10Aに感度を生じさせないような電圧を上部電極6に供給する。この非露光期間に、画素行ごとに順次、信号電荷の読み出し動作が行われる。なお、撮像装置100の読み出し動作はこのような動作に限られず、公知の撮像装置の読み出し動作が適用されうる。

[0143] なお、撮像装置100が検出する信号電荷は、電子であってもよい。この場合、下部電極2と電氣的に接続された電荷蓄積ノード34は、電子を蓄積する。図9は、本実施の形態に係る別の光電変換素子における例示的なエネルギーバンド図である。図9において、各層のエネルギーバンドが矩形で示されている。また、図9では、電子を黒い丸で示し、正孔を白い丸で示して、電子および正孔の動きの一部が模式的に示されている。なお、図9において、ドナー性半導体材料4Aのエネルギーバンドと、アクセプタ性半導体材料4Bのエネルギーバンドとは、横方向にずれて図示されているが、これは、見やすさのためであり、光電変換層4の厚み方向にドナー性半導体材料4Aとアクセプタ性半導体材料4Bとが分かれて分布していることを意味するものではない。また、アクセプタ性半導体材料4Bのエネルギーバンドは破線の矩形で示されているが、これも、見やすさのためであり、実線の矩形と区別する意図はない。

[0144] 図9には、本実施の形態に係る撮像装置における光電変換素子の別の例として、上述の光電変換素子10における電荷ブロッキング層3および電荷ブロッキング層5の代わりに、電荷ブロッキング層3Aおよび電荷ブロッキング層5Aを備える光電変換素子のエネルギーバンドが示されている。電荷ブロッキング層5Aは第1電荷ブロッキング層の一例であり、電荷ブロッキング層3Aは第2電荷ブロッキング層の一例である。

[0145] 電荷ブロッキング層3Aは、信号電荷とは逆極性の電荷をブロックするように構成される。図9に示されるように、電荷ブロッキング層3Aのイオン化ポテンシャルは、例えば、光電変換層4のドナー性半導体材料4Aのイオ

ン化ポテンシャル以下である。電荷ブロッキング層 3 A は、下部電極 2 から光電変換層 4 への信号電荷とは逆極性の電荷（具体的には正孔）の注入を抑制する。これにより、S/N 比へ悪影響を与える雑信号を低減できる。

[0146] また、電荷ブロッキング層 5 A は、信号電荷とは逆極性の電荷をブロックするように構成される。電荷ブロッキング層 5 A のイオン化ポテンシャルは、ドナー性半導体材料 4 A のイオン化ポテンシャルより大きい。また、電荷ブロッキング層 5 A のイオン化ポテンシャルは、ドナー性半導体材料 4 A のイオン化ポテンシャルより 1 eV 以上大きくてもよい。

[0147] このような、ドナー性半導体材料 4 A のイオン化ポテンシャルより大きいイオン化ポテンシャルを有する電荷ブロッキング層 5 A が設けられることにより、光電変換層 4 で生成した正孔を、光電変換層 4 と電荷ブロッキング層 5 A との界面に蓄積することができる。特に、電荷ブロッキング層 5 A のイオン化ポテンシャルがドナー性半導体材料 4 A のイオン化ポテンシャルより 1 eV 以上大きい場合には、光電変換層 4 で生成した正孔を、光電変換層 4 と電荷ブロッキング層 5 A との界面に蓄積しやすい。

[0148] また、電荷ブロッキング層 5 A の電子親和力は、例えば、アクセプタ性半導体材料 4 B の電子親和力以上である。これにより、電荷ブロッキング層 5 A は、上部電極 6 から光電変換層 4 への信号電荷（具体的には電子）の注入を抑制する。これにより、S/N 比へ悪影響を与える暗電流による雑信号を低減できる。

[0149] 電荷ブロッキング層 3 A および電荷ブロッキング層 5 A の厚さは、例えば、上述した電荷ブロッキング層 3 および電荷ブロッキング層 5 と同じである。また、電荷ブロッキング層 5 A の可視光領域における光の透過率は、例えば、上述した電荷ブロッキング層 5 と同じである。

[0150] [撮像装置の動作]

次に、図 5 および図 10 を参照しながら撮像装置 100 の動作を説明する。ここでは、信号電荷として正孔を用いた場合について説明する。

[0151] 図 10 は、本実施の形態に係る画素 24 の模式的な回路構成の一部を示す

図である。図10では、説明を簡易にするため、電荷蓄積ノード34は容量を介して接地され、画素24に含まれる一部の構成要素が示されている。また、電荷蓄積ノード34の電圧 V_c は、露光前の初期状態では、基準電圧 V_{ref} にリセットされた場合を説明する。基準電圧 V_{ref} は、例えば、0Vであるが、電荷蓄積ノード34に正孔を蓄積できる電圧であれば特に制限されない。

[0152] まず、通常の露光時（高感度の撮像）の動作について説明する。通常の露光時には、電圧供給回路19は、例えば、バイアス電圧 V_o が、図5を用いて説明した第2電圧範囲よりも高く、光電流密度が実質的に変化しなくなる電圧になるような電圧 V_2 を上部電極6に印加する。初期状態では、バイアス電圧 $V_o = V_2 - V_{ref}$ であるため、基準電圧 V_{ref} が0Vの場合には、電圧 V_2 は、第2電圧範囲よりも高く、光電流密度が実質的に変化しなくなる電圧である。例えば、光電変換層4が有機材料によって構成される場合、電圧 V_2 は、10V程度である。

[0153] この状態で各画素24の光電変換部10Aに光が照射されると、光電変換部10Aへの入射光量に応じて、光電変換により正孔-電子対が発生する。生成した正孔は、上部電極6と下部電極2との電位差によって下部電極2に移動し、電荷蓄積ノード34に蓄積される。これにより、電荷蓄積ノード34の電圧 V_c は基準電圧 V_{ref} から増大する。各画素24における入射光量は異なるため、各画素24によって電圧 V_c の値も異なる。また、光が入射しない画素24では、正孔-電子対が発生しないので、電圧 V_c は基準電圧 V_{ref} のままである。バイアス電圧 $V_o = V_2 - V_c$ であるため、画素24ごとに、光電変換部10Aに印加されるバイアス電圧 V_o は異なる。しかし、通常の露光時では、電圧 V_2 は、第2電圧範囲よりも高い電圧であり、電圧に対して光電流密度がほとんど変化しないため、バイアス電圧 V_o が異なっても、光電流密度への影響は小さい。

[0154] 次に、電氣的に減光させた状態での露光時（低感度の撮像）について説明する。電氣的に減光させた状態での露光時には、電圧供給回路19は、例え

ば、バイアス電圧 V_0 が、図5を用いて説明した第1電圧範囲の電圧になるような電圧 V_1 を上部電極6に印加する。露光前の初期状態では、バイアス電圧 $V_0 = V_1 - V_{ref}$ であるため、基準電圧 V_{ref} が0Vの場合には、電圧 V_1 は第1電圧範囲の電圧である。この場合も、通常の露光時と同様に、入射した光量に応じた正孔が電荷蓄積ノード34に蓄積されており、電荷蓄積ノード34の電圧 V_c の値は各画素24によって異なる。つまり、バイアス電圧 $V_0 = V_1 - V_c$ であるため、画素24ごとに、光電変換部10Aに印加されるバイアス電圧 V_0 が異なることになる。本実施の形態では、第1電圧範囲において、電圧に対する光電流密度の変化が小さい特性を有していることから、画素24ごとにバイアス電圧 V_0 が異なっても、光電流密度のバラツキは小さい。つまり、撮像装置100における、光の入射量に対する出力のリニアリティ特性の低下が小さいことを意味する。

[0155] また、光電変換部10Aに印加されるバイアス電圧 V_0 が0Vになると、光電流は生じなくなる。つまり、バイアス電圧 $V_0 = V_1 - V_c$ であるため、 $V_1 = V_c$ の状態が、撮像装置100としての飽和信号量となる。本実施の形態においては、第1電圧範囲の幅が0.5V以上であるため、第1電圧範囲の上限付近の電圧を電圧 V_1 として設定することで、撮像装置100は、十分な飽和信号量を有することができる。第1電圧範囲内に収まる電圧 V_c の値のばらつきは、ダイナミックレンジの広さに相当する。例えば、第1電圧範囲の幅が0.5V以上であれば、変換ゲインが $50 \mu V / e^-$ の撮像装置において、人の目に相当する80dB以上のダイナミックレンジを確保し得る。

[0156] 露光後には、電荷蓄積ノード34に蓄積した正孔の量に応じた信号が増幅トランジスタ21を含む電荷検出回路35によって読み出される。

[0157] 一方、光電変換部が図6に示さるような光電流特性を有する場合には、上記で説明した第1電圧範囲を有しないため、電氣的に減光させた状態での露光時に、光の入射量に対する出力のリニアリティ特性の低下を抑制できず、また、十分な飽和信号量を有することができない。これに対して、本実施の

形態に係る撮像装置100では、光電変換部10Aが、上述のような第1電圧範囲を有する光電流特性を有するため、感度を調整して撮像する場合に、低感度の撮像であっても、光の入射量に対する出力のリニアリティ特性の低下を抑制でき、かつ、十分な飽和信号量を維持することができる。

- [0158] なお、上記の撮像装置100の動作では、電圧供給回路19が上部電極6に電圧を印加することでバイアス電圧 V_o を制御し、感度を調整していたが、これに限らない。例えば、撮像装置100が電圧供給回路19の代わりに、基準電圧 V_{ref} の大きさを変更可能な電圧供給回路を備えていてもよい。上部電極6に印加する電圧が変更されず、当該電圧供給回路が、低感度の撮像時と高感度の撮像時とで、基準電圧 V_{ref} を互いに異なる電圧に変更することで、バイアス電圧 V_o を制御してもよい。

実施例

- [0159] 以下、実施例にて本開示に係る撮像装置に備えられる光電変換素子を具体的に説明するが、本開示は以下の実施例のみに何ら限定されるものではない。詳細には、本開示の実施の形態に係る撮像装置に備えられる光電変換素子および特性比較のための光電変換素子を作製し、電流-電圧特性を測定した。

- [0160] (光電変換素子の作製)

実施例および比較例における光電変換素子を作製した。

- [0161] [実施例1]

支持基板として、TiNが成膜された基板を用いた。仕事関数が4.7 eVであるTiNを下部電極とし、下部電極上に9, 9' - [1, 1' - Biphenyl] - 4, 4' - diylbis [3, 6-bis (1, 1-dimethyl ethyl)] - 9H-carbazoleを真空蒸着法にて成膜することで、第2電荷ブロッキング層を形成した。このときに得られた第2電荷ブロッキング層の膜厚は、50 nmであった。

- [0162] 次に、第2電荷ブロッキング層上に、光電変換層の材料として、ドナー性半導体材料であるサブフラロシアニンと、アクセプタ性半導体材料であるフ

ラーレンC60とを用いて真空蒸着法により共蒸着し、光電変換層を形成した。ドナー性半導体材料とアクセプタ性半導体材料との重量比は、1：3であった。また、このときに得られた光電変換層の膜厚はおよそ500nmであった。また、サブフタロシアニンとして、中心金属としてホウ素（B）を有し、Bに塩化物イオンが配位子として配位したサブフタロシアニンを用いた。

[0163] 次に、光電変換層上に、真空蒸着法により金属製シャドウマスクを介して、第1電荷ブロッキング層の材料として、1,3-Bis(3-(diphenylphosphoryl)phenyl)benzeneを、5nmになるように蒸着することで、第1電荷ブロッキング層を形成した。

[0164] 次に、第1電荷ブロッキング層上に、上部電極としてITO膜を、スパッタリング法により30nmの膜厚で形成した後、さらに封止膜としてAl₂O₃膜を原子層堆積法により上部電極上に形成することで、光電変換素子を得た。

[0165] [比較例1]

第1電荷ブロッキング層を形成せず、光電変換層上に直接上部電極を形成した以外は、実施例1と同様の工程を行い、光電変換素子を得た。

[0166] (材料のイオン化ポテンシャルおよび電子親和力の測定)

実施例1および比較例1で用いた各材料について、イオン化ポテンシャルおよび電子親和力を測定した。

[0167] イオン化ポテンシャルの測定では、ITOが成膜されたガラス基板上に、実施例1および比較例1で用いた各材料を成膜した試料を準備した。次に、大気中光電子分光装置（AC-3、理研計器製）を用いて紫外線照射のエネルギーを変化させたときの光電子数を測定し、光電子が検出され始めるエネルギー位置をイオン化ポテンシャルとした。

[0168] 電子親和力の測定では、まず、石英基板上に実施例1および比較例1で用いた各材料を成膜した試料を準備した。次に、準備した試料について、分光光度計（U4100、日立ハイテクノロジー製）を用いて、吸収スペクトル

を測定し、得られた吸収スペクトルの吸収端の結果から、光学バンドギャップを算出した。上記イオン化ポテンシャルの測定で得られたイオン化ポテンシャルと算出した光学バンドギャップとの引き算によって電子親和力を見積もった。

[0169] 実施例 1 および比較例 1 で用いた各材料のイオン化ポテンシャルおよび電子親和力を表 1 に示す。

[0170] [表1]

層		材料	イオン化ポテンシャル	電子親和力
			[eV]	[eV]
第 2 電荷ブロッキング層		9,9'-[1,1'-Biphenyl]-4,4'-diylbis[3,6-bis(1,1-dimethyl ethyl)]-9H-carbazole	5.8	2.7
光電変換層	アクセプタ性半導体材料	C60フラレン	6.2	4.2
	ドナー性半導体材料	サブフタロシアニン	5.5	3.4
第 1 電荷ブロッキング層		1,3-Bis(3-(diphenylphosphoryl)phenyl)benzene	6.9	2.8

[0171] 表 1 に示されるように、実施例 1 における光電変換素子において、第 1 電荷ブロッキング層の電子親和力は、アクセプタ性半導体材料の電子親和力より小さく、より具体的には、アクセプタ性半導体材料の電子親和力 1 e V 以上小さい。

[0172] (電流－電圧特性の測定)

実施例 1 および比較例 1 における光電変換素子について、明時および暗時における電流密度を測定した。電流密度の測定には、半導体デバイス・パラメータ・アナライザ (B 1 5 0 0 A、キーサイトテクノロジー社製) を用いた。具体的には、光電変換素子の一对の電極間、つまり、上部電極と下部電極との間に印加するバイアス電圧 (電位差 ΔV) を変化させて、明時および暗時の電流－電圧特性を測定した。また、バイアス電圧は、上部電極の電位が下部電極の電位よりも高くなるように印加した。明時における光の照射強度は 1 0 0 0 ルクスに設定した。

[0173] 比較例 1 における光電変換素子にバイアス電圧を印加した際の明時におけ

る電流－電圧特性を図 1 1 に示す。また、実施例 1 における光電変換素子にバイアス電圧を印加した際の明時における電流－電圧特性を図 1 2 に示す。また、実施例 1 における光電変換素子にバイアス電圧を印加した際の明時および暗時における電流－電圧特性を図 1 3 に示す。なお、図 1 3 は、第 1 電圧範囲付近での実施例 1 における光電変換素子の電流－電圧特性を示している。

[0174] 図 1 1 から図 1 3 において、縦軸は、規格化された絶対値での電流密度を示し、横軸は、第 1 電極と第 2 電極との電位差 ΔV (バイアス電圧) を示している。また、図 1 1 から図 1 3 では、電流密度は規格化された任意単位で示されており、バイアス電圧を高めていった場合に光電流密度が飽和したときの光電流密度値を 1 としている。具体的には、図 1 1 では、比較例 1 における光電変換素子において電位差 ΔV が 8 V の場合の光電流密度値を 1 として規格化した電流密度が示されている。また、図 1 2 および図 1 3 では、実施例 1 における光電変換素子において電位差 ΔV が 10 V の場合の光電流密度値を 1 として規格化した電流密度が示されている。また、図 1 3 では、黒い丸のプロットは、光が照射された状態の電流－電圧特性を示し、白い丸のプロットは、光が照射されていない状態の電流－電圧特性を示している。

[0175] 図 1 1 に示されるように、第 1 電荷ブロッキング層を備えない比較例 1 における光電変換素子では、0 V 付近から光電流密度が急峻に増加している。これは、比較例 1 における光電変換素子に第 1 電荷ブロッキング層が備えられていないため、低いバイアス電圧であっても光電変換層で生成した電子が上部電極に捕集されるためであると考えられる。

[0176] 一方、図 1 2 および図 1 3 に示されるように、第 1 電荷ブロッキング層を備える実施例 1 における光電変換素子では、バイアス電圧が 5 V 付近までは、光電流密度の増加が小さい。このように、実施例 1 における光電変換素子の光電流特性において、光電流密度が急峻に増加する第 2 電圧範囲よりも、電圧に対する光電流密度の変化率が小さい第 1 電圧範囲が 0.5 V 以上の範囲にわたる。これは、実施例 1 における光電変換素子が、アクセプタ性半導

体材料の電子親和力よりも小さい電子親和力を有する第1ブロッキング層を備えることで、比較的低いバイアス電圧では、光電変換層と第1電荷ブロッキング層との界面に電子が蓄積し、電界緩和効果等によって光電流が流れにくくなっているためであると考えられる。

[0177] また、図13には、光が照射されていない状態において、上部電極と下部電極との間に電圧を印加した際の、実施例1における光電変換素子のI-V特性の一例も、破線によって合わせて示されている。つまり、破線で示されるグラフにおける電流密度は、実施例1における光電変換素子に光が照射されていない状態において流れる電流に対応する暗電流密度である。図13に示されるように、実施例1における光電変換素子の光電流特性において、第1電圧範囲での光電流密度は、暗電流密度よりも大きい。

[0178] 以上により、実施例1における光電変換素子は、第1電圧範囲と第2電圧範囲とを有する光電流特性を有している。そのため、実施例1における光電変換素子では、第1電圧範囲のバイアス電圧を用いて撮像することが可能である。

[0179] 以上、本開示に係る光電変換素子および撮像装置について、実施の形態および実施例に基づいて説明したが、本開示は、これらの実施の形態および実施例に限定されるものではない。本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態および実施例に施したものの、ならびに、実施の形態および実施例における一部の構成要素を組み合わせて構築される別の形態も、本開示の範囲に含まれる。

[0180] (その他1)

本開示の実施の形態の変形例は下記に示すようなものであってもよい。

[0181] 光電変換素子であって、
光を信号電荷に変換する光電変換層と、
前記信号電荷を捕集する第1電極と、
第2電極と、前記光電変換層は前記第1電極と前記第2電極の間に設けられ、

前記光電変換層と前記第2電極との間に位置し、第1電荷ブロッキング材料を含む第1電荷ブロッキング層と、を備え、

前記第1電荷ブロッキング層は、前記信号電荷の極性と逆の極性の電荷をブロックするように構成され、

所定の照度を有する光を前記光電変換層に照射した場合の前記第1電極と前記第2電極との間に印加する電圧に対する前記光電変換素子の光電流の特性は、第1電圧範囲と第2電圧範囲を示し、

前記第1電圧範囲に含まれる第1電圧に対応する第1光電流密度は、前記第2電圧範囲に含まれる第2電圧に対応する第2光電流密度より小さく、

前記第1電圧は、前記第2電圧より小さく、

前記第1電圧範囲に含まれる複数の第1電圧の差に対する前記複数の第1電圧に対応する複数の光電流密度の差の比率は、前記第2電圧範囲に含まれる複数の第2電圧の差に対する前記複数の第2電圧に対応する複数の光電流密度の差の比率より小さく、

前記第1電圧範囲の最大電圧と前記第1電圧範囲の最小電圧の差の絶対値は、0.5V以上である、

光電変換素子。

[0182] 前記第1電圧範囲は連続していてもよい。前記第2電圧範囲は連続していてもよい。前記第1電圧は前記第1電圧範囲の前記最大電圧であってもよい。前記第2電圧は前記第2電圧範囲の最小電圧であってもよい。

産業上の利用可能性

[0183] 本開示に係る光電変換素子および撮像装置は、医療用カメラ、監視用カメラ、車載用カメラ、測距カメラ、顕微鏡カメラ、ドローン用カメラ、ロボット用カメラなど、様々なカメラシステムおよびセンサシステムに適用できる。

符号の説明

[0184] 1 支持基板
2 下部電極

- 3、3 A 電荷ブロッキング層
- 4、 光電変換層
 - 4 A ドナー性半導体材料
 - 4 B アクセプタ性半導体材料
- 5、5 A 電荷ブロッキング層
- 6 上部電極
 - 10 光電変換素子
 - 10 A 光電変換部
 - 19 電圧供給回路
 - 20 水平信号読み出し回路
 - 21 増幅トランジスタ
 - 22 リセットトランジスタ
 - 23 アドレスタランジスタ
 - 21 D、21 S、22 D、22 S、23 S 不純物領域
 - 21 G、22 G、23 G ゲート電極
 - 21 X、22 X、23 X ゲート絶縁層
 - 24 画素
 - 25 垂直走査回路
 - 26 対向電極信号線
 - 27 垂直信号線
 - 28 負荷回路
 - 29 カラム信号処理回路
- 31 電源配線
- 32 差動増幅器
- 33 フィードバック線
- 34 電荷蓄積ノード
- 35 電荷検出回路
- 36 アドレス信号線

- 37 リセット信号線
- 40 半導体基板
- 41 素子分離領域
- 50 層間絶縁層
- 51、53、54 コンタクトプラグ
- 52 配線
- 60 カラーフィルタ
- 61 マイクロレンズ
- 100 撮像装置

請求の範囲

[請求項1]

光電変換素子であって、
光を信号電荷に変換する光電変換層と、
前記信号電荷を捕集する第1電極と、
第2電極と、
前記光電変換層と前記第2電極との間に位置し、第1電荷ブロッキング材料を含む第1電荷ブロッキング層と、を備え、
前記第2電極は、前記光電変換層と前記第1電極との間に位置し、
前記第1電荷ブロッキング層は、前記信号電荷の極性とは逆の極性の電荷をブロックするように構成され、
所定の照度を有する光を前記光電変換層に照射した場合の前記第1電極と前記第2電極との間に印加する電圧に対する前記光電変換素子の光電流の特性は、第1電圧範囲と第2電圧範囲を示し、
前記第1電圧範囲に含まれる第1電圧における第1光電流密度は、前記第2電圧範囲に含まれる第2電圧における第2光電流密度より小さく、
前記第1電圧は、前記第2電圧よりも小さく、
前記第1電圧における光電流密度の変化率は、前記第2電圧における光電流密度の変化率より小さく、
前記第1電圧範囲の最大電圧と前記第1電圧範囲の最小電圧の差の絶対値は、0.5V以上である、
光電変換素子。

[請求項2]

前記光電変換層は、ドナー材料とアクセプタ材料とを含み、
前記信号電荷は正孔であり、
前記第1電荷ブロッキング材料の電子親和力は、前記アクセプタ材料の電子親和力より1eV以上小さい、
請求項1に記載の光電変換素子。

[請求項3]

前記光電変換層は、ドナー材料とアクセプタ材料とを含み、

前記信号電荷は電子であり、

前記第1電荷ブロッキング材料のイオン化ポテンシャルは、前記ドナー材料のイオン化ポテンシャルより1 eV以上大きい、

請求項1に記載の光電変換素子。

[請求項4]

前記光電流特性において、前記第1電圧範囲における光電流密度の最大値は、前記第2電圧範囲における光電流密度の最大値の10%以下である、

請求項1から3のいずれか一項に記載の光電変換素子。

[請求項5]

前記光電流特性において、前記第1電圧範囲における光電流密度の最大値は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の10%以下である、

請求項1から3のいずれか一項に記載の光電変換素子。

[請求項6]

前記光電流特性において、前記第1電圧範囲における0.5Vあたりの光電流密度の変化量は、電圧を高めていった場合に光電流密度が飽和したときの光電流密度値の3%以下である、

請求項1から3のいずれか一項に記載の光電変換素子。

[請求項7]

前記光電流特性において、前記第1電圧範囲における電圧における光電流密度の変化率の大きさは、前記第2電圧範囲における電圧における光電流密度の変化率の大きさの20%以下である、

請求項1から3のいずれか一項に記載の光電変換素子。

[請求項8]

前記第1電荷ブロッキング層の厚さは、50nm以下である、

請求項1から3のいずれか一項に記載の光電変換素子。

[請求項9]

前記光電変換層と前記第1電極との間に位置する第2電荷ブロッキング層を備え、

前記第2電荷ブロッキング層は、前記信号電荷とは逆極性の電荷をブロックするように構成される、

請求項1から3のいずれか一項に記載の光電変換素子。

[請求項10]

前記第1電荷ブロッキング層の厚さは、前記第2電荷ブロッキング

層の厚さより小さい、

請求項 9 に記載の光電変換素子。

[請求項11] 前記光電流特性は、前記第 1 電極と前記第 2 電極との間に印加する電圧を 0 V から高くしていくときに、光電流密度が急峻に変化するようになるために生じる第 1 屈曲点、および、前記第 1 の屈曲点の電圧よりも高い電圧の第 2 屈曲点を有し、

前記第 1 電圧範囲は、0 V と前記第 1 屈曲点の電圧との間の電圧範囲に含まれ、前記第 2 電圧範囲は、前記第 1 屈曲点の電圧と前記第 2 の屈曲点の電圧との間の電圧範囲に含まれる、

請求項 1 から 3 のいずれか一項に記載の光電変換素子。

[請求項12] 前記第 1 電圧は前記第 1 電圧範囲の前記最大電圧であり、前記第 2 電圧は前記第 2 電圧範囲の最小電圧である、請求項 1 から 3 のいずれか一項に記載の光電変換素子。

[請求項13] 前記第 1 電圧の前記最小電圧は 0 V である、請求項 1 から 3 のいずれか一項に記載の光電変換素子。

[請求項14] 前記最大電圧と前記最小電圧の差の絶対値は、1 V 以上である、請求項 1 から 3 のいずれか一項に記載の光電変換素子。

[請求項15] 前記最大電圧と前記最小電圧の差の絶対値は、2 V 以上である、請求項 1 から 3 のいずれか一項に記載の光電変換素子。

[請求項16] 前記最大電圧と前記最小電圧の差の絶対値は、5 V 以下である、請求項 1 から 3 のいずれか一項に記載の光電変換素子。

[請求項17] 前記最大電圧と前記最小電圧の差の絶対値は、4 V 以下である、請求項 1 から 3 のいずれか一項に記載の光電変換素子。

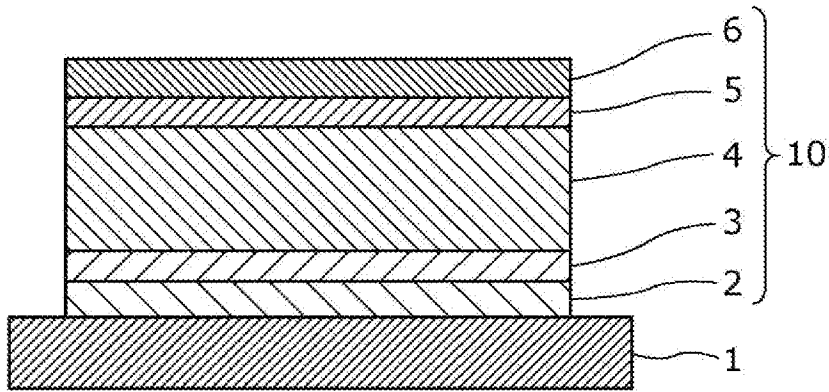
[請求項18] 前記第 1 電圧における光電流密度の変化率は、前記第 2 電圧における光電流密度の変化率の 20% 以下である、

請求項 1 から 3 のいずれか一項に記載の光電変換素子。

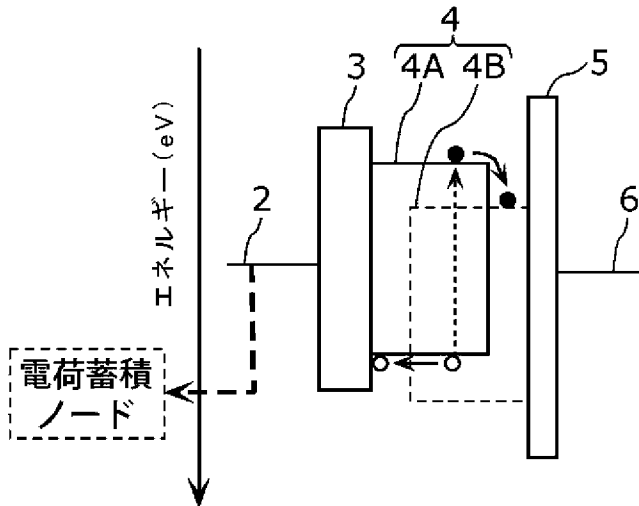
[請求項19] 請求項 1 から 3 のいずれか一項に記載の光電変換素子と、前記第 1 電極に接続された電荷検出回路と、

前記第 1 電極と前記第 2 電極との間に電位差を与える電圧供給回路と、を備える、
撮像装置。

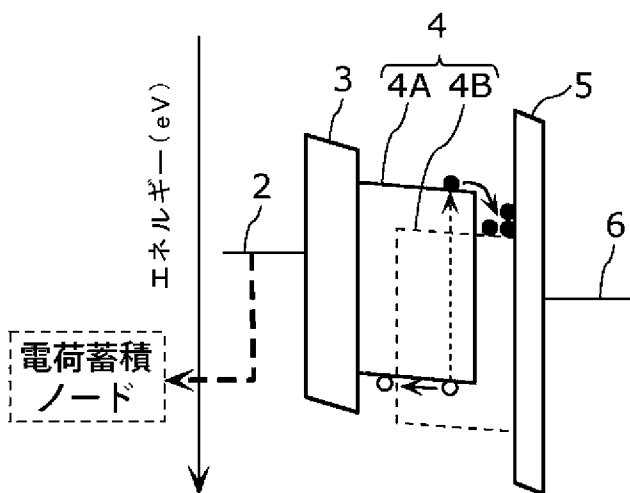
[図1]



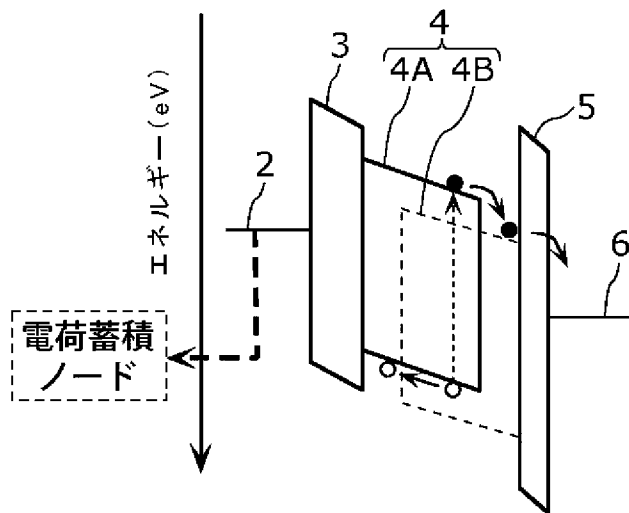
[図2]



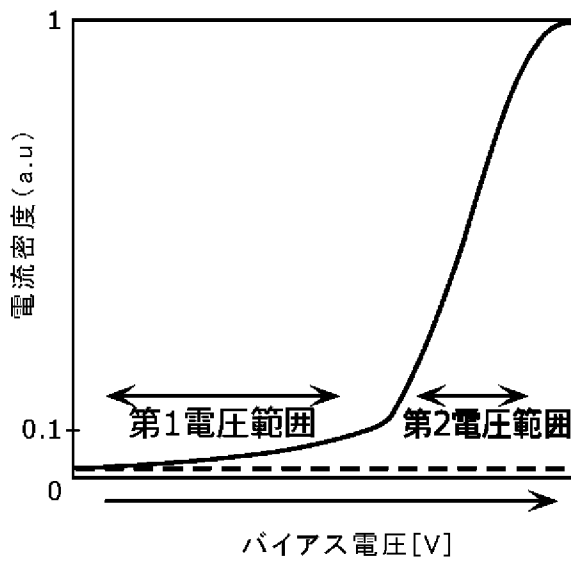
[図3]



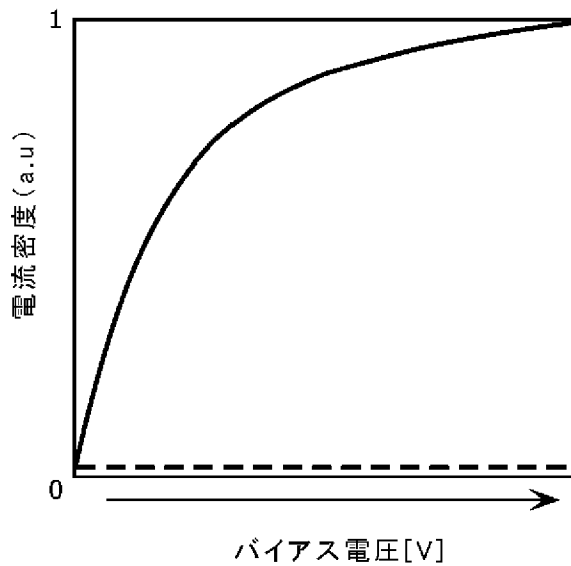
[図4]



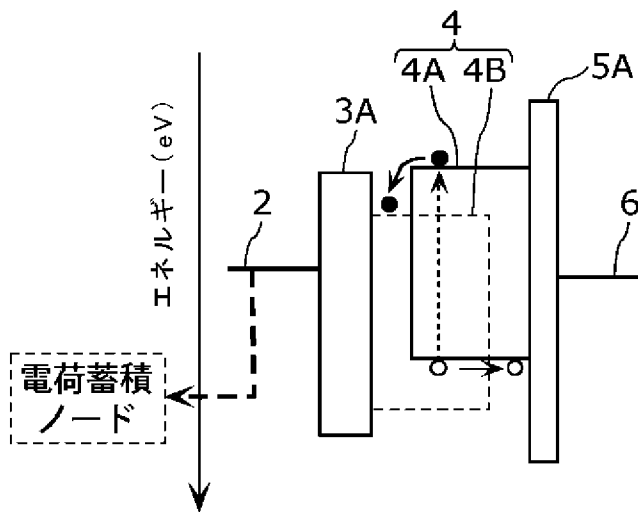
[図5]



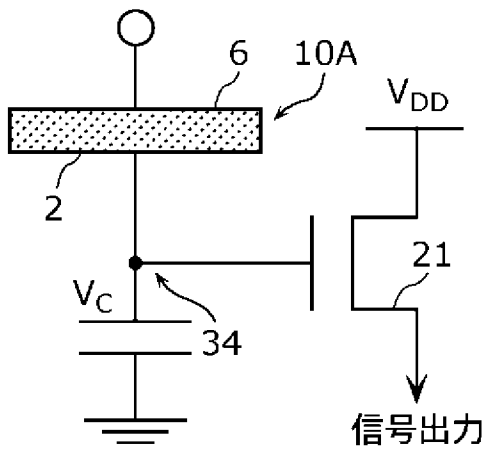
[図6]



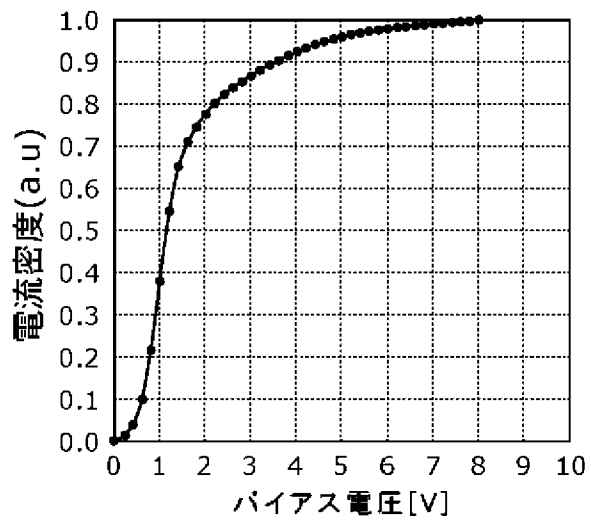
[図9]



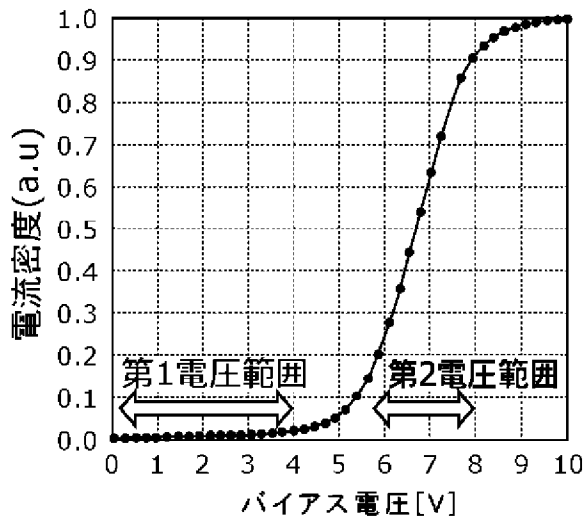
[図10]



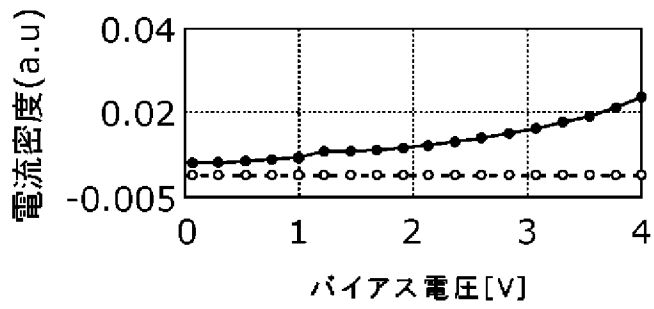
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/013659

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H10K 30/60</i> (2023.01)i; <i>H01L 27/146</i> (2006.01)i; <i>H04N 25/70</i> (2023.01)i; <i>H10K 30/30</i> (2023.01)i; <i>H10K 30/40</i> (2023.01)i; <i>H10K 39/32</i> (2023.01)i FI: H10K30/60; H04N25/70; H01L27/146 E; H10K39/32; H10K30/30; H10K30/40		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H10K30/00-99/00; H01L27/146;		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-212848 A (JAPAN BROADCASTING CORP) 12 December 2019 (2019-12-12) paragraphs [0016]-[0042], fig. 1-4	1, 4-7, 9-19
A		2-3, 8
A	WO 2021/220820 A1 (PANASONIC IP MAN CO LTD) 04 November 2021 (2021-11-04) entire text, all drawings	1-19
A	WO 2020/189169 A1 (PANASONIC IP MAN CO LTD) 24 September 2020 (2020-09-24) entire text, all drawings	1-19
A	JP 2017-188917 A (PANASONIC IP MAN CO LTD) 12 October 2017 (2017-10-12) entire text, all drawings	1-19
A	JP 2003-158254 A (JAPAN BROADCASTING CORP) 30 May 2003 (2003-05-30) entire text, all drawings	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 May 2023		Date of mailing of the international search report 13 June 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/013659

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2019-212848	A	12 December 2019	(Family: none)			
WO	2021/220820	A1	04 November 2021	CN	115398626	A	
WO	2020/189169	A1	24 September 2020	US	2021/0335867	A1	
				CN	113169278	A	
JP	2017-188917	A	12 October 2017	US	2018/0020171	A1	
				WO	2017/094229	A1	
				CN	107113385	A	
JP	2003-158254	A	30 May 2003	(Family: none)			

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H10K 30/60(2023.01)i; H01L 27/146(2006.01)i; H04N 25/70(2023.01)i; H10K 30/30(2023.01)i; H10K 30/40(2023.01)i; H10K 39/32(2023.01)i FI: H10K30/60; H04N25/70; H01L27/146 E; H10K39/32; H10K30/30; H10K30/40</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H10K30/00-99/00; H01L27/146;</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td>JP 2019-212848 A（日本放送協会）12.12.2019（2019 - 12 - 12） 段落[0016]-[0042], 図1-4</td> <td>1,4-7,9-19 2-3,8</td> </tr> <tr> <td>A</td> <td>WO 2021/220820 A1（パナソニックIPマネジメント株式会社）04.11.2021（2021 - 11 - 04） 全文, 全図</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>WO 2020/189169 A1（パナソニックIPマネジメント株式会社）24.09.2020（2020 - 09 - 24） 全文, 全図</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2017-188917 A（パナソニックIPマネジメント株式会社）12.10.2017（2017 - 10 - 12） 全文, 全図</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>JP 2003-158254 A（日本放送協会）30.05.2003（2003 - 05 - 30） 全文, 全図</td> <td>1-19</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X A	JP 2019-212848 A（日本放送協会）12.12.2019（2019 - 12 - 12） 段落[0016]-[0042], 図1-4	1,4-7,9-19 2-3,8	A	WO 2021/220820 A1（パナソニックIPマネジメント株式会社）04.11.2021（2021 - 11 - 04） 全文, 全図	1-19	A	WO 2020/189169 A1（パナソニックIPマネジメント株式会社）24.09.2020（2020 - 09 - 24） 全文, 全図	1-19	A	JP 2017-188917 A（パナソニックIPマネジメント株式会社）12.10.2017（2017 - 10 - 12） 全文, 全図	1-19	A	JP 2003-158254 A（日本放送協会）30.05.2003（2003 - 05 - 30） 全文, 全図	1-19
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X A	JP 2019-212848 A（日本放送協会）12.12.2019（2019 - 12 - 12） 段落[0016]-[0042], 図1-4	1,4-7,9-19 2-3,8																		
A	WO 2021/220820 A1（パナソニックIPマネジメント株式会社）04.11.2021（2021 - 11 - 04） 全文, 全図	1-19																		
A	WO 2020/189169 A1（パナソニックIPマネジメント株式会社）24.09.2020（2020 - 09 - 24） 全文, 全図	1-19																		
A	JP 2017-188917 A（パナソニックIPマネジメント株式会社）12.10.2017（2017 - 10 - 12） 全文, 全図	1-19																		
A	JP 2003-158254 A（日本放送協会）30.05.2003（2003 - 05 - 30） 全文, 全図	1-19																		
<p>国際調査を完了した日</p> <p>25.05.2023</p>	<p>国際調査報告の発送日</p> <p>13.06.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>吉岡 一也 2K 4742</p> <p>電話番号 03-3581-1101 内線 3255</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/013659

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-212848 A	12.12.2019	(ファミリーなし)	
WO 2021/220820 A1	04.11.2021	CN 115398626 A	
WO 2020/189169 A1	24.09.2020	US 2021/0335867 A1 CN 113169278 A	
JP 2017-188917 A	12.10.2017	US 2018/0020171 A1 WO 2017/094229 A1 CN 107113385 A	
JP 2003-158254 A	30.05.2003	(ファミリーなし)	