(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 16/04

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0302217
(24) 등록일자 2001년07월02일

(21) 출원번호 10-1996-0053894
(22) 출원일자 1996년11월14일

(65) 공개번호 특1997-0030860
(43) 공개일자 1997년06월26일

(30) 우선권주장 95-295136 1995년11월14일 일본(JP)

(73) 특허권자
가부시끼가이샤 도시바
니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지

(72) 발명자
다나카 도모하루
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터 내
하자마 히로아키
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터 내

(74) 대리인
김윤배
이범일

심사관 : 이철희

(54) 불휘발성반도체기억장치

요약

EEPROM에 있어서의 데이터 보증시간을 길게 할 수 있어 신뢰성의 향상을 도모한다.

4개 값의 데이터를 기억할 수 있는 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 4개 데이터를 임계치가 낮은 순으로 정해진 이산적인 " 0" , " 1" , " 2" , " 3" 의 임계치 전압영역에 대응시켜 기억시키고, 제j의 임계치 전압영역과 제j-1의 임계치 전압영역 사이의 값을 제j-1로 한 Vr1, Vr2, Vr3(Vr1 < Vr2 < Vr3) 의 독출 참조전압과의 대소관계로부터 데이터를 독출하는 EEPROM에 있어서, 제j의 임계치 전압영역의 최소전압과 제j-1의 독출 참조전압과의 차(△Vj)를 △V3> △V2> △V1으로 설정한다.

대표도

도 4

명세서

도면의 간단한 설명

제1도는 제1실시예에 있어서의 메모리셀의 구성을 나타낸 단면도.

제2도는 제1실시예에 있어서의 메모리셀의 데이터 유지특성을 나타낸 도면.

제3도는 종래 메모리셀의 임계치 분포를 나타낸 도면.

제4도는 제1실시예에 있어서의 메모리셀의 임계치 분포를 나타낸 도면.

제5도는 제1실시예에 있어서의 메모리셀의 셀전류분포를 나타낸 도면.

제6도는 제1실시예에 있어서의 메모리셀의 데이터 유지특성을 나타낸 도면.

제7도는 제1실시예에 있어서의 메모리셀의 임계치 분포를 나타낸 도면.

제8도는 제1실시예에 있어서의 메모리셀의 셀전류분포를 나타낸 도면.

제9도는 제1실시예에 따른 EEPROM의 구성을 나타낸 블럭도.

제10도는 제1실시예에 있어서의 EEPROM의 구조를 나타낸 단면도.

제11도는 제1실시예에 있어서의 메모리셀 어레이의 회로구성을 나타낸 도면.

제12도는 제1실시예에 있어서의 데이터회로의 구체적인 구성을 나타낸 도면.

제13도는 제1실시예에 있어서의 데이터 독출동작을 나타낸 타이밍도.

제14도는 제1실시예에 있어서의 데이터 기록동작을 나타낸 타이밍도.

제15도는 제1실시예에 있어서의 기록검증동작을 나타낸 타이밍도.

제16도는 제1실시예에 있어서의 다값(多直)기억데이터 래치회로의 변형예를 나타낸 도면.

제17도는 종래의 데이터 래치회로를 나타낸 도면.

제18도는 종래의 데이터 래치회로의 구성을 나타낸 도면.

제19도는 제1실시예에 있어서의 다값기억데이터 래치회로의 구성을 나타낸 도면.

제20도는 제1실시예에 있어서의 셀웰제어회로의 구체적인 구성을 나타낸 도면.

제21도는 제1실시예에 있어서의 셀웰제어회로의 동작을 나타낸 타이밍도.

제22도는 제2실시예에 있어서의 데이터회로의 구체적인 구성을 나타낸 도면.

제23도는 제2실시예에 있어서의 데이터 독출동작을 나타낸 타이밍도.

제24도는 제2실시예에 있어서의 데이터 기록동작을 나타낸 타이밍도.

제25도는 제2실시예에 있어서의 기록검증동작을 나타낸 타이밍도이다.

* 도면의 주요부분에 대한 부호의 설명

1 : p형 반도체기판 2 : n형 확산층

3 : 절연막 4 : 부유게이트(전하축적층)

5 : 게이트절연막 6 : 제어게이트

7 : 메모리셀 어레이 8 : 데이터회로

9 : 데이터 입출력버퍼 10 : 어드레스버퍼

11 : 워드선 선택· 구동회로 12 : 셀웰제어회로

13 : p형 반도체기판 14 : n형 웰

15 : p형 웰 16 : 전압리미터

M : 메모리셀 SG : 선택게이트

CG : 제어게이트 BL : 비트선

Qn : n채널 MOS트랜지스터 Qp : p채널 MOS트랜지스터

Hn : 고내압 n채널 MOS트랜지스터

Qd : 공핍형 n채널 MOS트랜지스터

CI : 클럭동기식 인버터 FF : 플립·플롭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전기적 재기록이 가능한 불휘발성 반도체기억장치(EEPROM)에 관한 것으로, 특히 1개의 메모리셀에 1비트보다 많은 정보를 기억시키는 다값기억을 행하는 EEPROM에 관한 것이다.

EEPROM의 메모리셀의 하나로서, 반도체기판 상에 전하축적층과 제어게이트가 적층형성된 MOSFET구조를 갖춘 것이 알려져 있다. 통상, 전하축적층에 축적된 전하량에 의해 데이터 " 0" 또는 " 1" 을 기억하고, 1개의 셀에 1비트의 데이터를 기억한다. 이에 대하여, 보다 고밀도의 EEPROM을 실현시키기 위하여 1개의 셀에 다비트분의 데이터를 기억시키는 다값기억방식도 알려져 있다. 예컨대, 4값기억방식 에서는 데이터 " 0" , " 1" , " 2" ,'3" 을 1개의 셀에 기억시키기

위하여 데이터에 대응한 4개의 전하량을 전하축적층에 축적한다.

4값방식을 예로 데이터 기억상태의 일예를 설명한다. 전하축적층의 전하량이 0의 상태를 중성상태로 하고, 중성상태에서 정(正)의 전하를 축적한 상태를 소거상태로 한다. 또한, 소거상태를 데이터 " 0" 에 대응시킨다. 예컨대, 기판에 고전압(- 2OV)을 인가하고, 제어게이트를 OV로 하여 소거가 행해진다. 중성상태에서 부(負)의 전하를 축적한 상태를 데이터 " 1" 의 상태로 한다. 데이터 '2" 의 상태도 중성상태에서 부의 전하를 축적한 상태이지만, 부의 전하량이 데이터 " 1" 상태의 부의 전하량보다 많게 된다. 데이터 " 3'의 상태는 더욱 부의 전하량이 많게된다. 예컨대, 기판, 소스, 드레인을 OV, 제어게이트를 고전압(~20V)으로 하여 부의 전하는 전하축적층에 축적된다.

일반적으로, EEPROM의 데이터 유지는 10년간 보증된다. 전하축적층에 축적된 전하는 아주 약간씩이지만, 누설되고 있다. 이 누설에 의해 데이터 " 0" , " 1" , " 2" , " 3" 의 구별이 없어지는 것을 방지하기 위하여, 통상 각 데이터에 대응한 전하량이 이산적으로 설정된다. 또한, 그 전하량의 차를 전하량 마진이라 한다.

그러나, 전하량 마진이 너무 적으면 10년간 보증할 수 없게 된다. 한편, 전하량 마진을 많게 하면, 예컨대 데이터 " 3" 에 대응하는 전하량도 많게하지 않으면 안된다. 이 때문에, 기록시간이 길어지거나 기록전압이 높아지기도 한다.

더욱이, 축적된 전하량이 많을수록 누설 전하량이 많아지기 때문에, 전하량 마진을 많게 한 만큼 보증시간이 길어지지 않는다는 문제가 있었다.

또한, EEPROM의 1하나로서, 복수 바이트분의 데이터를 일괄하여 기록하는 것이 알려져 있다. 이는 기록시간을 단축하기 위한 것이고, 복수 바이트분의 데이터를 일시 기억하기 위한 데이터회로를 구비하고 있다. 이와 같은 EEPROM으로 다값을 기억할 경우, 데이터회로도 다값을 기억할 수 있어야만 한다. 이 때문에, 데이터회로의 회로면적이 커진다는 문제가 있었다.

이상과 같이, 다값기억방식은 고밀도화를 위한 유효한 수단이지만, 데이터 보증의 신뢰성이 저하한다는 문제가 있었다. 또한, 메모리셀 이외의 데이터회로등의 제어회로가 커진다는 문제가 있었다

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 데이터 보증시간을 길게 할 수 있어, 신뢰성의 향상을 도모할 수 있는 다값기억방식 EEPROM을 제공함에 그 목적 이 있다.

또한, 메모리셀 이외의 제어회로 면적의 증대를 억제할 수 있는 다값기억방식 EEPROM을 제공함에 그 목적이 있다.

발명의 구성 및 작용

본 발명은, 다음과 같은 구성을 채용하고 있다.

즉, 본 발명(청구항1)은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비한 불휘발성 반도체기억장치에 있어서, 상기 전하축적부가 제1, 제2·····제n의 값에 대응하는 전하량이 축적되는 이산적인 제1, 제2····· 제n의 전하량축적영역을 갖추고, n값 데이터가 상기 제1, 제2····· 제n의 전하량축적영역에 대응하여 기억되며, 제1, 제2····· 제n의 전하량축적영역중 정의 전하량이 많은 순서에 따라 제n, n - 1····· i+1, i의 전하량축적영역으로 정의할 경우, 제j의 전하량축적영역과 제j - 1의 전하량축적영역의 전하량차(△Mj)가 △Mn> △Mn - 1> - - - - > △Mi+2> △Mi+l로 설정되어 이루어진 것을 특징으로 한다.

또한, 본 발명(청구항2)은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비한 불휘발성 반도체 기억장치에 있어서, 상기 전하축적부가 제1, 제2·····제n의 값에 대응하는 전하량이 축적되는 이산적인 제1, 제2····· 제n의 전하량축적영역을 갖추고, n값 데이터가 상기 제1, 제2····· 제n의 전하량축적영역에 대응하여 기억되며, 제1, 제2····· 제n의 전하량축적영역중 부의 전하량이 많은 순서에 따라 제n, n-1····· i+1, i의 전하량축적영역으로 정의할 경우, 제j의 전하량축적영역과 제j-1의 전하량축적영역의 전하량차(△Mj)가 △Mn> △Mn-1> - - - - > △Mi+2> △Mi+1로 설정되어 이루어진 것을 특징으로 한다.

즉, 본 발명(청구항1, 2)은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비한 불휘발성 반도체기억장치에 있어서, n값데이터를 전하축적부에 축적되는 이산적인 제1, 2····· n의 전하량축적영역에 대응시켜 기억시키고, 제1, 2····· n의 전하량축적영역중 전하축적부의 정(또는 부)의 전하량이 많은 순으로 제n, n-1····· i+1, i의 전하량축적영역으로 하고, 제j-1의 전하량축적영역과 제j의 전하량축적영역과의 전하량차의 크기(△Mj)를 △Mn△Mn-1> - - - - > △Mi+2> △Mi+l로 설정하여 이루어진 것을 특징으로 한다.

또한, 본 발명(청구항3)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 이산적인 제1, 2····· n의 임계치 전압영역에 대응시켜 기억시키고, 상기 제2, 3····· n의 독출 참조전압과의 대소관계로부터 데이터를 독출하고, 제1, 2····· n의 임계치 전압영역은 임계치가 높은 순으로 제n, n-1····· 2, 1의 임계치 전압영역으로 하고, 제j의 임계치 전압영역과 제j-1의 임계치 전압영역 사이의 값인 제j의 독출 참조전압과의 차(Vj)가 Vn> Vn-1> Vn-2> ···· > Vi+2> Vi+l(i≥ 1)로 되는 것을 특징으로 한다.

또한, 본 발명(청구항4)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 이산적인 제1, 2····· n-1, n의 임계치 전압영역에 대응시켜 기억시키고, 제1, 2····· n-1의 독출 참조전압과의 대소관계로부터 데이터를 독출하고, 제1, 2····· n-1, n의 임계치 전압영역은 임계치가 낮은 순으로 제1, 2····· n의 임계치 전압영역으로 하고, 제j의 임계치 전압영역과 제j+1의 임계치 전압영역 사이의 값인 제j의 독출 참조전압과 제j의 임계치 전압영역의 차(Vj)가 V1> V2> ···· > Vi-2> Vi-1(i≤ n)로 되는 것을 특징으로 한다.

즉, 본 발명(청구항3, 4)은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 임계치가 높은(또는 낮은) 순으로 정해진 이산적인 제1, 2····· n의 임계치 전압영역에 대응시켜 기억시키고, 제j의 임계치 전압영역과 제j-1의 임계치 전압영역 사이의 값을 제j-1로 한 제1, 2····· n-1의 독출 참조전압과의 대소관계로부터 데이터를 독출하는 불휘발성 반도체기억장치로, 제j의 임계치 전압영역의 최대전압(또는 최소전압)과 제j-1의 독출 참조전압과의 차의 크기(Vj)를 Vn> Vn-1> … > Vi+2> Vi+1(i≥ 1)로 설정하여 이루어진 것을 특징으로 한다.

또한, 본 발명(청구항5)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 이산적인 제1, 2····· n의 독출 전류영역에 대응시켜 기억시키고, 제2, 3····· n의 독출 참조전류와의 대소관계로부터 데이터를 독출하고, 제1, 2····· n의 독출 전류영역은 독출 전류가 많은 순으로 제n, n-1, - - -, 2, 1의 독출 전류영역으로 하고, 제j의 독출 전류영역과, 제j의 독출 전류영역과 제j-1의 독출 전류영역 사이의 값인 제j의 독출 참조전류와의 차(Ij)가 In> In-1> In-2

> ···· > Ii+2> Ii+1 (i≥ 1)로 되는 것을 특징으로 한다.

또한, 본 발명(청구항6)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 이산적인 제1, 2····· n-1, n의 독출 전류영역에 대응시켜 기억시키고, 제1, 2····· n-1의 독출 참조영역과의 대소관계로부터 데이터를 독출하고, 제1, 2····· n의 독출 전류영역은 독출 전류가 적은 순으로 제1, 2····· n의 독출 전류영역으로 하고, 제j의 독출 전류영역과, 제j+1의 독출 전류영역 사이의 값인 제j의 독출 참조전류와 제j의 독출 전류영역과의 차(Ij)가 I1> 12> ··· > Ii-2> Ii-1(i≤ 1)로 되는 것을 특징으로 한다.

즉, 본 발명(청구항5, 6)은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 독출 전류가 적은(또는 많은) 순으로 정해진 이산적인 제1, 2····· n의 독출 전류영역에 대응시켜 기억시키고, 제j의 독출 전류영역과 제j-1의 독출 전류영역 사이의 값을 제j-1로 한 제1, 2····· n-1의 독출 참조전류와의 대소관계로부터 데이터를 독출하는 불휘발성 반도체기억장치로, 제j의 독출 전류영역의 최소전류(또는 최대 전류)와 제j-1의 독출 참조전류와의 차의 크기(Ij)를 In) In-1> ··· > Ii+2> Ii+1(i≥ 1)로 설정하여 이루어진 것을 특징으로 한다.

또한, 본 발명(청구항7)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 메모리셀과, 기록데이터를 일시적으로 기억하는 데이터회로를 구비하고, 상기 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성된 것을 특징으로 한다. 더욱이, 상기 n-1개 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리회로의 n-1개의 입력단자중 1개의 입력단자에 서로 접속되어 데이터회로를 구성하는 것을 특징으로 한다.

또한, 본 발명(청구항9)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 메모리셀과, 상기 메모리셀에 기억된 데이터를 독출하는 센스회로 및, 상기 센스회로에서 독출된 데이터를 일시적으로 기억하는 데이터회로를 구비하고, 상기 센스회로는 독출 데이터의 값에 따라 온· 오프하는 n-1개의 스위치회로로 구성되며, 상기 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성된 것을 특징으로 한다. 더욱이, 상기 n-1개의 스위치회로는 각각 다른 센스신호가 입력되는 제1MOS트랜지스터와 상기 독출 데이터가 입력되는 제2MOS트랜지스터를 직렬접속하여 센스회로를 구성하고, 상기 n-1개의 입력 단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리회로의 n-1개의 입력단자중 1개의 입력단자에 서로 접속되어 데이터회로를 구성하는 것을 특징으로 한다.

또한, 본 발명(청구항11)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선 및, 복수의 프로그램 제어회로를 구비하고, 상기 복수의 프로그램 제어회로는 1) 각각 대응하는 상기 메모리셀에 인가되는 기록전압을 결정하는 기록제어데이터를 유지하고, 2) 상기 유지된 기록제어데이터에 따라 각각 대응하는 상기 메모리셀에 상기 기록전압을 동시에 인가하고, 3) 상기 메모리셀의 기록상태를 검출하고, 4) 기록 불충분한 상기 메모리셀만 미리 결정된 기록상태로 하도록 상기 기록전압이 인가되도록 상기 메모리셀의 기록상태와 상기 기록제어데이터로부터 미리 결정된 논리관계에 따라 유지되어 있는 상기 기록제어데이터를 선택적으로 변경하고, 각 상기 프로그램 제어회로는 상기 기록제어데이터를 유지하기 위하여 데이터회로를 구비한 것을 특징으로 한다.

더욱이, 본 발명의 바람직한 실시예로서는 다음의 것을 들 수 있다.

(1) 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성된다.

(2) n-1개의 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1 개의 각 상기 논리회로의 n-1개의 입력단자중 1개의 입력단자에 서로 접속되어 상기 데이터회로를 구성한다.

(3) 각 프로그램 제어회로는 비트선의 신호에 따라 데이터회로에 유지되어 있는 기록제어데이터를 변경하기 위한 센스회로를 구비하고 있다.

(4) 각 프로그램 제어회로는 비트선의 신호에 따라 데이터회로에 유지되어있는 데이터를 변경하기 위한 n-1개의 센스회로를 구비하고 있다.

(5) 센스회로는 비트선의 신호에 따라 온· 오프하는 n-1개의 스위치회로로 구성되어 있다.

또한, 본 발명(청구항15)은 다값(n(≥ 3)값)데이터 기억가능한 불휘발성 반도체기억장치에 있어서, 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선, 복수의 프로그램 제어회로 및, 복수의 데이터 회로를 구비하고,

이 복수의 프로그램 제어회로는 1) 상기 메모리셀을 선택하고, 2) 상기 선택한 메모리셀에 기록전압을 인가하고, 상기 복수의 데이터회로는 1) 상기 프로그램 제어회로에 의해 선택된 각각 대응하는 상기 메모리셀에 인가되는 기록제어전압을 제어하는 제1, 2····· n의 논리레벨의 기록제어데이터를 유지하고, 2) 상기 기록 제어전압을 각각 대응하는 상기 메모리셀에 인가하고, 3) 상기 제1 이외의 논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로에 대응하는 상기 메모리셀의 기록상태만 선택적으로 검출하고, 4) 미리 결정된 기록상태에 도달한 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어데이터의 논리레벨을 상기 제1논리레벨로 변경하고, 5) 미리 결정된 기록상태에 도달하지 않은 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어데이터의 논리레벨을 유지하고, 6) 상기 제1논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로의 기록제어데이터의 논리레벨을 상기 제1논리레벨로 유지하는 것을 특징으로 한다.

더욱이, 본 발명의 바람직한 실시예로서는 다음의 것을 들 수 있다.

(1) 각각의 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성되는 데이터 유지회로를 구비하고 있다.

(2) n-1개의 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1 개의 각 상기 논리회로의 n-1개의 입력단자중 1개의 입력단자에 서로 접속되어 상기 데이터 유지회로를 구성한다.

(3) 각 데이터회로는 비트선의 신호에 따라 데이터회로에 유지되어 있는 기록제어데이터의 논리레벨을 변경하기 위한 센스회로를 구비하고 있다.

(4) 각 데이터회로는 비트선의 신호에 따라 데이터회로에 유지되어있는 데이터의 논리레벨을 변경하기 위한 n-1개의 센스회로를 구비하고 있다.

(5) 센스회로는 비트선의 신호에 따라 온· 오프하는 n-1개의 스위치회로로 구성되어 있다.

또한, 본 발명은 다값(n(≥3)값)데이터 기억가능한 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선 및, 복수의 프로그램 제어회로를 구비하고, 상기 복수의 프로그램 제어회로는 1) 각각 대응하는 상기 메모리셀에 인가되는 기록전압을 결정하는 기록제어데이터를 유지하고, 2) 상기 유지된 기록제어데이터에

따라 각각 대응하는 상기 메모리셀에 상기 기록전압을 동시에 인가하고, 3) 상기 메모리셀의 기록상태를 검출하고, 4) 기록 불충분한 상기 메모리셀만 미리 결정된 기록상태로 하도록 상기 기록전압이 인가되도록 상기 메모리셀의 기록상태와 상기 기록제어데이터로부터 미리 결정된 논리관계에 따라 유지되어 있는 상기 기록제어데이터를 선택적으로 변경하고, 각 상기 프로그램 제어회로는 상기 기록제어데이터를 유지하기 위한 데이터회로를 구비하고, 각 상기 프로그램 제어회로는 더욱이 상기 비트선의 신호에 따라 상기 데이터회로에 유지되어 있는 상기 기록제어데이터를 변경하기 위한 센스회로를 구비한 것을 특징으로 한다.

더욱이, 본 발명은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선 및, 복수의 프로그램 제어회로를 구비하고, 상기 복수의 프로그램 제어회로는 1) 각각 대응하는 상기 메모리셀에 인가되는 기록전압을 결정하는 기록제어데이터를 유지하고, 2) 상기 유지된 기록제어데이터에 따라 각각 대응하는 상기 메모리셀에 상기 기록전압을 동시에 인가하고, 3) 상기 메모리셀의 기록상태를 검출하고, 4) 기록 불충분한 상기 메모리셀만 미리 결정된 기록상태로 하도록 상기 기록전압이 인가되도록 상기 메모리셀의 기록상태와 상기 기록제어데이터로부터 미리 결정된 논리관계에 따라 유지되어 있는 상기 기록제어데이터를 선택적으로 변경하고, 각 상기 프로그램 제어회로는 상기 기록제어데이터를 유지하기 위한 데이터회로를 구비하고, 각 상기 프로그램 제어회로는 더욱이 상기 비트선의 신호에 따라 상기 데이터회로에 유지되어 있는 데이터를 변경하기 위한 n-1개의 센스회로를 구비한 것을 특징으로 한다.

여기서, 상기 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성된 것을 특징으로 한다. 더욱이, 상기 n-1개의 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리회로의 n-1의 입력단 중 1개의 입력단자에 서로 접속되어 상기 데이터회로를 구성하는 것을 특징으로 한다.

또한, 본 발명은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선, 복수의 프로그램 제어회로 및, 복수의 데이터회로를 구비하고, 이 복수의 프로그램 제어회로는 1) 상기 메모리셀을 선택하고, 2) 상기 선택한 메모리셀에 기록전압을 인가하고, 상기 복수의 데이터회로는 1) 상기 프로그램 제어회로에 의해 선택된 각각 대응하는 상기 메모리셀에 인가되는 기록제어전압을 제어하는 제1, 2····· n의 논리레벨의 기록제어데이터를 유지하고, 2)상기 기록제어전압을 각각 대응하는 상기 메모리셀에 인가하고, 3) 상기 제1 이외의 논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로에 대응하는 상기 메로리셀의 기록상태만 선택적으로 검출하고, 4) 미리 결정된 기록상태에 도달한 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어데이터의 논리레벨을 상기 제1논리레벨로 변경하고, 5) 미리 결정된 기록상태에 도달하지 않은 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어데이터의 논리레벨을 유지하고, 6) 상기 제1논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로의 기록제어데이터의 논리레벨을 상기 제1논리레벨로 유지하고, 각 상기 데이터회로는 더욱이 상기 비트선의 신호에 따라 상기 데이터회로에 유지되어 있는 상기 기록제어데이터의 논리레벨을 변경하기 위한 센스회로를 구비한 것을 특징으로 한다.

더욱이, 본 발명은 다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선, 복수의 프로그램 제어회로 및, 복수의 데이터회로를 구비하고, 이 복수의 프로그램 제어회로는 1) 상기 메모리셀을 선택하고, 2) 상기 선택한 메모리셀에 기록전압을 인가하고, 상기 복수의 데이터회로는 1) 상기 프로그램 제어회로에 의해 선택된 각각 대응하는 상기 메모리셀에 인가되는 기록제어전압을 제어하는 제1, 2····· n의 논리레벨의 기록제어데이터를 유지하고, 2) 상기 기록제어전압을 각각 대응하는 상기 메모리셀에 인가하고, 3) 상기 제1 이외의 논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로에 대응하는 상기 메모리셀의 기록상태만 선택적으로 검출하고, 4) 미리 결정된 기록상태에 도달한 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어데이터의 논리레벨을 상기 제1논리레벨로 변경하고, 5) 미리 결정된 기록상태에 도달하지 않은 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어 데이터의 논리레벨을 유지하고, 6) 상기 제1논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로의 기록제어데이터의 논리레벨을 상기 제1논리레벨로 유지하고, 각 상기 데이터회로는 더욱

이 상기 비트선의 신호에 따라 상기 데이터회로에 유지되어 있는 데이터의 논리레벨을 변경하기 위한 n-1개의 센스회로를 구비한 것을 특징으로 한다.

여기서, 각각 상기 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성되는 데이터 유지회로를 구비한 것을 특징으로 한다. 더욱이, 상기 n-1개의 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리 회로의 n-1의 입력단 중 1개의 입력단자에 서로 접속되어 상기 데이터 유지회로를 구성한 것을 특징으로 한다.

[작용]

본 발명에 따른 다값(R(≥ 3)값)데이터 기억가능한 EEPROM은, n값데이터를 메모리셀의 전하축적층에 축적되는 n개의 전하량에 대응시켜 기억시킨다. n개의 전하량은 이산적으로 설정되고, 그 전하량차인 전하량 마진은 전하량이 많을수록 많이 설정된다. 이에 의해, 비교적 많은 전하량에 대응하는 데이터의 신뢰성을 확보하면서, 비교적 적은 전하량에 대응하는 데이터를 위한 전하량 마진을 삭감함으로써, 최대전하량을 저하시킬 수 있다. 따라서, 기록시간이나 기록전압의 증가를 억제하면서 신뢰성이 높은 EEPROM을 실현할 수 있다.

또한, 본 발명에 의하면, n값의 기록데이터를 일시 기억하기 위한 n값 기억데이터회로를, n-1개의 입력단자를 갖춘 n개의 논리회로로 구성함으로써, 제어회로 면적을 억제할 수 있다.

[실시예]

이하, 본 발명의 실시예를 도면을 참조하면서 상세히 설명한다.

[실시예 1]

제1도은 본 발명의 제1실시예에 있어서의 메모리셀(M)의 구조를 나타내고 있다. p형 반도체기판(1: 또는 P형 웰) 상에 터널절연막(3)을 매개로 부유게이트(4: 전하축적층)가 형성되고, 이 위에 게이트절연막(5)을 매개로 제어게이트(6)가 형성된다. 또한, 기판(1)의 표면에는 n형 확산층(2)이 소스· 드레인으로서 형성 된다. 부유게이트(4)에 축적되는 전하량을 제어함으로써 메모리셀(M)에 데이터가 기억 된다.

예컨대, 데이터의 기억은 이하와 같이 행해진다. 기판전압(Vsub), 소스전압(Vs) 및 드레인전압(Vd)을 고전압(VPP· 예컨대, 20V), 제어게이트전압(VCG)을 OV로 하면, 절연막(3)을 매개로 전하가 이동하여, 부유게이트(4)에는 정의 전하가 축적된다. 이 상태를 데이터 " 0" 의 상태에 대응시킨다. 데이터 " 0" 의 상태로부터 제어게이트전압(VCG)을 고전압(VPr: 예컨대 20V), 기판전압(Vsub), 소스전압(Vs) 및 드레인전압(Vd)을 OV로 하면, 부유게이트(4)에는 부의 전하가 축적된다. 부의 전하량을 3개의 영역으로 제어함으로써 데이터 " 1" , " 2" , " 3" 이 기억된다 부유게이트(4)의 전하량에 의해 메모리셀의 임계치(Vt)가 변화하고, 실제로는 이 Vt의 값을 검출하는 것에 의해 데이터가 독출된다.

부유게이트(4)에 축적된 전하는 오랜 시간에 걸쳐 누설된다. 도 2는 메모리셀(M)의 임계치(Vt)의 시간경과에 따른 변화의 일예를 나타내고 있다. 부유게이트(4)의 전하량이 0인 경우의 임계치(중성 임계치)를 Ve로 한다. 부의 전하가 많을수록 임계치(Vt)는 높아지고, 메모리셀의 임계치(Yt)의 초기치로서 3개의 값 V1, V2, V3(V1 < V2 < V3)가 나타나 있다 부유게이트(4)에 축적된 전하의 누설은 전하량이 0으로 되면 정지한다. 따라서, Vl, V2, V3는 방치시간과 더불어 Ve에 서서히 가까워진다. 또한, 임계치가 높을수록 Ve에 가까워지는 속도(dv/dt)가 빠르다. 이는 전하량이 많을수록 누설량이 많아지기 때문이다. 예컨대, 10년 방치후의 임계치의 변화량은 △V1 (△V2 < △V3로 된다.

제3도는 종래의 다값기억을 수행하는 메모리셀의 임계치 분포를 나타낸 도면으로, 본원 발명과의 비교를 위해 나타낸 도면이다. 복수의 메모리셀을 갖춘 EEPROM에서는 모든 메모리셀의 임계치를 동일한 값으로 제어하는 것이 곤란하기 때문에, 일반적으로 소정 데이터에 대응하는 임계치는 소정 임계치 분포폭을 갖는다.

제3도에서는 데이터 " 0" 에 대응하는 임계치는 Vr1 이하로 설정된다. 여기에서는 중성임계치(Ve) 이하로 설정되고, 부유게이트의 전하량이 정인 경우이다. 데이터 " 1" 에 대응하는 임계치는 Vr1 이상 Vr2 이하로 된다. 데이터 " 2" 에 대응하는 임계치는 Vr2 이상 Vr3 이하로 되고, 데이터 " 3" 에 대응하는 임계치는 Vr3 이상으로 된다. 여기에서는 Ve (Vr1으로 되고, 부유게이트의 부의 전하량이 많은 순으로 데이터 " 3" , " 2" , " 1" 에 대응한다. 전압 Vr1, Vr2, Vr3 은 참조전압이라 부른다.

메모리셀의 임계치와 이들 참조전압의 대소관계로부터 데이터는 독출된다.

데이터 " 1" 에 대응하는 임계치의 최소치와 Vr1 사이에는 △V만큼 마진이 설정되는데, 이는 데이터 " 1" 에 대응하는 임계치가 방치시간에 따라 Ve에 가까운 Vr1 이하로 되면, 데이터 " 1" 이 데이터 " 0" 으로 바뀌기 때문에, 메모리셀의 데이터 유지기간을 길게하기 위한 것이다 마찬가지로, 데이터 " 2" 또는 " 3" 에 대응하는 임계치의 최소치와 Vr2 또는 Vr3의 사이에도 △V만큼 각각 마진이 설정된다.

제2도를 이용하여 설명한 바와 같이, 부유게이트의 전하가 많을수록 임계치의 시간 경과에 따른 변화량이 많기 때문에, 제3도에 나타낸 예에서는 데이터 " 1" 이 " 0" 으로 바뀌기까지의 시간보다 데이터 " 2" 가 " 1" 로 바뀌기까지의 시간이 짧고, 더욱이 데이터 " 3" 이 " 2" 로 바뀌기까지의 시간이 짧다. 이는 각 데이터 유지를 위한 임계치 마진(△V)이 일정하기 때문이다.

제4도는 본 발명에 있어서의 메모리셀의 임계치와 데이터의 관계를 나타내고 있다. 데이터 " 1" 에 대응하는 임계치의 최소치와 Vr1의 사이에는 △V1만큼 마진이 설정된다. 데이터 '2" 에 대응하는 임계치의 최소치와 Vr2의 사이에는 △V2만큼 마진이 설정된다. 데이터 '3" 에 대응하는 임계치의 최소치와 Vr3의 사이에는 △V3만큼 마진이 설정된다. 여기서, △V1 < △V2 < △V3로 된다. 각각 데이터가 " 1" 에서 " 0', " 2'에서 " 1', " 3에서 " 2" 로 바뀌기까지의 시간이 같아지도록 되는 것이 가장 이상적이다. △V1 < △V2 < △v3로 하는 것으로, 예컨대 데이터 " 1" 유지를 위한 임계치 마진(△V1)을 여분으로 설정할 필요가 없어진다.

이와 같이, 대응하는 임계치의 시간경과에 따른 변화가 작은 데이터를 위한 임계치 마진을 작게하는 것으로, 각 데이터에 대응하는 임계치를 저하시킬 수 있다. 따라서, 부유게이트에 축적되는 전하량을 절감할 수 있어, 기록시간의 단축 또는 기록전압의 저전압화가 실현된다.

제4도에서는 중성임계치(Ve)가 참조전압(Vr1) 이하로 되어 있지만, 예컨대 Ve 가 Vr1과 Vr2 사이에 위치할 경우를 고려한다. △V2 < △V3로 해두면, 데이터 " 2" 에서 데이터 " 1" 로 바뀌는 시간과 데이터 " 3" 에서 데이터 " 2" 로 바뀌기까지의 시간을 거의 같게 할 수 있다. 데이터 " 1" 은 바뀌는 것이 아니다. 따라서, △V1 < △V2 < △V3로 설정 한다.

메모리셀의 임계치를 검출하여 데이터를 독출하는 방법으로서, 제어게이트에 참조전압을 인가하여 드레인과 소스간에 전류가 흐르는지의 여부를 센스하는 방법이 있다. 이 경우, 참조전압을 제어게이트에 인가하는 것으로 전압스트레스가 메모리셀에 인가된다. 이 스트레스에 의해 데이터가 바뀌는 경우도 있다.

제4도에서 Vr1 < Vr2 < Vr3 < 0V인 경우, 독출시에 제어게이트에 부의 전압이 인가되고, 기판, 소스, 드레인이 0 또는 정의 전위이면, 임계치는 이 스트레스에 의해 부의 방향으로 변화한다. 메모리셀의 임계치가 방치시간과 더불어 중성임계치(Ve)에 서서히 가까워지는 속도보다 이 전압스트레스에 의한 임계치 변화속도가 현저한 경우, Ve가

Vrl 이하의 경우는 원래 보다 Ve가 Vr3보다 커져도 △V1 < △V2 < △V3로 설정한다. Ve> Vr3의 경우, 데이터 " 1" 에 대응하는 임계치는 데이터 " 2" 에 대응하는 임계치보다 낮고, 부유게이트에 축적된 정의 전하가 많다. 따라서, 상술한 바와 같은 전압스트레스에 대해서는 데이터 " 1" 에 대응하는 임계치의 변화속도가 데이터 " 2" 에 대응하는 임계치의 변화속도보다 느리다. 마찬가지로, 데이터 " 2" 에 대응하는 임계치의 변화속도가 데이터 " 3'에 대응하는 임계치의 변화 속도보다 느리다.

임계치 마진이 커진다는 것은 전하량 마진도 커진다는 것이다. 실제의 메모리장치에서는 메모리셀의 임계치 이외에도 메모리셀을 매개로 하여 흐르는 전류(이하, 셀전류라 칭함)에 의해 대응하는 것도 있다. 예컨대, 제어게이트에 소정의 일정한 전압을 인가하고, 드레인에서 소스로 흐르는 셀전류를 검출한다 n채널형의 메모리셀에서는 임계치가 높을수록 셀전류가 적어진다.

제5도는 메모리셀에 있어서의 셀전류와 데이터의 관계를 나타내고 있다. 부유게이트에 축적된 전하량이 0인 경우의 중성셀전류를 Ie로 한다. 데이터 " 1" 에 대응하는 셀전류의 최대치와 참조전류(Ir1)의 사이에는 △I1만큼 마진이 설정된다.

데이터 " 2" 에 대응하는 셀전류의 최대치와 참조전류(Ir2)의 사이에는 △I2만큼 마진이 설정된다. 데이터 " 3" 에 대응하는 셀전류의 최대치와 참조전류(Ir3)의 사이에는 △I3만큼 마진이 설정된다. △I1 (△I2 (△I3 로 된다. 각각 데이터가 " 1" 에서 " 0', " 2" 에서 " 1', " 3" 에서 " 2'로 바뀌기까지의 시간이 같아지도록 되는 것이 가장 이상적이다. △I1 < △I2 < △I3로 하는 것으로, 예컨대 데이터 '1" 유지를 위한 셀전류 마진(△I1)을 여분으로 설정할 필요가 없어진다.

이와 같이, 대응하는 셀전류의 시간경과에 따른 변화가 작은 데이터를 위한 셀전류 마진을 작게 하는 것으로, 각 데이터에 대응하는 셀전류를 증가시킬 수 있다. 따라서, 부유게이트에 축적하는 전하량을 절감할 수 있어, 기록시간의 단축 또는 기록전압의 저전압화가 실현된다.

제6도는 부유게이트에 정의 전하를 축적한 경우의 임계치의 시간 경과에 따른 변화를 나타내고 있다. 정의 전하량이 많을수록 임계치는 낮고, 시간 경과에 따른 변화율은 크다. 제7도는 제4도와는 반대로 임계치가 높은 순으로 데이터 " 0" , " 1', " 2" , " 3" 으로 하고 있다. 따라서, △V1 < △V2 < △V3로 한다. 제8도는 제5도와는 반대로 제7도에 대응시켜 셀전류가 적은 순으로 데이터 " 0" , " 1" , " 2" , " 3" 으로 하고 있다. 따라서, △I1 < △I2 < △I3로 한다.

제2, 4, 5 도및 제6, 7, 8도에 설명한 바와 같이, 다양한 원인에 의해 데이터가 변화하여 기억정보가 파손되는 것을 방지하기 위하여 부유게이트에 축적된 전하량 마진, 임계치 마진 또는, 셀전류 마진을 데이터마다 설정함으로써, 부유게이트에 축적하는 전하량을 절감할 수 있다. 따라서, 기록시간의 단축 또는 기록전압의 저전압화가 실현된다. 마진을 전하량으로 확보할지, 임계치로 확보할지, 셀전류로 확보할지는 메모리장치의 제어회로에 의존한다.

또한, 여기에서는 n채널형의 메모리셀을 예로 설명했지만, p채널형 메모리셀에서도 마찬가지로 실시할 수 있다.

제9도는 제1도에 나타낸 메모리셀(M)을 이용하여 구성되는 다값기억식 EEPROM의 기본구성을 나타내고 있다. 여기에서는 3치기억식을 예로하여 나타낸다. 메모리셀(M)이 매트릭스형상으로 배치되어 구성되는 메모리셀 어레이(7)에 대하여 메모리셀을 선택하기도 하고, 제어게이트에 기록전압 및 독출전압을 인가하는 워드선 선택· 구동회로(11)가 설치된다. 워드선 선택· 구동회로(11)는 어드레스버퍼(10)에 연결되어 어드레스신호를 받는다. 데이터회로(8)는 기록데이터를 일시적으로 유지하거나 메모리셀의 데이터를 독출하기 위한 회로이다. 데이터회로(8)는 데이터 입출력버퍼(9)에 연결되어 어드레스버퍼(10)로부터의 어드레스신호를 받는다.

데이터 입출력버퍼(9)는 EEPROM 외부와의 데이터 입출력제어를 행하는 것이다. 또한, 메모리셀 어레이(7)는 제10도에 나타낸 바와 같이, p형 기판(13)에 형성되는 n형 웰(14) 내의 p형 웰(15) 상에 형성된다. 그리고, n형 웰(14), p형 웰(15)의 전압제어를 하는 셀웰제어회로(12)가 설치된다.

제11도는 메모리셀 어레이(7)의 구체적 구성과 이것에 연결된 데이터회로(8)를 나타내고 있다. 메모리셀(M1~4)이 직렬로 접속되어 NAND형 셀을 구성하고 있다. 그 양단은 선택트랜지스터(S1, S2)를 매개로 각각 비트선(BL), 소스선(Vs)에 접속된다. 제어게이트(CG)를 공유하는 메모리셀군은 " 퍼지" 라 부르는 단위를 형성하고, 동시에 기록· 독출된다. 또한, 4개의 제어게이트(CG1~CG4)에 연결된 메모리셀군으로 블록을 형성한다. " 퍼지" , " 블록" 은 워드선 선택 구동회로(11)에 의해 선택된다. 각 비트선(BL0~BLm)에는 데이터회로(8-0-8-m)가 접속되고, 대응하는 메모리셀로의 기록데이터를 일시적으로 기억하거나 한다.

제12도는 제9, 11도에 나타낸 데이터회로(8)의 구체적인 구성을 나타내고 있다. NAND논리회로(G1, G2, G3)로 다값데이터 래치회로를 구성한다. 노드(N1, N2, N3)중 하나만 " L" 레벨로 되고, 나머지 2개는 " H" 레벨이다. 3개의 노드중 어떤 것이 " L" 레벨인지에 따라 3치데이터를 래치한다.

3입력 NAND논리회로를 4개 이용하여 각각의 출력을 다른 3개의 NAND논리회로에 입력하여 서로 접속하면, 4치데이터를 래치할 수 있다. 일반적으로, (n-1)입력 NAND논리회로를 n개 이용하여 각각의 출력을 다른 (n-1)개의 NAND논리회로에 입에서는 3개의 노드(N4, N5, N6)중 하나만 " H" 레벨로 된다.

제17도는 인버터 I2, I3로 구성되는 1비트 데이터래치회로와, 14, 15로 구성되는 1비트 데이터래치회로의 2개로 3치데이터를 래치하는 종래의 데이터래치회로를 나타내고 있다. 제17도의 데이터래치회로의 구성을 제18도에, NAND논리회로(G1, G2, G3)로 구성되는 다값데이터래치회로의 구성을 제19도에 나타냈다. p채널 MOS 영역에서 n채널 MOS영역으로 배선되는 배선수는, 제17도의 데이터 래치회로에서는 4개 필요하지만, NAND논리회로(G1, G2, G3)로 구성되는 다값데이터래치회로에서는 3개이다. NAND논리회로(G1, G2, G3)로 구성되는 다값데이터래치회로의 이점은 이러한 적은 배선에 의해 회로면적이 작을 수 있는 것을 들 수 있다.

상기 제12도에 있어서, 데이터 입출력선(I0A, I0B)과 다값데이터래치회로는 n채널 MOS트랜지스터(Qn11, Qn12)를 매개로 접속된다. 데이터 입출력선(I0A, I0B)은 제9도중의 데이터 입출력버퍼(9)에도 접속된다. n채널 MOS트랜지스터(Qn11, Qn12)의 게이트는 NAND논리회로(G4)와 인버터(I1)로 구성되는 칼람어드레스 디코더의 출력에 접속된다 n채널 MOS트랜지스터(Qn1, Qn2 또는, Qn3, Qn4)로 구성되는 회로는, 각각 활성화신호(SENI, SEN2)가 " H" 로 되어 비트선전압을 센스하여 다값데이터래치회로의 데이터를 변경한다.

n채널 MOS트랜지스터(Qn5, Qn6, Qn7, Qn8), p채널 MOS트랜지스터(Qpl)로 구성되는 회로는 신호(BLC2)가 " H" 로 되어 다값데이터래치회로의 데이터에 따라 기록시의 비트선전압을 제어하기도 한다 n채널 MOS트랜지스터(Qn9)는 신호(BLC1)가 " H" 로 되어 데이터회로(8)와 비트선(BL)을 접속한다. n채널 MOS트랜지스터(Qn10)는 신호(PRE)가 " H" 로 되어 비트선(BL)을 전압(VBLP)으로 한다. 고내압 n채널 MOS트랜지스터(Hn33)는 소거시에 비트선(BL)으로 인가되는 고내압이 데이터회로에 인가되는 것을 방지하기 위한 것으로, 소거시 이외에는 신호(ERSB)는 " H" 이다.

다음에, 이와 같이 구성된 EEPROM의 동작을 제13, 14, 15도에 따라 설명한다.

제13도는 독출시의 타이밍, 제14도는 기록시의 타이밍, 제15도는 기록검증시의 타이밍을 각각 나타내고 있다.

제13도에 따라 독출동작을 설명한다. 우선, 전압(VBLP)이 전원전압(Vcc: 예컨대, 5V)으로 되어 비트선은 " H" 레벨로 된다. 동시에 전압(VSR)도 Vcc로 되고, 신호(SEN1, SEN2)는 " H" 로 되어 노드(N1, N3)는 " H" , 노드(N2)는 " L" 로 리세트 된다. 신호(PRE)가 " L" 로 되어 비트선은 부유상태로 된다. 이어서, 워드선 선택 · 구동회로(11)에 의해 선택된 블록의 선택된 제어게이트(CG2)는 0V, 비선택제어 게이트(CG1, CG3, CG4)와 선택게이트(SG1, SG2)는 Vcc로 된다.

선택된 메모리셀의 임계치가 0V 이하라면, 비트선전압은 " L" 로 된다. 선택된 메모리셀의 임계치가 0V이상이라면, 비트선전압은 " H" 그대로 된다. 이 후, 신호(SEN1)가 " H" 로 된다. 만약, 비트선이 " L" 이라면 n채널 MOS트랜지스터(Qn1)는 " OFF" 로, 노드(N1)는 " H" 그대로이다. 만약, 비트선이 " H" 라면 n채널 MOS트랜지스터(Qn1)는 " ON" 으로, 노드(N1)는 0V의 전압(VSR)에 의해 " L" 로 된다.

다음에, 선택된 제어게이트가 2V로 된다. 선택된 메모리셀의 임계치가 2V이하라면, 비트선전압은 " L" 로 된다. 선택된 메모리셀의 임계치가 2V이상이라면, 비트선전압은 " H" 그대로 된다. 이 후, 신호(SEN2)가 " H" 로 된다. 만약, 비트선이 " L" 이라면 n채널 MOS트랜지스터(Qn3)는 " OFF" 로, 노드(N3)는 " H" 그대로이다.

만약, 비트선이 " H" 라면 n채널 MOS트랜지스터(Qn3)는 " NO" 으로, 노드(N3)는 0V의 전압(VSR)에 의해 " L" 로 된다.

최후에, 칼람어드레스 디코더에 입력되는 칼람활성화신호(CENB)가 " H" 로 되면, 어드레스신호에 의해 선택된 데이터회로에 유지되어 있는 데이터가 데이터 입출력선(I0A, I0B)으로 출력되고, 데이터 출력버퍼(9)를 매개로 EEPROM 외부로 출력 된다.

메모리셀에 기억되어 있는 데이터와 임계치 및 독출후의 노드(N1, N2, N3)의 관계는 다음의 표1과 같다

데이터	임 계 치	N1	N2	N3
0	0V이하	H	L	H
1	0.5V이상 2V이하	L	H	H
2	3V이상 VCC이하	H	H	L

이웃하는 2개의 메모리셀로 9개의 기억상태를 만들 수 있다. 이중, 8상태를 이용하여 3비트분의 데이터를 기억하고 있다. 데이터 입출력선(I0A, I0B)으로 출력된 신호는 이웃하는 우수, 기수 2칼람분의 3치정보를 기초로 3비트의 데이터로 데이터 입출력버퍼(9)에 의해 변환되어 출력된다. 예컨대, 다음의 표2와 같이 대응시킨다.

우수칼람의 데이터	기수칼람의 데이터	입출력 데이터
0	0	0 0 0
0	1	0 0 1
0	2	0 1 0
1	0	0 1 1
1	1	1 0 0
1	2	1 0 1
2	0	1 1 0
2	1	1 1 1

제14도는 기록동작을 나타내고 있다. 기록동작전에 입출력된 3비트분의 데이터는 표2와 같이, 데이터 입출력버퍼(9)에 2개의 3치데이터로 변환되어 이웃하는 우수, 기수칼람의 데이터회로로 입출력된다. 3치데이터와 데이터 입출력선(10A, 10B), 노드(N1, N2, N3)의 판계는 다음의 표3과 같다.

3값데이터	IOA	IOB	N1	N2	N3
0	H	H	L	H	H
1	L	H	H	L	H
2	H	L	H	H	L

변환된 3값데이터는 칼람활성화신호(CENB)가 " H" 로, 어드레스신호로 지정된 칼람번지의 데이터회로로 전송된다.

기록동작은, 우선 신호(PRE)가 " L" 로 되어 비트선이 부유상태로 된다.

다음에, 신호(BLC2)가 " H" , 전압(VLH)이 2.5V, VLL이 0V로 된다. 이것에 의해, 데이터 " 0" 이 유지되어 있는 데이터회로에서는 Vcc, 데이터 " 1" 이 유지되어 있는 데이터회로에서는 VLH, 데이터 " 2" 가 유지되어 있는 데이터회로에서는 VLL이 비트선으로 출력된다. n채널 MOS트랜지스터(Qn8, Qn9), 고내압 n채널 MOS트랜지스터(Hn33)의 임계치분의 전압강하분이 문제로 될 경우는 신호(BLC1, BLC2, ERSB)를 승압하면 된다.

워드선 선택· 구동회로(11)에 의해 선택된 블록의 선택게이트(SG1), 제어게이트(CG1-CG4)가 Vcc로 된다. 선택게이트(SG2)는 0V이다. 다음에, 선택된 제어게이트(CG2)가 고전압(Vpp: 예컨대, 20V), 비선택제어게이트(CG1, CG3, CG4)와 선택게이트(SG1)가 VM(예컨대, 10V)으로 된다

데이터 " 2" 가 유지되어 있는 데이터회로에 대응하는 메모리셀에서는 0V의 채널전위와 제어게이트의 Vpp의 전위차에 의해 부유게이트에 전자가 주입되어 임계치가 상승한다. 데이터 " 1" 이 유지되어 있는 데이터회로에 대응하는 메모리셀에서는 2.5V의 채널전위와 제어게이트의 Vpp의 전위차에 의해 부유게이트에 전자가 주입되어 임계치가 상승한다. 채널전위를 2.5V로 하는 것은 " 2" 데이터 기록보다 전자의 주입량이 적어wu 좋기 때문이다. 데이터 " 0" 이 유지되어 있는 데이터회로에 대응하는 메모리셀에서는 채널전위와 제어게이트의 Vpp의 전위차가 작기 때문에, 실효적으로는 부유게이트에 전자는 주입되지 않는다. 따라서, 메모리셀의 임계치는 변동하지 않는다.

기록동작 후, 메모리셀의 임계치를 검출한다(기록검증). 만약, 원하는 임계치에 도달하면, 데이터회로의 데이터를 " 0" 으로 변경한다. 만약, 원하는 임계치에 도달하지 않으면, 데이터회로의 데이터를 유지하여 다시 기록동작을 행한다.

기록동작과 기록검증은 모든 선택된 메모리셀이 원하는 임계치에 도달하기까지 반복된다.

제15도를 이용하여 이 기록검증동작을 설명한다. 우선, 전압(VBLP)이 전원전압(Vcc: 예컨대,5V)으로 되어 비트선은 " H" 레벨로 된다. 신호(PRE)가 " L" 로 되어 비트선은 부유상태로 된다. 이어서, 전압(VLH)이 Vcc, 전압(VLL)이 0V로 되어신호(BLC2)가 " H" 로 되면, 데이터회로에 " 2" 데이터가 유지되어 있는 데이터회로에 대응하는 비트선(BL)만 0V로 된다.

다음에, 워드선 선택· 구동회로(11)에 의해 선택된 블록의 선택된 제어게이트(CG2)는 0.5V, 비선택제어게이트(CG1, CG3, CG4)와 선택게이트(SG1, SG2)는 Vcc로 된다. 선택된 메모리셀의 임계치가 0.5V이하라면, 비트선전압은 " L" 로 된다.

선택된 메모리셀의 임계치가 0.5V이상이라면, 비트선전압은 " H" 그대로 된다.

이 후, 신호(SEN1)가 " H" 로 된다. 만약, 비트선이 " L" 이라면 n채널 MOS트랜지스터(Qn1)는 " OFF" 로, 노드(N1)는 변하지 않는다. 만약, 비트선이 " H" 라면 n채널 MOS 트랜지스터(Qn1)는 " ON" 으로, 노드(N1)는 0V의 전압(VSR)에 의해 " L" 로 된다. 결국, 여기까지의 " 1" 데이터 검증동작으로, " 1" 기록에 성공한 메모리셀에 대응하는 데이터회로의 데이터가 " 1" 인 경우, " 0" 으로 변경된다. 그 외의 데이터는 변경되지 않는다.

이어서, 전압(VBLP)이 전원전압(Vcc. 예컨대, 5V)으로 되어 비트선은 " H" 레벨로 된다. 다음에, 워드선 선택· 구동회로(11)에 의해 선택된 블록의 선택된 제어게이트(CG2)는 3V, 비선택제어게이트(CG1, CG3, CG4)와 선택게이트(SG1, SG2)는 Vcc로 된다. 선택된 메모리셀의 임계치가 3V이하라면, 비트선전압은 " L" 로 된다.

선택된 메모리셀의 임계치가 3V이상이라면, 비트선전압은 " H" 그대로 된다. 이후, 신호(SEN1)가 " H" 로 된다. 만약, 비트선이 " L" 로 되면 n채널 MOS트랜지스터(Qn1)는 " OFF" 로, 노드(N1)는 변하지 않는다. 만약, 비트선이 " H" 라면 n채널 MOS트랜지스터(Qnl)는 " ON" 으로, 노드(N1)는 OV의 전압(VSR)에 의해 " L" 로 된다. 결국, 여기까지의 " 2" 데이터 검증동작으로, " 2" 기록에 성공한 메모리셀에 대응하는 데이터회로의 데이터가 " 2" 인 경우, " 0" 으로 변경된다. 그 외의 데이터는 변경되지 않는다.

모든 메모리셀이 원하는 임계치에 도달하면, 모든 데이터회로의 노드(N1)는 " L" 로 되기 때문에, 모든 데이터회로 노드(N1)의 레벨이 " L" 로 되면 데이터의 메모리셀로의 기록은 종료된다. 기록검증시의 데이터회로의 데이터 변환측은 다음의 표4와 같다.

데이터회로의 데이터	0	0	0	1	1	2	2	2
메모리셀의 데이터	0	1	2	0	1	0	1	2
검증 후의 데이터회로의 데이터	0	0	0	1	0	2	2	0

제14, 15도에서 설명한 바와 같이, 검증하면서 기록을 행하는 것으로, " 1" 데이터에 대응하는 메모리셀의 임계치는 검증 참조전압의 0.5V이상에서 2V이하, " 2" 데이터에 대응하는 메모리셀의 임계치는 검증 참조전압의 3V이상에서 Vcc이하로 제어된다. 제13도에서 설명한 바와 같이, 독출시의 참조전압은 0V와 2V이기 때문에, " 1" 데이터의 임계치 마진은 0.5V, " 2" 데이터의 임계치 마진은 1.0V로 된다. " 0" 데이터에 대응하는 임계치는 0V이하이고, 이는 소거상태와 동일하다. 소거는 셀웰을 고전압(Vpp: 20V)으로 하고, 제어게이트(7)를 0V로 하여 행해진다. 전자가 부유게이트로부터 방출되고 임계치는 0V이하로 된다.

제20도는 제9도중의 셀웰제어회로(12)의 구체적인 구성을 나타내고 있다. 고내압 n채널 MOS트랜지스터(Hn17~Hn28)는 승압회로를 구성하고 있다. 펌프활성화 신호(PMP)가 " H" 에서, 진동하는 신호(φ)가 입력되면, 출력(Vqq)은 Vcc이상의 고전압으로 된다. 전압(Vqq)은 전압리미터(16)에 의해 리미트된다. 승압회로 리세트신호(RSTB)가 " L" 로 되면, Vqq는 Vcc로 리세트된다. 디바이스 대기신호(STNBY)가 " H" 로 되면, 승압회로로의 전원공급은 차단된다. 이것은 전압전송효율을 높이기 위하여 고내압 n채널 MOS트랜지스터(Hn)의 임계치를 내리면, 대기시에 누설전류를 위한 대기소비전력이 크기 때문이다. 승압된 Vqq는 신호(CWPMPB)가 " L" 로 되면, 고내압 n채널 MOS트랜지스터(Hn10, Hn11)를 매개로 셀웰에 인가된다.

제21도를 이용하여 셀웰제어회로(12)의 동작을 설명한다. 대기시 신호(STNBY)는 " H" 이다 신호(RSTB, CWPMPB)도 " H" , PMP와 φ 는 " L" 이다. 따라서, 셀웰은 0V로 되어 있다.

비대기시에서 소거시 이외에는 신호 STNBY, RSTB, PMP는 " L" , CWPMPB는 " H" 이다. 신호(φ)는 진동한다. 전압(Vqq)은 Vcc로 되고, 셀웰은 0V이다.

소거시에는 신호(RSTB, PMP)가 " H" 로 되어 전압(Vqq)은 Vpp로 승압된다.

이어서, 신호(CWPMPB)가 " L" 로 되면 셀웰은 Vpp로 된다. CWPMPB가 " H" 로 되어 셀웰은 0V로 리세트되고, 신호(RSTB, PMP)가 " L" 로 되어 Vqq는 Vcc로 리세트 된다.

[실시예 2]

제22도는 제9도, 제11도에 나타낸 데이터회로(B)의 다른 실시예를 나타낸 구체적인 구성도이다. 3값기억을 예로 구성되어 있다. 제22(a)도에 나타낸 바와 같이, 클럭동기식 인버터(CI1, CI2와 CI3, CI4)로 각각 구성되는 2개의 플립·플롭(FF1, FF2)에 기록/독출데이터를 래치한다. 또한, 이들은 센스앰프로서도 동작한다.

클럭동기식 인버터(CI)의 구체적인 구성은 제22(b)도에 나타냈다. 클럭동기식 인버터(CI)의 회로임계치는, 예컨대 전원전압(Vcc: 5V)의 1/2로 한다.

플립· 플롭(FF1)은 「" 0" 기록을 하든지, " 1" 또는 " 2" 기록을 하든지」 를 기록데이터정보로서 래치하고, 메모리셀이 「" 0" 의 정보를 유지하고 있는지, " 1" 또는 " 2" 의 정보를 유지하고 있는지」 를 독출데이터정보로서 센스하여 래치한다.

플립· 플롭(FF2)은 「" 2" 기록을 하든지, " 1" 또는 " 0" 기록을 하든지」 를 기록데이터정보로서 래치하고, 메모리셀이 「" 2" 의 정보를 유지하고 있는지, " 1" 또는 " 0" 의 정보를 유지하고 있는지」 를 독출데이터정보로서 센스하여 래치한다.

데이터 입출력선(I0A, I0B)과 플립·플롭(FF1)은 n채널 MOS트랜지스터(Qn101, Qn102)를 매개로 접속된다. 데이터 입출력선(I0C, I0D)과 플립· 플롭(FF2)은 n채널MOS트랜지스터(Qn103, Qn104)를 매개로 접속된다. 데이터 입출력선(I0A, I0B, I0C, I0D)은 제9도중의 데이터 입출력버퍼(9)에도 접속된다. n채널 MOS트랜지스터(Qn101, Qn102, Qn103, Qn104)의 게이트는 NAND논리회로(G101)와 인버터(I101)로 구성되는 칼람어드레스 디코더의 출력에 접속된다.

n채널 MOS트랜지스터(Qn105, Qn109)는 플립· 플롭(FF1, FF2)과 MOS캐패시터(Qd101)의 접속을 제어한다. n채널 MOS트랜지스터(Qn106, Qn107, Qn108), p채널 MOS트랜지스터(Qp102, Qp103)로 구성되는 회로는 활성화신호 VRFYB 또는 PRO에 의해 플립· 플롭(FF1, FF2)의 데이터에 따라 MOS캐패시터(Qd101)의 게이트전압을 변경한다 MOS캐패시터(Qd101)는 공핍형 n채널 MOS트랜지스터로 구성되고, 비트선 용량보다 충분히 작게된다. p채널 MOS트랜지스터(Qp105)는 신호(PREC)에 의해 MOS캐패시터(Qd101)를 충전한다. 모든 데이터회로(8-0, 8-1·····8-m)의 기록데이터가 " 0" 기록인지의 여부를 검출신호(PEND)로 출력하기 위하여, 플립· 플롭(FF1)의 데이터를 검출하는 P채널 MOS트랜지스터(Qp101)가 설치된다.

n채널 MOS트랜지스터(Qn110), p채널 MOS트랜지스터(Qp104)는 신호(BLCN, BLCP)에 의해 데이터회로(8)와 비트선(BL)의 접속을 제어한다. n채널 MOS트랜지스터(Qn111)는 신호(PRE)가 " H" 로 되어 비트선(BL)을 전압(VBLP)으로 한다. 고내압 n채널 MOS트랜지스터(Hn101)는 소거시에 비트선에 인가되는 고전압이 데이터회로에 인가되는 것을 방지하기 위한 것으로 소거시 이외에는 신호(ERSB)는 " H" 이다.

다음에, 이와 같이 구성된 EEPROM의 동작을 제23, 24, 25도에 따라 설명한다.

제23도는 독출시의 타이밍, 제24도는 기록시의 타이밍, 제25도는 기록검증시의 타이밍을 각각 나타내고 있다.

제23도에 따라 독출동작을 설명한다. 우선, 전압(VBLP)이 전원전압(Vcc: 예컨대, 5V)으로 되어 비트선은 " H" 레벨로 된다. 동시에, 신호 BLCN이 " L" , BLCP가 " H" 로 되어 비트선과 MOS캐패시터(Qd101)는 단절된다. 신호(PRE)가 " L" 로 되어 비트선은 부유상태로 된다. 이어서, 워드선 선택 구동회로(11)에 의해 선택된 블록의 선택된 제어게이트(CG2)는 0V, 비선택제어게이트(CG1, CG3, CG4)와 선택게이트(SG1, SG2)는 Vcc로 된다. 신호(PREC)가 " L" 로 되어 MOS캐패시터(Qd101)는 Vcc로 충전된다.

선택된 메모리셀의 임계치가 0V이하라면, 비트선전압은 " L" 로 된다. 선택된 메모리셀의 임계치가 0V이상이라면, 비트선전압은 " H" 그대로 된다. 이 후, 신호(BLCN)가, 예컨대 Vcc이하의 1.5V로 된다. n채널 MOS트랜지스터(Qn110)의 임계치가 1V의 경우, 만약 비트선이 0.5V이하라면 n채널 MOS트랜지스터(Qn110)는 " ON" 으로, 노드(N101)는 0.5V이하로 된다. 만약, 비트선이 0.5V이상이라면 n채널 MOS트랜지스터(Qn110)는 " OFF'로, 노드(N101)는 Vcc로 유지된다.

다시, 신호(BLCN)가 " L" 로 되어 비트선(BL)과 MOS캐패시터(Qd101)는 단절된다. 신호(LAT1, SEN1)가 " L" 로 되어 플립· 플롭(FF1)이 비활성화된 후, 신호(SAC1)가 " H" 로 된다. 재차, 신호(SEN1)가 " H" 로 되고 이어서 신호(LATI)가 " H" 로 되는 것으로, 노드(N101)의 전압이 센스되어 래치된다. 이것으로, 메모리셀의 데이터가 " 0" 인지의 여부가 플립· 플롭(FF1)에 의해 센스되고 그 정보는 래치된다.

다음에, 선택된 제어게이트가 2V로 된다. 선택된 메모리셀의 임계치가 2V이하라면, 비트선전압은 " L" 로 된다. 선택된 메모리셀의 임계치가 2V이상이라면, 비트선전압은 " H" 그대로 된다. 이 후, 신호(BLCN)가 예컨대 Vcc이하인 1.5V로 된다. n채널 MOS트랜지스터(Qn110)의 임계치가 1V의 경우, 만약 비트선이 0.5V이하라면 n채널 MOS트랜지스터(Qn110)는 " ON" 으로, 노드(N101)는 0.5V이하로 된다. 만약, 비트선이 0.5V이상이라면 n채널 (N101)는 Vcc로 유지 된다.

재차, 신호(BLCN)가 " L" 로 되어 비트선(BL)과 MOS캐패시터(Qd101)는 단절된다. 신호(LAT2, SEN2)가 " L" 로 되어 플립· 플롭(FF2)이 비활성화된 후, 신호(SAC2)가 " H" 로 된다. 재차, 신호(SEN2)가 " H" 로 되고 이어서 신호(LAT2)가 " H" 로 되는 것으로, 노드(N101)의 전압이 센스되어 래치된다. 이것으로, 메모리셀의데이터가 " 2" 인지의 여부가 플립· 플롭(FF2)에 의해 센스되고, 그 정보는 래치된다.

독출중, 신호 ERSB는 " H" , VRFYB는 " H" , PRO는 " L" 이다. 또한, 전압 VBLM과 Vs는 0V로 한다.

칼람어드레스 디코더에 입력되는 칼람활성화신호(CENB)가 " H" 로 되면, 어드레스신호에 의해 선택된 데이터회로에 유지되어 있는 데이터가 데이터 입출력선(I0A, I0B, I0C, I0D)으로 출력되고, 데이터 입출력버퍼(9)를 매개로 EEPROM 외부로 출력 된다.

메모리셀에 기억되어 있는 데이터, 임계치, 데이터 입출력선(I0A, I0B, I0C, I0D)으로 독출후에 출력되는 레벨의 관계는 다음의 표5와 같다.

데이터	임 계 치	I0A	I0B	I0C	I0D
0	0V이하	L	H	L	H
1	0.5V이상 2V이하	H	L	L	H
2	3V이상 VCC이하	H	L	H	L

이웃하는 2개의 메모리셀로 9개의 기억상태를 가능하게 할 수 있다. 이중 8상태를 이용하여 3비트분의 데이터를 기억하고 있다. 데이터 입출력선(I0A, I0B, I0C, I0D)으로 출력된 신호는 이웃하는 우수, 기수 2칼람분의 3값정보를 기초로 3비트의 데이터로 데이터 입출력버퍼(9)로 변환되어 출력된다. 예컨대, 상기 표2와 같이 대응시킨다

제24도는 기록동작을 나타내고 있다 기록동작전에 입력된 3비트분의 데이터는 상기 표2와 같이 데이터 입출력버퍼(9)로 2개의 3값데이터로 변환되어 이웃하는 우수, 기수 칼람의 데이터회로(8)에 입력된다. 3갼데이터와 데이터 입출력선(I0A, I0B, I0C, I0D)의 관계는 다음의 표6과 같다.

3값데이터	I0A	I0B	I0C	I0D
0	H	L	H	L
1	L	H	H	L
2	L	H	L	H

변환된 3값데이터는 칼람활성화신호(CENB)가 " H" 로, 어드레스신호로 지정된 칼람번지의 데이터회로로 전송된다.

기록동작은, 우선 신호(PRE)가 " L" 로 되어 비트선이 부유상태로 된다.

다음에, 신호(VRFYB)가 " L" , 신호(PRO)가 " H" , 전압(VBLM)이 2.5V로 된다.

이에 의해, 데이터 " 0" 이 유지되어 있는 데이터회로에서는 Vcc, 데이터 " 1" 이 유지되어 있는 데이터회로에서는 2.5V가 비트선으로 출력된다. 신호(SAC2)가 1.5V로 되면, 데이터 " 2" 가 유지되어 있는 데이터회로에서는 OV가 비트선으로 출력된다.

n채널 MOS트랜지스터(0109)의 임계치를 tV로 하면, " 0" 또는 " 1'기록시에는 n챌널 MOS트랜지스터(0109)는 " OFF" , " 2" 기록시에는 " ON" 으로 된다. 고내압 n채널 MOS 트랜지스터(Hn101)의 임계치분의 전압강하분이 문제로 될 경우는 신호(ERSB)를 승압하면 된다.

워드선 선택· 구동회로(11)에 의해, 선택된 블록의 선택게이트(SG1), 제어게이트(CG1-CG4)가 Vcc로 된다. 선택게이트(SG2)는 0V이다 다음에, 선택된 제어게이트(CG2)가 고전압(Vpp: 예컨대, 20V), 비선택제어게이트(CG1, CG3, CG4)가 VM(예컨대, 10V)으로 된다. 데이터 " 2" 가 유지되어 있는 데이터회로에 대응하는 메모리셀에서는 0V의 채널전위와 제어게이트의 Vpp의 전위차에 의해, 부유게이트에 전자가 주입되어 임계치가 상승한다 데이터 " 1" 이 유지되어 있는 데이터회로에 대응하는 메모리셀에서는 2.5V의 채널전위와 제어게이트의 Vpp의 전위차에 의해 부유게이트에 전자가 주입되어 임계치가 상승한다. 채널전위를 2.5V로 하고 있는것은 " 2" 데이터 기록보다 전자의 주입량이 적어져 좋기 때문이다.

데이터 " 0" 이 유지되어 있는 데이터회로에 대응하는 메모리셀에서는 채널전위와 제어게이트의 Vpp의 전위차가 작기 때문에, 실효적으로는 부유게이트에 전자는 주입되지 않는다. 따라서, 메모리셀의 임계치는 변동하지 않는다. 기록중, 신호 SEN1, LAT1, SEN2, LAT2는 " H" , 신호 SAC1는 " L" , 신호 PREC는 " H" , 신호 BLCN, BLCP는 각각 " H" ,' L" , 신호 ERSB는 " H" 이다.

기록동작후, 메모리셀의 임계치를 검출한다(기록검증). 만약, 원하는 임계치에 도달하고 있으면, 데이터회로의 데이터를 " 0" 으로 변경한다. 만약, 원하는 임계치에 도달하고 있지 않으면, 데이터회로의 데이터를 유지하여 재차 기록동작을 행한다. 기록동작과 기록검증은 모든 선택된 메모리셀이 원하는 임계치에 도달하기까지 반복된다.

제25도를 이용하여 이 기록검증동작을 설명한다. 우선, 전압(VBLP)이 전원 전압(Vcc: 예컨대, 5V)으로 되어 비트선

은 " H" 레벨로 된다. 동시에, 신호 BLCN이 " L" , BLCP가 " H" 로 되어 비트선과 MOS캐패시터(Qd101)는 단절된다. 신호(PRE)가 " L" 로 되어 비트선은 플로팅상태로 된다. 이어서, 워드선 선택· 구동회로(11)에 의해 선택된 블록의 선택된 제어게이트(CG2)는 0.5V, 비선택제어게이트(CG1, CG3, CG4)와 선택게이트(SG1, SG2)는 Vcc로 된다. 신호(PREC)가 " L" 로 되어 MOS캐패시터 (Qd101)는 Vcc로 충전된다.

선택된 메모리셀의 임계치가 0.5V이하라면, 비트선전압은 " L" 로 된다. 선택된 메모리셀의 임계치가 0.5V이상이라면, 비트선전압은 " H" 그대로 된다. 이후, 신호(BLCN)가 예컨대, Vcc이하의 1.5V로 된다. n채널 MOS트랜지스터(Qn110)의 임계치가 1V인 경우, 만약 비트선이 0.5V이하라면 n채널 MOS트랜지스터(Qn110)는 " ON" 으로, 노드(N101)는 0.5V이하로 된다. 만약, 비트선이 0.5V이상이라면 n채널 MOS트랜지스터(Qn110)는 " OFF" 로, 노드(N101)는 Vcc로 유지된다.

재차, 신호(BLCN)가 " L" 로 되어 비트선(BL)과 MOS캐패시터(Qd101)는 단절된다. 신호(VRFYB)가 " L" 로 되면, " 0" 기록데이터가 유지되어 있는 데이터회로만 p채널 MOS트랜지스터(Qp103)가 'ON" 이고, 노드(N101)는 Vcc로 된다. 신호(SAC2)가 1.5V로 되면, " 2" 기록데이터가 유지되어 있는 데이터회로만 노드(N101)가 0V로 된다. " 1" 기록데이터가 유지되어 있는 데이터회로에서는 0.5V이상의 노드(N101)의 전압은 변화하지 않는다. 0.5V이하의 노드(N1)의 전압은 0.5V까지는 충전된다.

신호(LAT1, SEN1)가 " L" 로 되어 플립· 플롭(FFI)이 비활성화된 후, 신호(SAC1)가 " H" 로 된다. 재차, 신호(SENI)가 " H" 로 되고 이어서 신호(LATI)가 " H" 로 되는 것으로, 노드(NIOI)의 전압이 센스되어 래치된다.

이것으로, " 1" 기록데이터를 유지하고 있는 데이터회로만 대응하는 메모리셀의 데이터가 충분히 " 1" 기록상태로 되었는지 여부를 검출한다. 메모리셀의 데이터가 " 1" 이면, 플립· 플롭(FF1)으로 노드(N101)의 전압을 센스하여 래치하는 것으로 기록데이터는 " 0" 으로 변경된다. 메모리셀의 데이터가 " 1" 로 되면, 플립· 플롭(FF1)으로 노드(N101)의 전압을 센스하여 래치하는 것으로 기록데이터는 " 1" 로 유지된다. " 0" 또는 " 2" 기록데이터를 유지하고 있는 데이터회로의 기록데이터는 변경되지 않는다.

다음에, 선택된 제어게이트가 3V로 된다. 선택된 메모리셀의 임계치가 3V 이하라면, 비트선전압은 " L" 로 된다.

선택된 메모리셀의 임계치가 3V이상이라면, 비트선전압은 " H" 그대로 된다. 이 후, 신호(BLCN)가 예컨대, Vcc이하의 1.5V로 된다. n채널 MOS트랜지스터(Qn110)의 임계치가 1V인 경우, 만약 비트선이 0.5V이 하라면 n채널 MOS트랜지스터(Qn110)는 " ON" 으로, 노드(N101)는 0.5V이하로 된다.

만약, 비트선이 0.5V이상이라면 n채널 MOS트랜지스터(Qn110)는 " OFF" 로, 노드 (N101)는 Vcc로 유지 된다.

재차, 신호(BLCN)가 " L'로 되어 리트선(BL)과 MOS캐패시터(Qd101)는 단절된다. 신호(VRFYB)가 " L" 로 되면, " 0" 기록데이터가 유지되어 있는 데이터회로만 p채널 MOS트랜지스터(Qp103)가 " ON" 이고, 노드(N101)는 Vcc로 된다. 신호(LAT1, SEN1)가 " L" 로 되며 플립· 플롭(FF1)이 비활성된 후, 신호(SAC1)가 " H" 로 된다.

재차, 신호(SEN1)가 " H" 로 되고 이어서 신호(LAT1)가 " H" 로 되는 것으로 노드(N101)의 전압이 센스되어 래치된다.

이어서, 신호(PRO)가 " H" , 전압(VBLM)이 Vcc로 된다. " 1" 기록데이터를 유지하고 있는 데이터회로만으로, 그 노드(N101)는 " H" 로 변경된다. 신호(LAT2, SEN2)가 " L" 로 되어 플립· 플롭(FF2)이 비활성화된 후, 신호(SAC2)가 " H" 로 된다.

재차, 신호(SEN2)가 " H" 로 되고 이어서 신호(LAT2)가 " H" 로 되는 것으로, 노드(N101)의 전압이 센스되어 래치된다.

이것으로, " 2" 기록데이터를 유지하고 있는 데이터회로만 대응하는 메모리셀의 데이터가 충분히 " 2" 기록상태로 되었는지의 여부를 검출한다. 메모리셀의 데이터가 " 2" 이면, 플립· 플롭(FF1, FF2)으로 노드(N101)의 전압을 센스하여 래치하는 것으로 기록데이터는 " 0" 으로 변경된다. 메모리셀의 데이터가 " 2" 로 되면, 플립· 플롭(FF1, FF2)으로 노드(N101)의 전압을 센스하여 래치하는 것으로 기록데이터는 " 2" 로 유지된다. " 0" 또는 " 1" 기록데이터를 유지하고 있는 데이터회로의 기록데이터는 변경되지 않는다.

기록검증중, 신호(ERSB)는 " H" , 전압(Vs)은 0V로 한다.

모든 선택된 메모리셀이 원하는 임계치에 도달했는지의 여부는 신호(PEND)를 검출하는 것으로 알 수 있다. 모든 선택된 메모리셀이 원하는 임계치에 도달하면, 기록데이터가 모두 " 0'으로 되고, 개개의 데이터회로(8-0, 8-1····· 8-m)의 데이터검출용 P채널 MOS트랜지스터(Qp101)가 모두 " OFF'로 된다. 전원전압(Vcc)으로부터 신호선(PEND)이 단절되었는지의 여부를 검출하면, 모든 선택된 메모리셀이 원하는 임계치에 도달했는지의 여부를 알 수 있다. 기록검증시의 데이터회로의 데이터변환측은 상기 표4와 같다.

제24, 25도에 설명한 바와 같이, 검증하면서 기록을 행하는 것으로, " 1" 데이터에 대응하는 메모리셀의 임계치는 검증 참조전압의 0.5V이상에서 2V이하, " 2" 데이터에 대응하는 메모리셀의 임계치는 검증 참조전압의 3V이상에서 Vcc이하로 제어된다. 제23도에 설명한 바와 같이, 독출시의 참조전압은 0V와 2V이므로, " 1" 데이터의 임계치 마진은 0.5V, " 2" 데이터의 임계치 마진은 1 0V로 된다. " 0" 데이터에 대응하는 임계치는 0V이하이다. 이는 소거상태와 동일하다.

더욱이, 본 발명은 상술한 각 실시예에 한정되는 것은 아니다. 실시예에서는 EEPROM을 예로 설명했지만, 본 발명은 EPROM에서도 마찬가지로 실시할 수 있다.

또한, NAND형 메모리셀을 이용하여 설명했지만, 다양한 메로리셀에서도 마찬가지로 실시할 수 있다.

NAND형 메모리셀을 이용한 설명에서는 독출시의 참조전위와 기록검증시의 참조전위를 제어하는 것으로 임계치 마진을 확보했다. 셀전류 마진을 확보할 경우는 독출 참조전류와 검증시의 참조전류를 제어하는 것으로 실시할 수 있다. 또한, 실시예에서는 3값 또는 4값기억을 예로 설명했지만, 어떤 값에서도 마찬가지로 실시할 수 있다. 그 외, 본 발명의 요지를 이탈하지 않는 범위에서 다양하게 변형하여 실시할 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 다값 기억가능 메모리셀에 있어서, 전하량 마진을 전하량이 많을수록 많이 설정함으로써, 기록시간이나 기록전압의 증가를 억제하면서 신뢰성이 높은 EEPROM을 실현하는 것이 가능해진다. 또한, 본 발명에 의하면 일시 기억하기 위한 n값 기억데이터회로를 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성함으로써, 메모리셀 이외의 제어회로면적의 증대를 억제할 수 있다.

(57) 청구의 범위

청구항 1.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비한 불휘발성 반도체기억장치에 있어서, 상기 전하축적부가 제1, 제2·····제n의 값에 대응하는 전하량이 축적되는 이산적인 제1, 제2····· 제n의 전하량축적영역을

갖추고, n값 데이터가 상기 제1, 제2····· 제n의 전하량축적영역에 대응하여 기억되며, 제1, 제2····· 제n의 전하량축적영역중 정의 전하량이 많은 순서에 따라 제n, n-1····· i+1, i의 전하량축적영역으로 정의할 경우, 제j의 전하량축적영역과 제j-1의 전하량축적영역의 전하량차(△Mj)가 △Mn> △Mn-1> ----)△Mi+2> △Mi+1로 설정되어 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 2.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비한 불휘발성 반도체기억장치에 있어서, 상기 전하축적부가 제1, 제2·····제n의 값에 대응하는 전하량이 축적되는 이산적인 제1, 제2····· 제n의 전하량축적영역을 갖추고, n값 데이터가 상기 제1, 제2····· 제n의 전하량축적영역에 대응하여 기억되며, 제1, 제2····· 제n의 전하량축적영역중 부의 전하량이 많은 순서에 따라 제n, n-1····· i+1, i의 전하량축적영역으로 정의할 경우, 제j의 전하량축적영역과 제j-1의 전하량축적영역의 전하량차(△Mj)가 △Mn> △Mn-1> ----1△Mi+2> △Hi+1로 설정되어 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 3.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 임계치가 높은 순으로 설정된 이산적인 제1, 2····· n의 임계치 전압영역에 대응시켜 기억시키고, 제j의 임계치 전압영역과 제j-1의 임계치 전압영역 사이의 값을 제j-1로 한 제1, 2····· n-1의 독출 참조전압과의 대소관계로부터의 데이터를 독출하는 불휘발성 반도체기억장치에 있어서, 제j-1의 독출 참조전압과 제j의 임계치 전압영역의 최대전압의 차(Vj)를 Vn> Vn-1> ···· > Vi+2> Vi+1(i≥ 1)로 설정하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 4.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 임계치가 낮은 순으로 정해진 이산적인 제1, 2····· n의 임계치 전압영역에 대응시켜 기억시키고, 제j의 임계치 전압영역과 제j-1의 임계치 전압영역 사이의 값을 제j-1로 한 제1, 2····· n-1의 독출 참조전압과의 대소관계로부터 데이터를 독출하는 불휘발성 반도체기억장치에 있어서, 제j의 임계치 전압영역의 최소전압과 제j-1의 독출 참조전압의 차(Vj)를 Vn> Vn-1> ···· > Vi+2> Vi+1(i≥ 1)로 설정하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억 장치.

청구항 5.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 독출전류가 적은 순으로 정해진 이산적인 제1, 2····· n의 독출 전류영역에 대응시켜 기억시키고, 제j의 독출전류 영역과 제j-1의 독출전류영역 사이의 값을 제j-1로 한 제1, 2····· n-1의 독출 참조전류의 대소관계로부터 데이터를 독출하는 불휘발성 반도체기억장치에 있어서, 제j의 독출 전류영역의 최소전류와 제j-1의 독출 참조전류의 차(Ij)를 In> In-1> ··· > Ii+2> Ii+1(i≥ 1)로 설정하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 6.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀을 구비하고, 전하축적부에 축적되는 전하량에 의해 n값데이터를 독출전류가 많은 순으로 정해진 이산적인 제1, 2‥‥‥ n의 독출 전류영역에 대응시켜 기억시키고, 제j의 독출전류 영역과 제j-1의 독출 전류영역 사이의 값을 제j-1로 한 제1, 2‥‥‥ n-1의 독출 참조전류의 대소 관계로부터 데이터를 독출하는 불휘발성 반도체기억장치에 있어서, 제j-1의 독출 참조전류와 제j의 독출 전류영역의 최대전류와의 차(Ij)를 In> In-1> ‥ > Ii+2> Ii+1(i≥ 1)로 설정하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 7.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀과, 기록데이터를 일시적으로 기억하는 데이터회로를 구비하고, 상기 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성된 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 8.

제7항에 있어서, 상기 n-1개 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리회로의 n-1개의 입력단자중의 1개의 입력단자에 서로 접속되어 데이터회로를 구성한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 9.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 메모리셀과, 상기 메모리셀에 기억된 데이터를 독출하는 센스회로 및, 상기 센스회로로 독출된 데이터를 일시적으로 기억하는 데이터회로를 구비하고, 상기 센스회로는 독출 데이터의 값에 따라 온· 오프하는 n-1개의 스위치회로로 구성되고, 상기 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성된 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 10.

제9항에 있어서, 상기 n-1개의 스위치회로는 각각 다른 센스신호가 입력되는 제1MOS트랜지스터와 상기 독출 데이터가 입력되는 제2MOS트랜지스터를 직렬접속하여 센스회로를 구성하고, 상기 n-1개의 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리회로의 n-1개의 입력단자중의 1개의 입력단자에 서로 접속되어 데이터회로를 구성한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 11.

다값(n(≥ 3)값)데이터 기억가능한 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선 및, 복수의 프로그램 제어회로를 구비하고, 상기 복수의 프로그램 제어회로는 각각 대응하는 상기 메모리셀에 인가되는 기록전압을 결정하는 기록제어데이터를 유지하고, 상기 유지된 기록제어데이터에 따라 각각 대응하는 상기 메모리셀에 상기 기록전압을 동시에 인가하고, 상기 메모리셀의 기록상태를 검출하고, 기록 불충분한 상기 메모리셀만 미리 결정된 기록상태로 하도록 상기 기록전압이 인가되도록 상기 메모리셀의 기록상태와 상기 기록제어데이터로부터 미리 결정된 논리관계에 따라 유지되어 있는 상기 기록제어데이터를 선택적으로 변경하며, 상기 각 프로그램 제어회로는 상기 기록제어데이터를 유지하기 위한 데이터 회로를 구비하고, 그 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성된 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 12.

제11항에 있어서, 상기 n-1개의 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리회로의 n-1개의 입력단자중의 1개의 입력단자에 서로 접속되어 상기 데이터회로를 구성한것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 13.

제12항에 있어서, 상기 프로그램 제어회로는 상기 비트선의 신호에 따라 상기 데이터회로에 유지되어 있는 상기 기록제어데이터를 변경하기 위한 센스회로를 구비하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 14.

제12항에 있어서, 상기 프로그램 제어회로는 상기 비트선의 신호에 따라 상기 데이터회로에 유지되어 있는 데이터를 변경하기 위하여, 상기 비트선 신호에 따라 온·오프하는 n-1개의 스위치회로를 구비하고, 각각의 스위치회로는 각각 다른 센스신호가 입력되는 제1스위치소자와 상기 비트선의 신호가 입력되는 제2스위치소자를 직렬 접속하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 15.

다값(n(≥3)값)데이터 기억가능한 전하축적부를 갖춘 복수의 메모리셀로 구성되는 메모리셀 어레이와, 복수의 비트선, 복수의 워드선, 복수의 프로그램 제어회로 및, 복수의 데이터회로를 구비하고, 상기 복수의 프로그램 제어회로는 상기 메모리셀을 선택하고, 상기 선택한 메모리셀에 기록전압을 인가하고, 상기 복수의 데이터회로는 상기 프로그램 제어회로에 의해 선택된 각각 대응하는 상기 메모리셀에 인가되는 기록제어전압을 제어하는 제1, 2, - - -, n의 논리레벨의 기록제어데이터를 유지하고, 상기 기록제어전압을 각각 대응하는 상기 메모리셀에 인가하고, 상기 제1 이외의 논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로에 대응하는 상기 메모리셀의 기록상태만 선택적으로 검출하고, 미리 결정된 기록상태에 도달한 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어데이터의 논리레벨을 상기 제1논리레벨로 변경하고, 미리 결정된 기록상태에 도달하지 않은 메모리셀에 대응하는 상기 데이터회로의 상기 기록제어데이터의 논리레벨을 유지하고, 상기 제1논리레벨의 기록제어데이터를 유지하고 있는 상기 데이터회로의 기록제어데이터의 논리레벨을 상기 제1논리레벨로 유지하며, 상기 데이터회로는 n-1개의 입력단자를 갖춘 n개의 논리회로로 구성되는 데이터 유지회로를 구비하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 16.

제15항에 있어서, 상기 n-1개의 입력단자를 갖춘 n개의 논리회로는 각각의 출력단자가 다른 n-1개의 각 상기 논리회로의 n-1개의 입력단자중의 1개의 입력단자에 서로 접속되어 상기 데이터 유지회로를 구성한 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 17.

제16항에 있어서, 상기 데이터회로는 더욱이 상기 비트선의 신호에 따라 데이터회로에 유지되어 있는 기록제어데이터의 논리레벨을 변경하기 위한 센스회로를 구비하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 18.

제16항에 있어서, 상기 데이터회로는 상기 비트선의 신호에 따라 상기 데이터 유지회로에 유지되어 있는 데이터를 변경하기 위하여 상기 비트선의 신호에 따라 온· 오프하는 n-1개의 스위치회로를 구비하고, 각각의 스위치회로는 각각 다른 센스신호가 입력되는 제1스위치소자와 상기 비트선의 신호가 입력되는 제2스위치소자를 직렬접속하여 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 19.

전기적으로 재기록이 가능하고, 적어도 3개의 데이터 " 0" , " 1" , " 2" 를 기억 가능한 불휘발성 반도체 메모리셀과; 상기 메모리셀에 기록전압을 인가하여 데이터의 기록을 수행하고, " 1" 이 기록되어 있는가를 판단하기 위해 해당 메모리셀의 제어게이트에 제1검증전압을 인가하며, " 2" 가 기록되어 있는가를 판단하기 위해 해당 메모리셀의 제어게이트에 제2검증전압을 인가하여, 데이터가 올바로 기록되어 있는가를 판단하고, 데이터가 올바로 기록되어 있지 않은 것으로 판단하면 데이터의 기록을 계속하고, 데이터가 올바로 기록되어 있는 것으로 판단하면 데이터의 기록을 종료하는 기록회로 및, 상기 메모리셀에 " 1" 의 데이터가 기억되어 있는가를 판단하기 위해 해당 메모리셀의 제어게이트에 제1독출전압을 인가하고, 상기 메모리셀에 " 2" 의 데이터가 기억되어 있는가를 판단하기 위해 해당 메모리셀의 제어게이트에 제2독출전압을 인가하여, 상기 메모리셀로부터 데이터의 독출을 수행하는 독출회로를 구비하고; 제1검증전압과 제1독출전압의 차는 제2검증전압과 제2독출전압의 차 보다 작은 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 20.

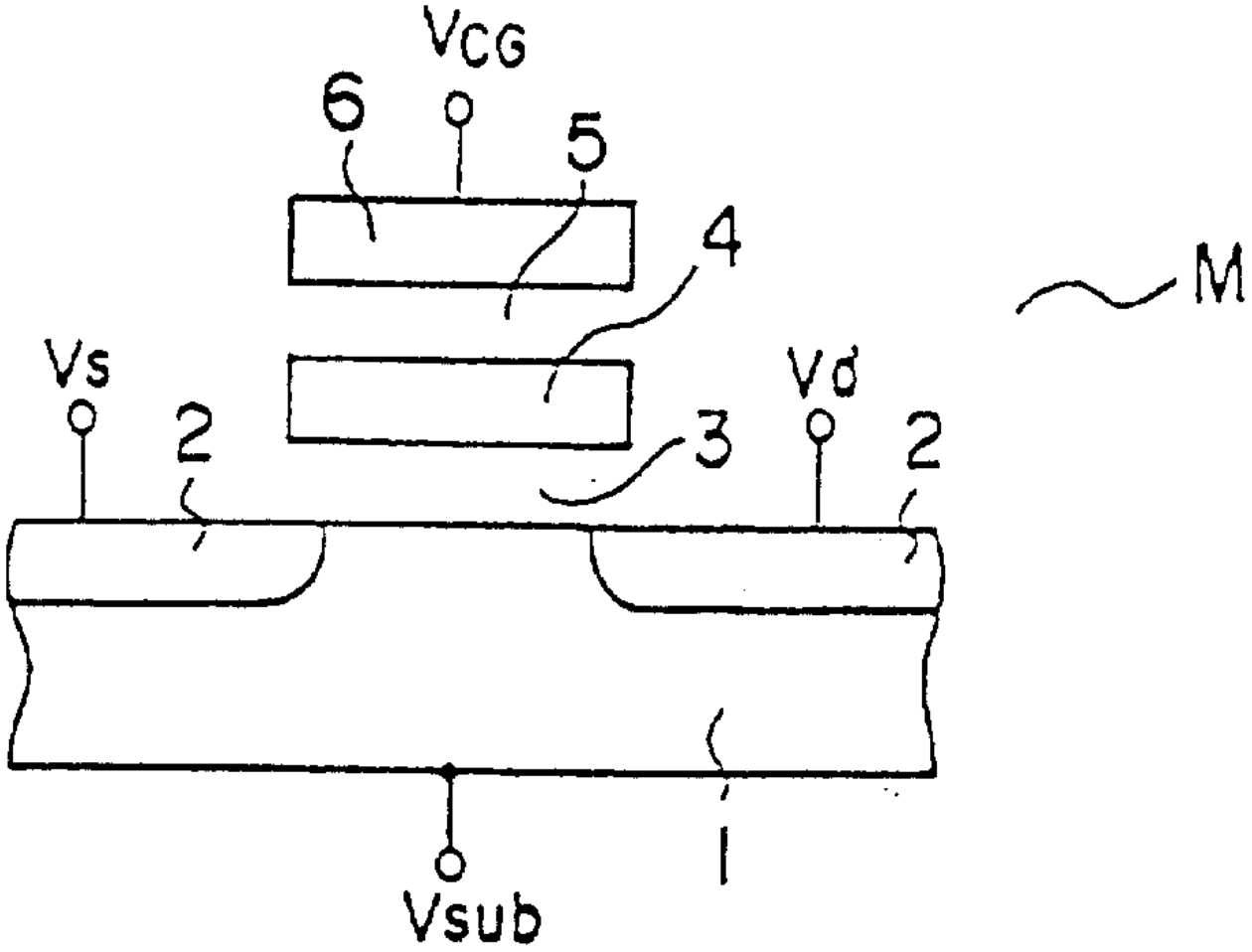
제19항에 있어서, 상기 데이터 " 0" 은 상기 메모리셀을 소거한 상태와 일치하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 21.

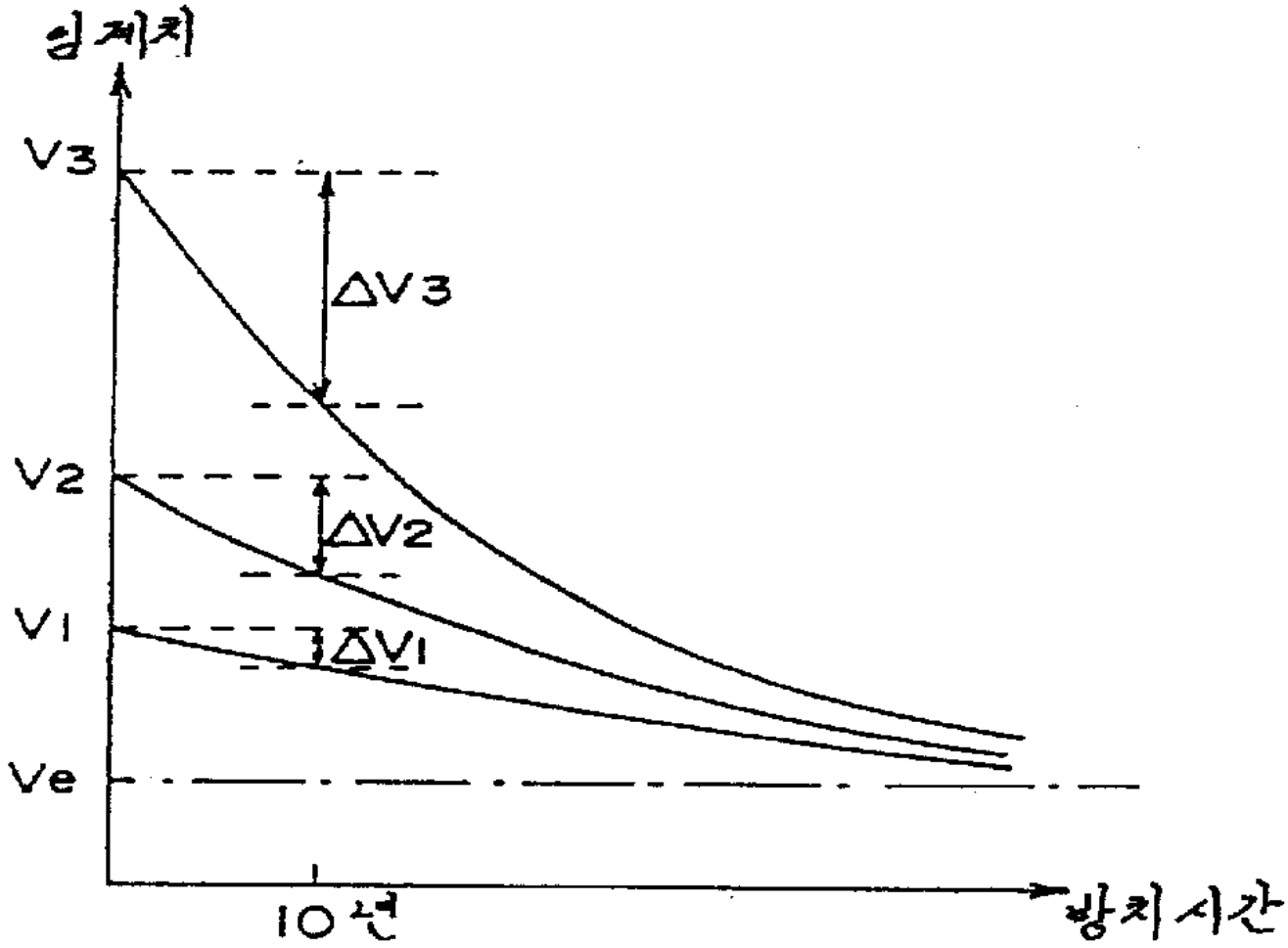
제19항에 있어서, 전압이 높은 순으로 제2검증전압, 제2독출전압, 제1검증전압, 제1독출전압인 것을 특징으로 하는 불휘발성 반도체기억장치.

도면

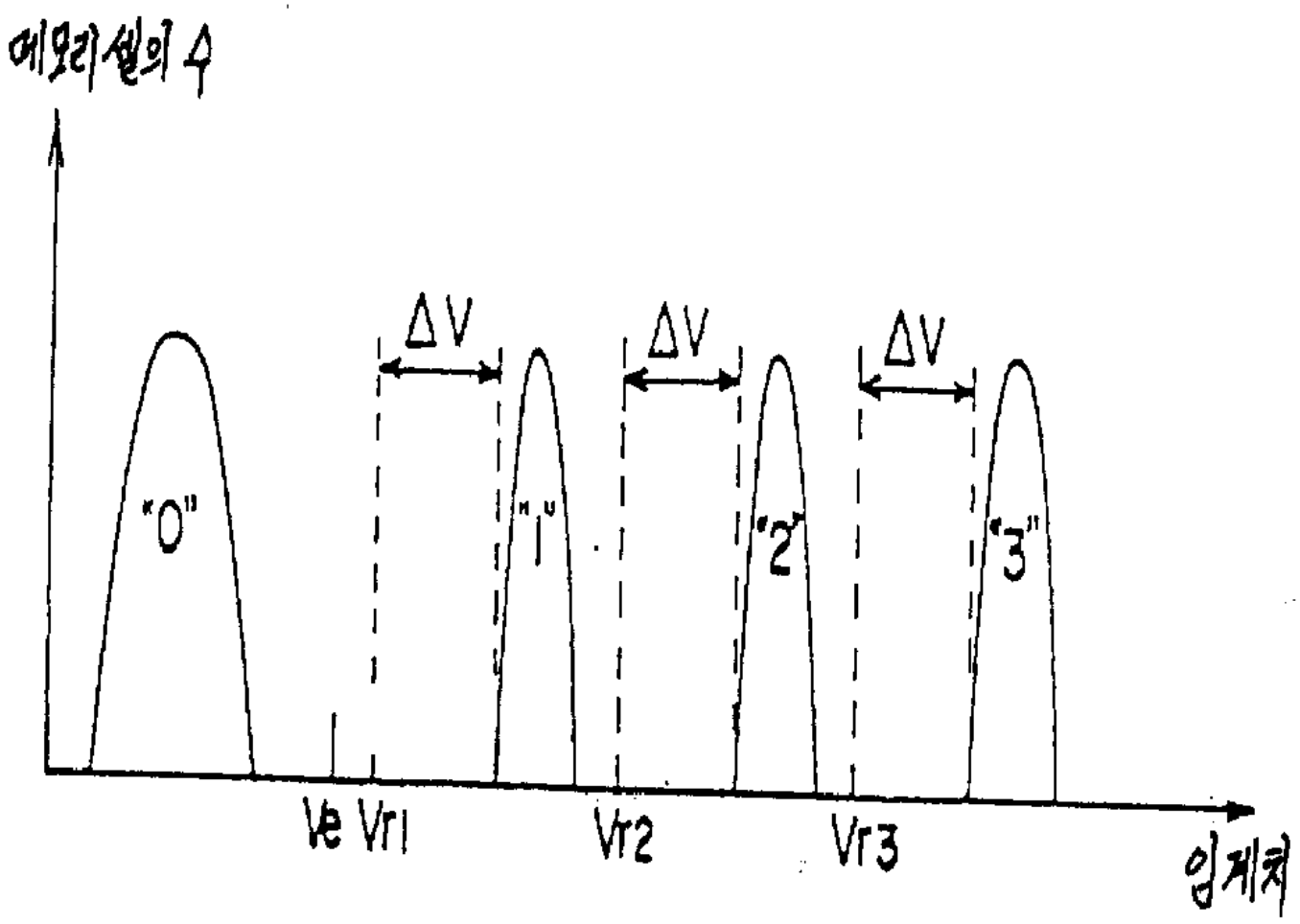
도면 1



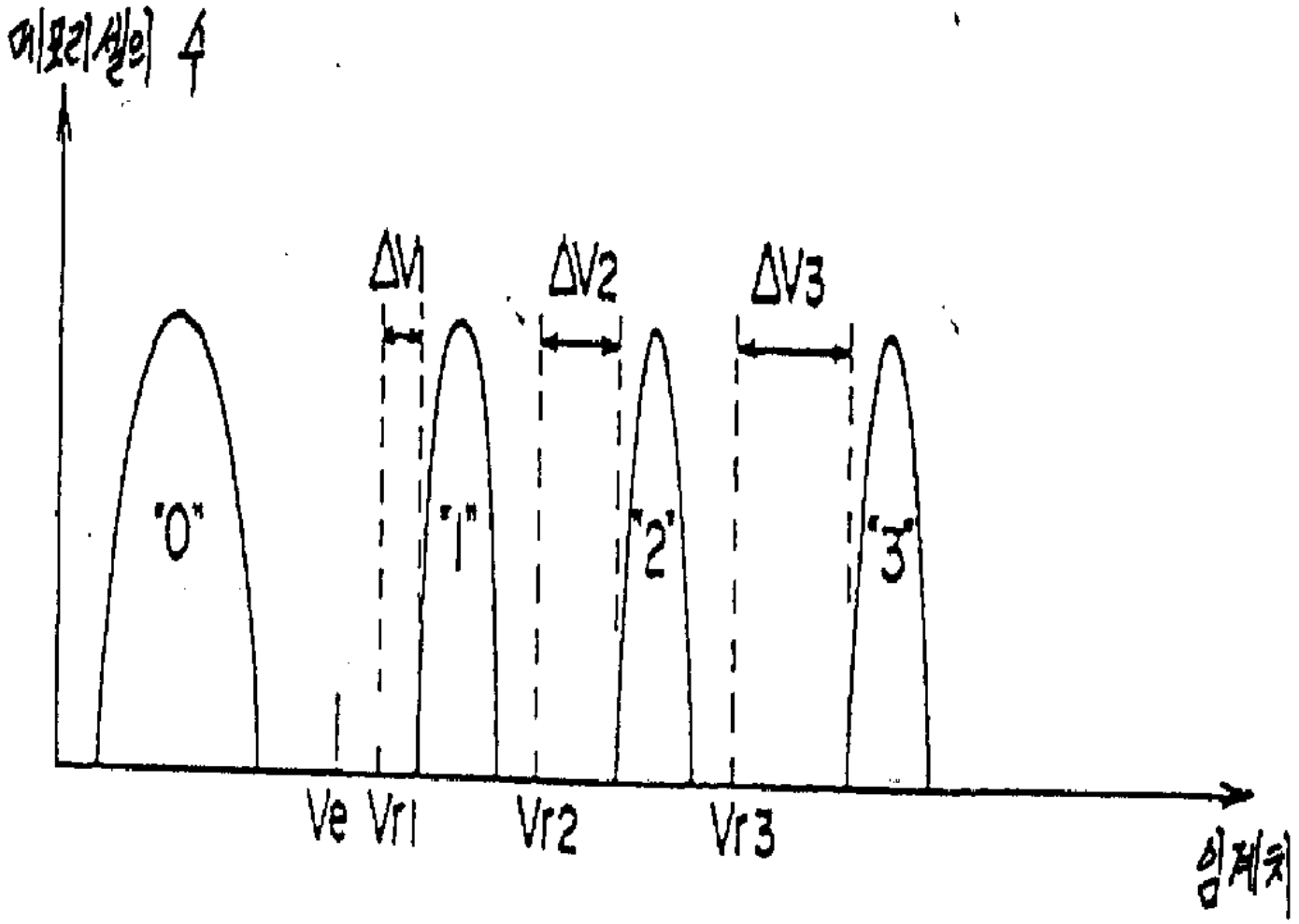
도면 2



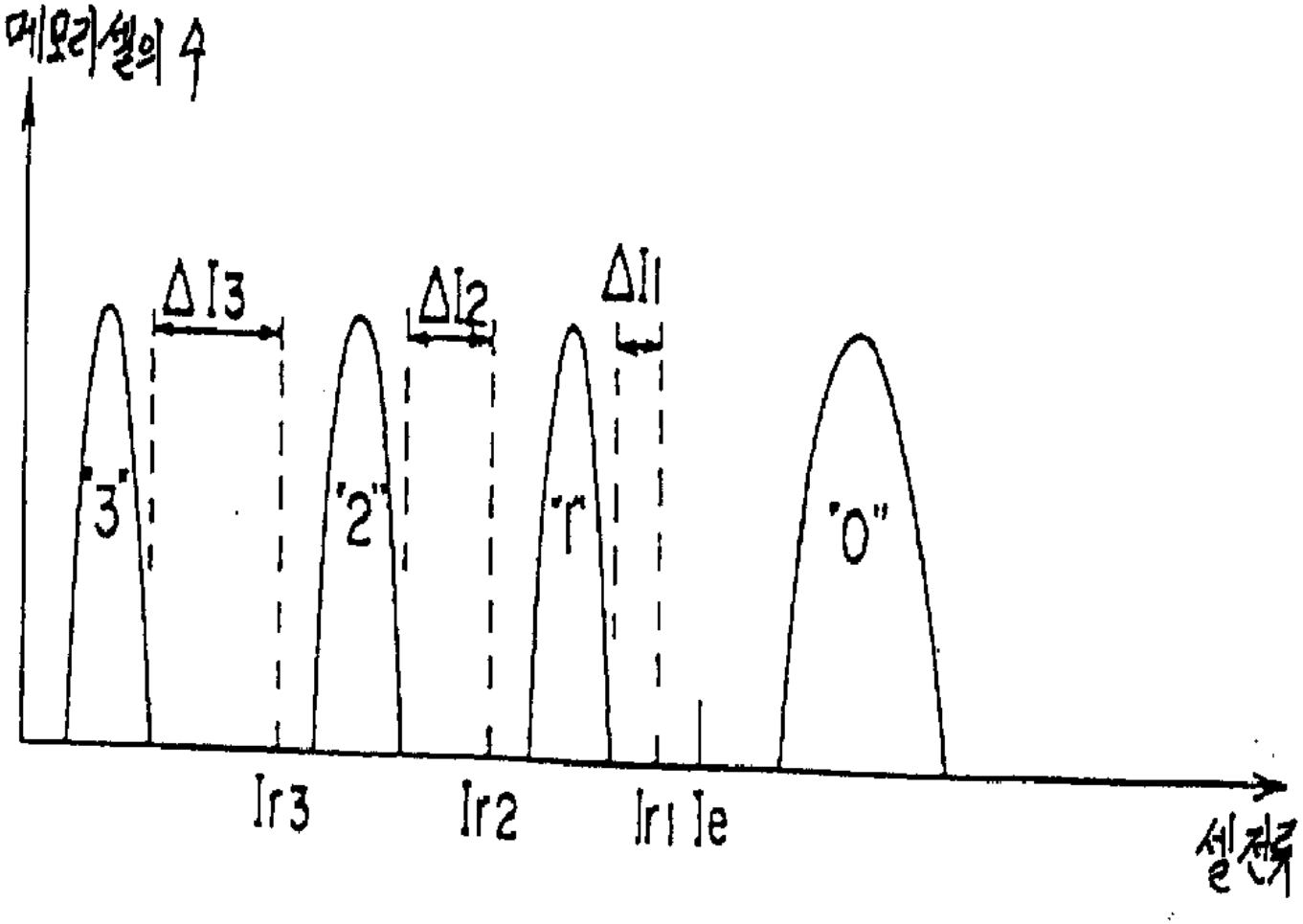
도면 3



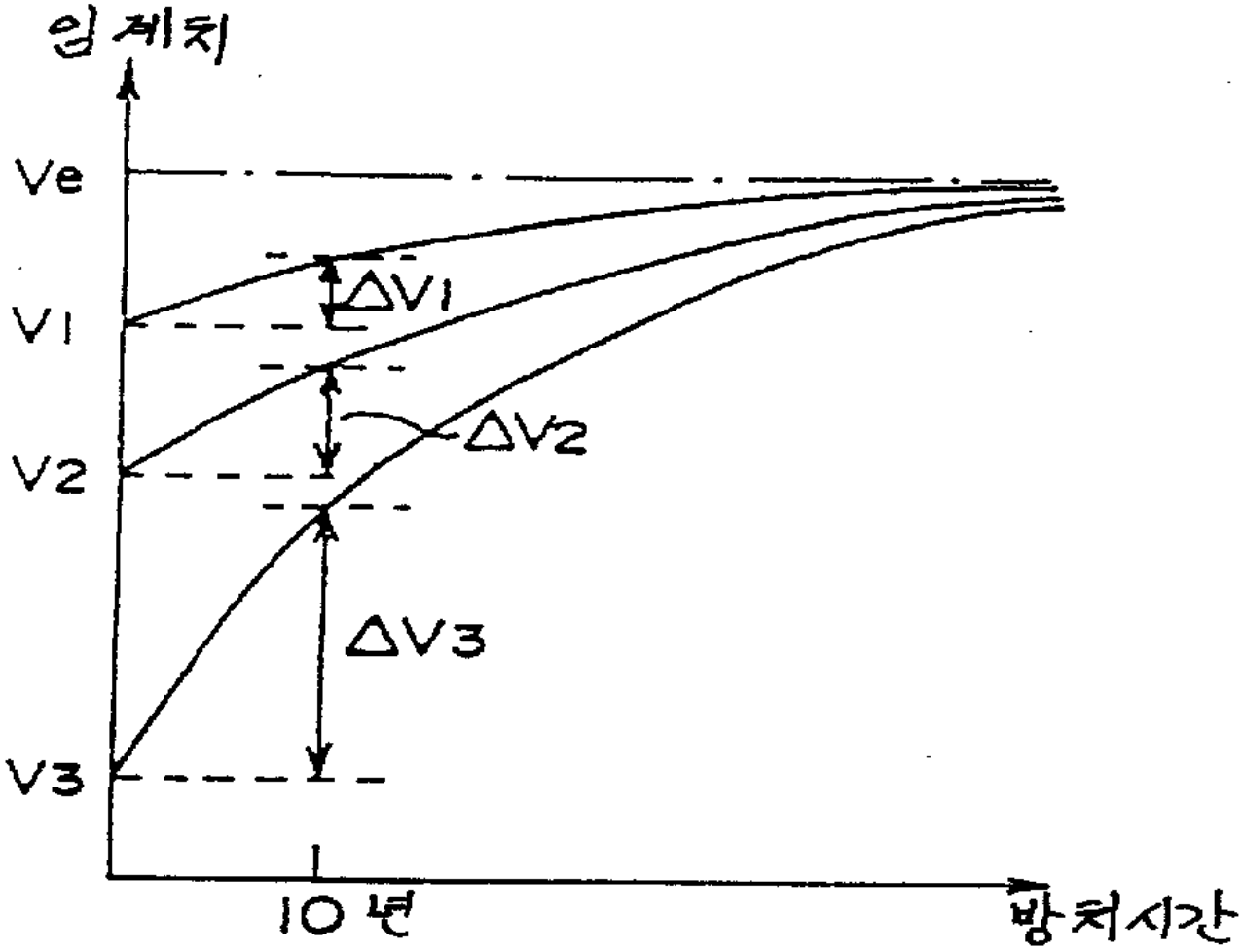
도면 4



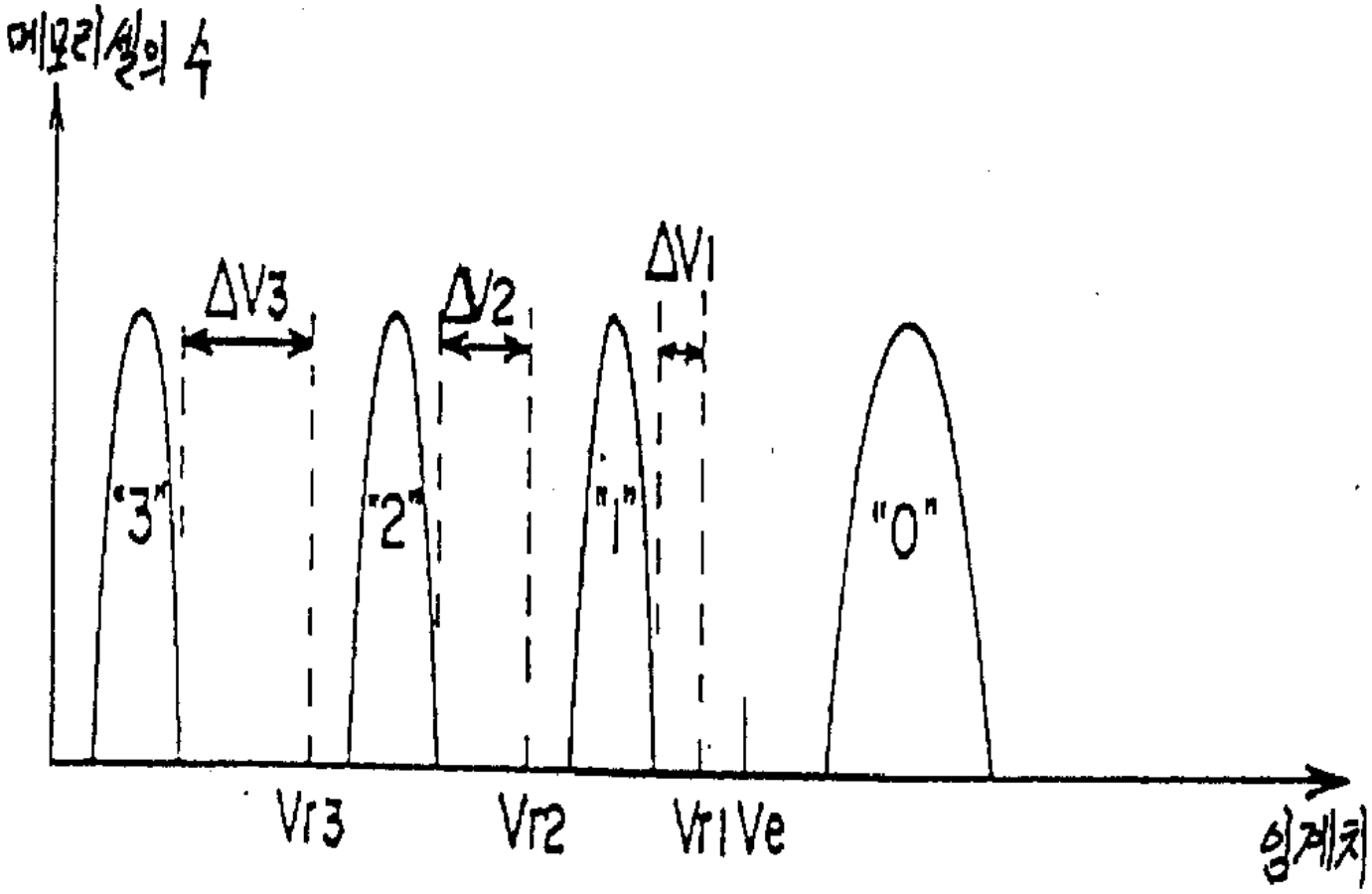
도면 5



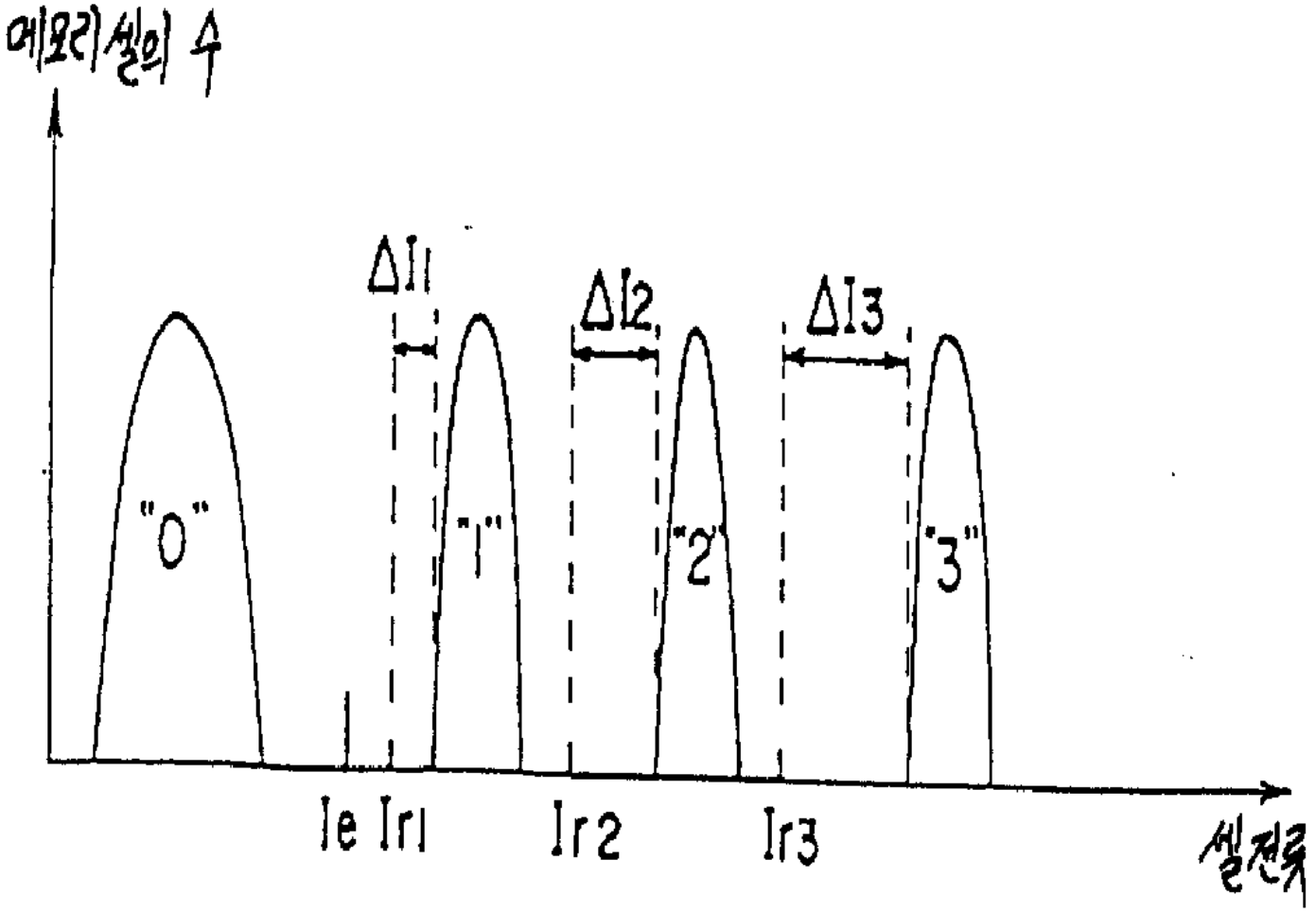
도면 6



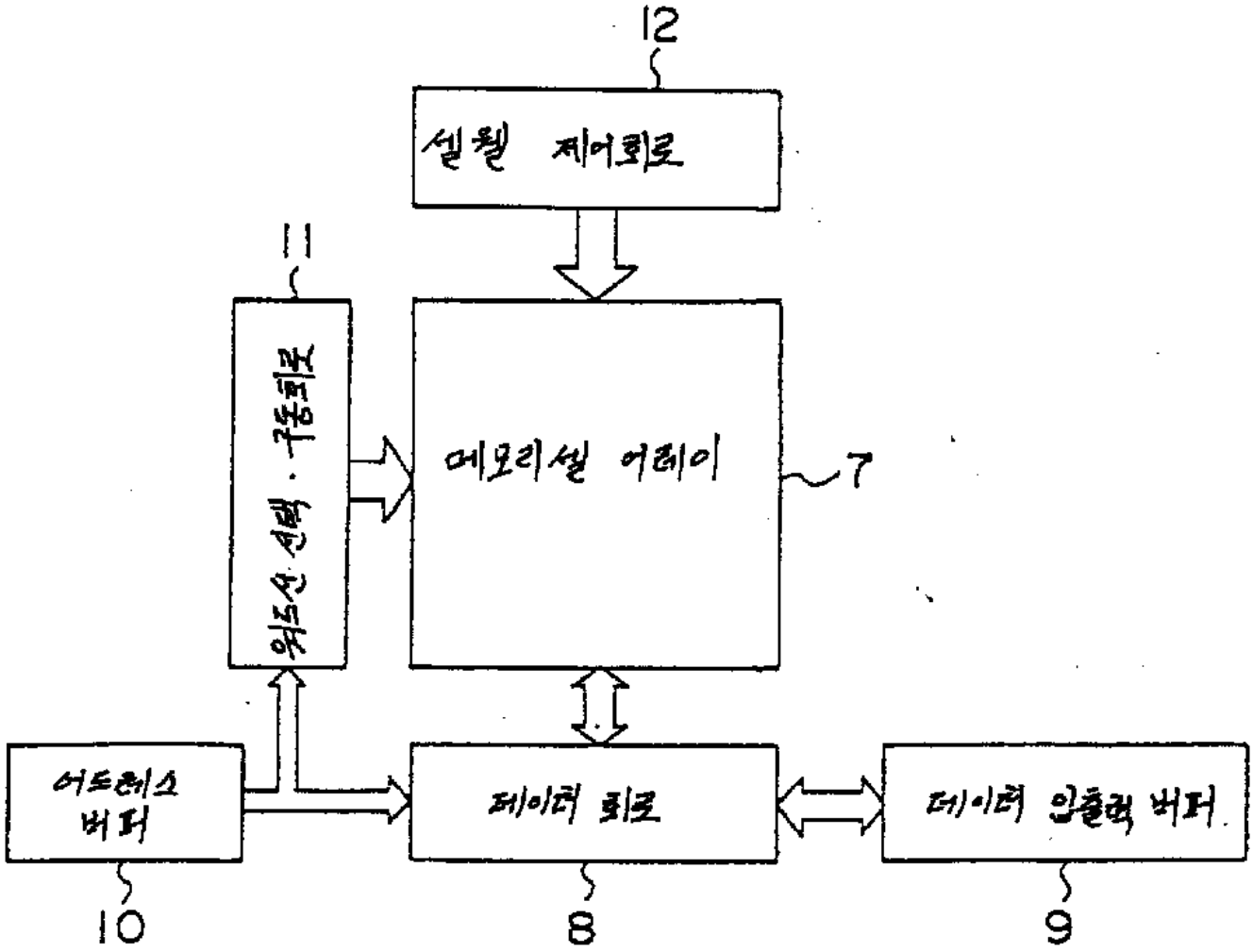
도면 7



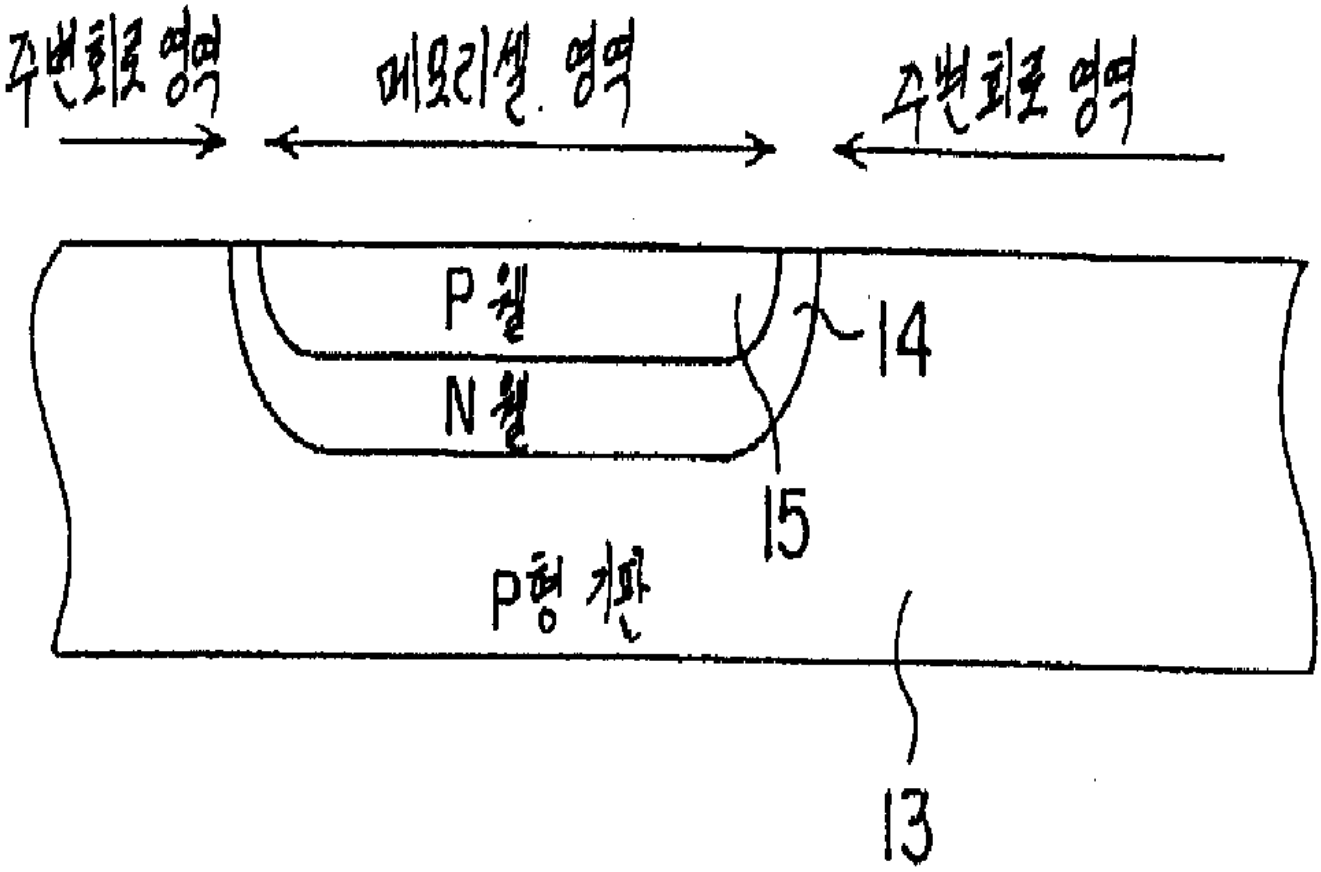
도면 8



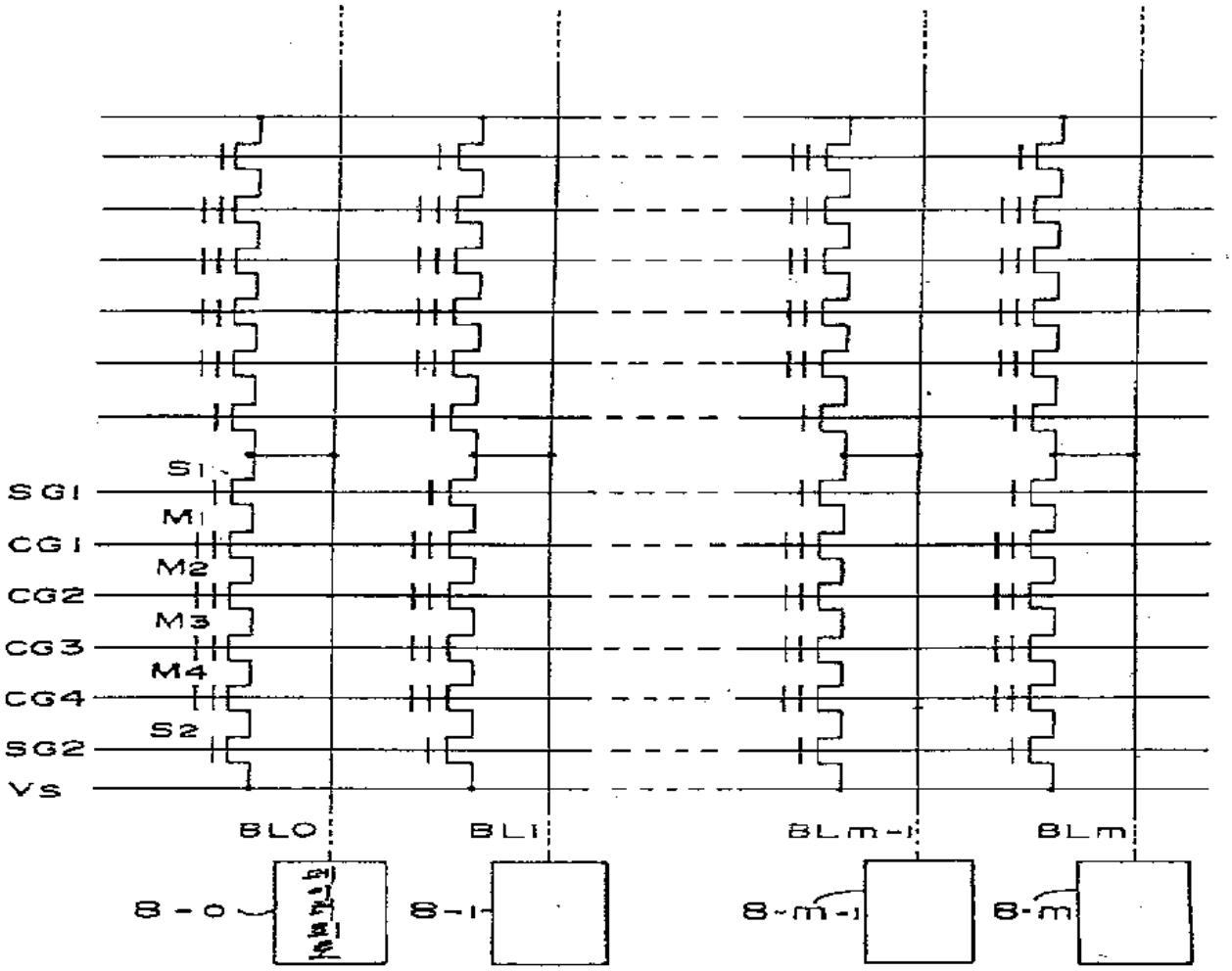
도면 9


12
셀웰 제어회로
11
워드선 선택·구동회로
메모리셀 어레이
7
어드레스 버퍼
데이터 회로
데이터 입출력 버퍼
10
8
9

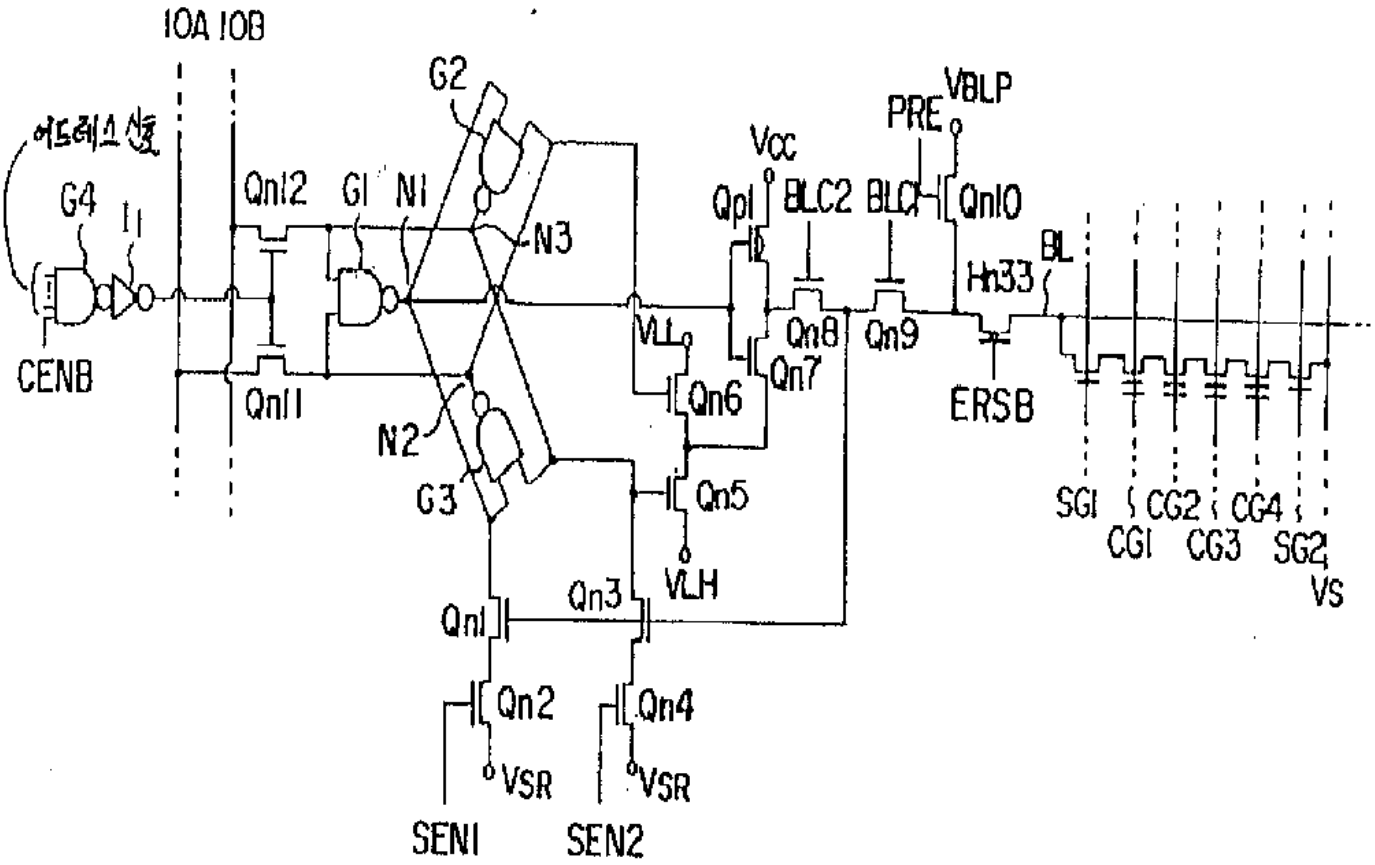
도면 10



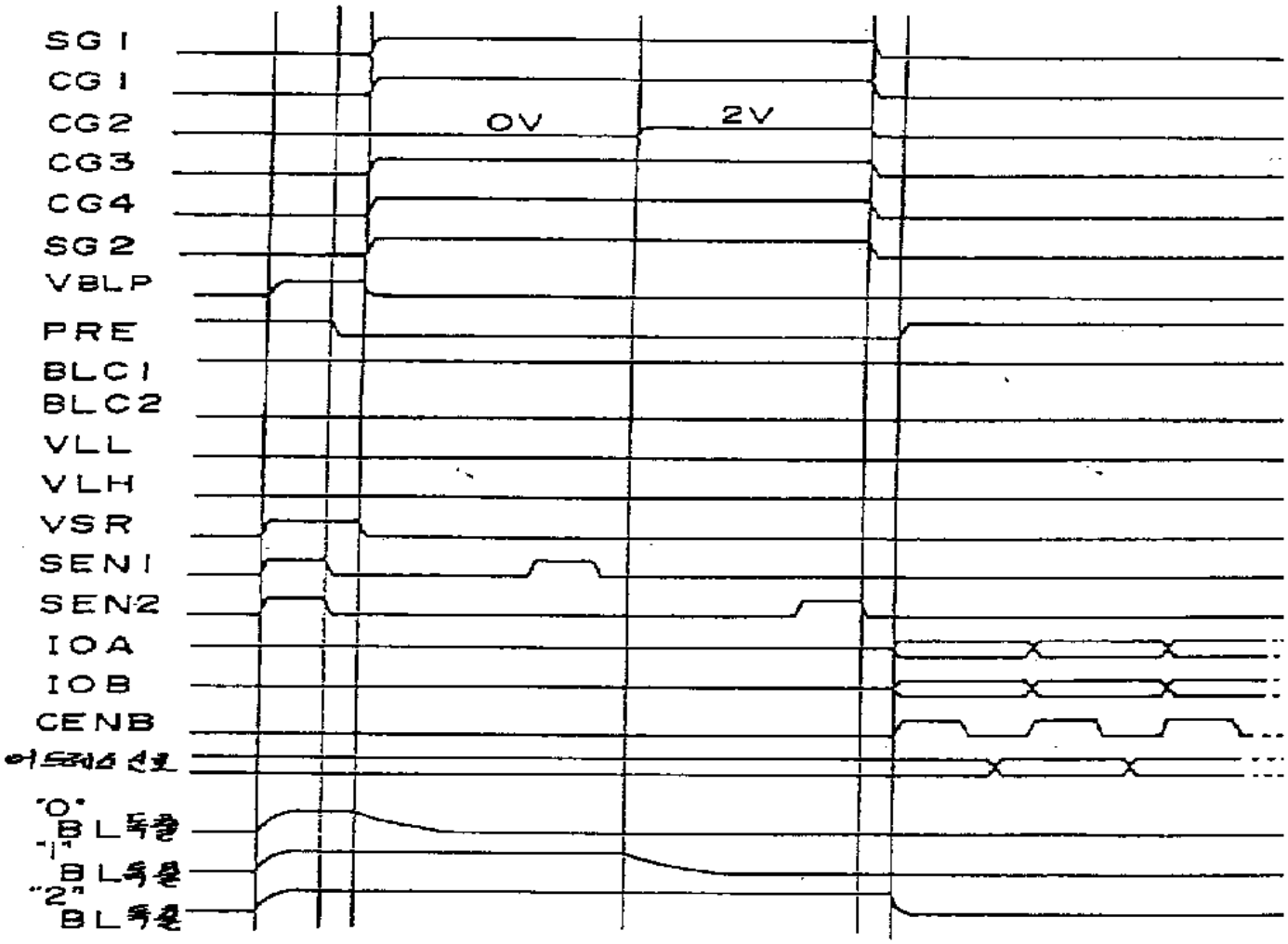
도면 11


SG1
CG1
CG2
CG3
CG4
SG2
Vs
S1
M1
M2
M3
M4
S2
BL0
BL1
BLm-1
BLm
8-0
8-1
8-m-1
8-m

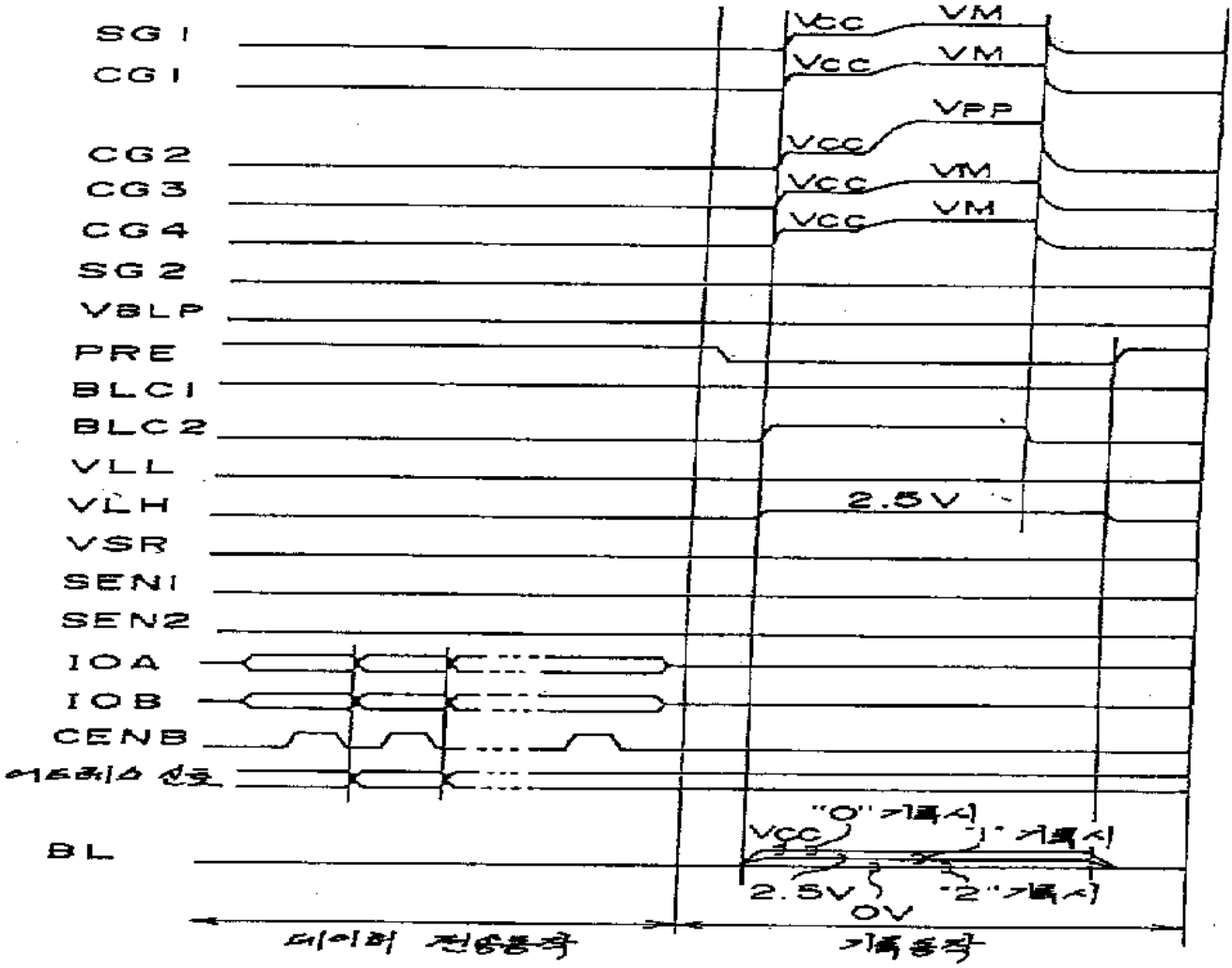
도면 12


IOA IOB
어드레스 입력
G4
I1
CENB
Qn12
G1
N1
G2
N3
N2
G3
Qn11
Qn1
Qn2
Qn3
Qn4
Qn5
Qn6
Qn7
Qn8
Qn9
Qn10
Qp1
Vcc
PRE
VBLP
BLC2
BLC1
Hn33
BL
ERSB
VLL
VLH
VSR
VSR
SEN1
SEN2
SG1
CG1
CG2
CG3
CG4
SG2
VS

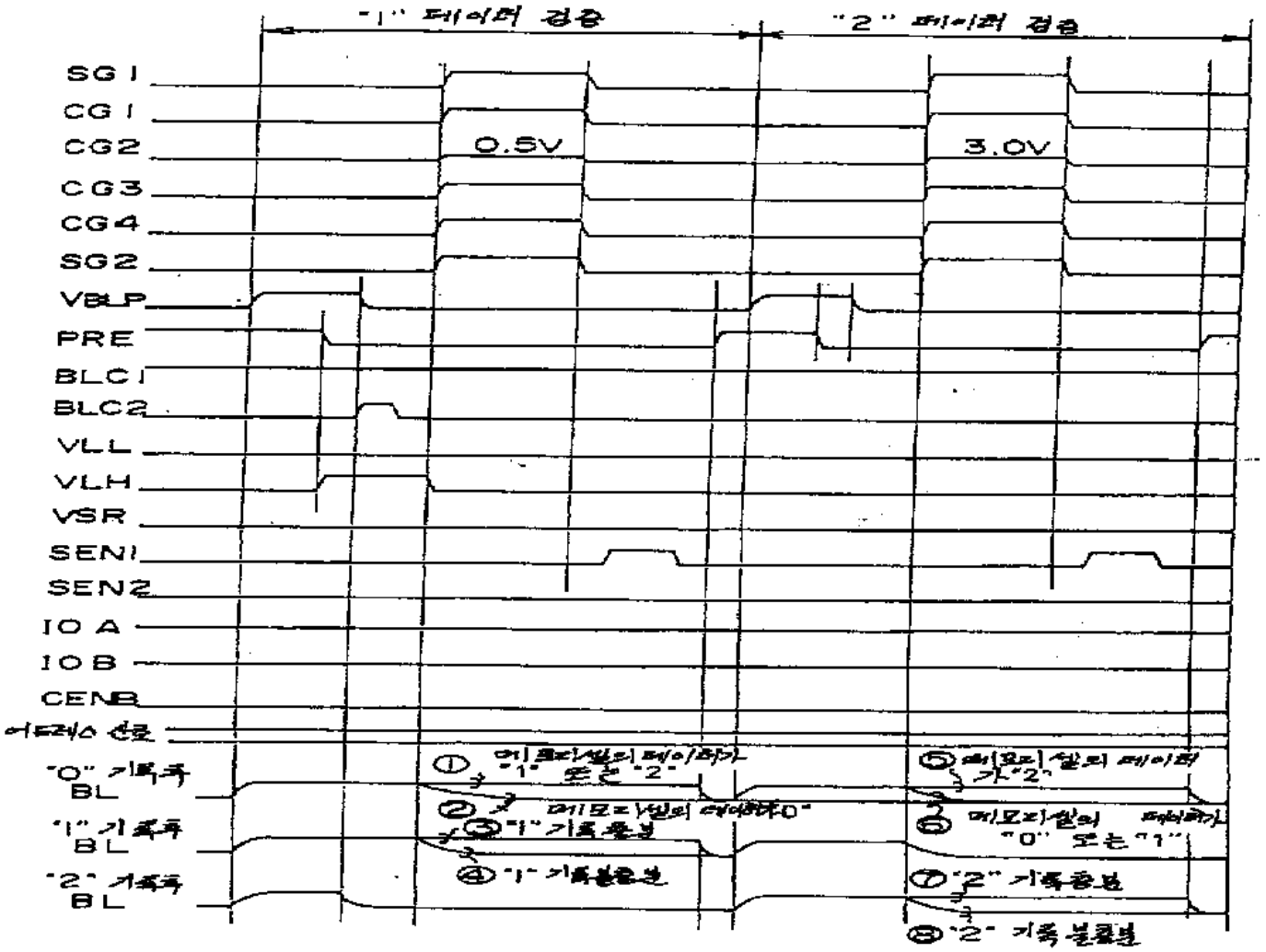
도면 13


SG1
CG1
CG2
CG3
CG4
SG2
VBLP
PRE
BLC1
BLC2
VLL
VLH
VSR
SEN1
SEN2
IOA
IOB
CENB
어드레스 신호
"0" BL독출
"1" BL독출
"2" BL독출
0V
2V

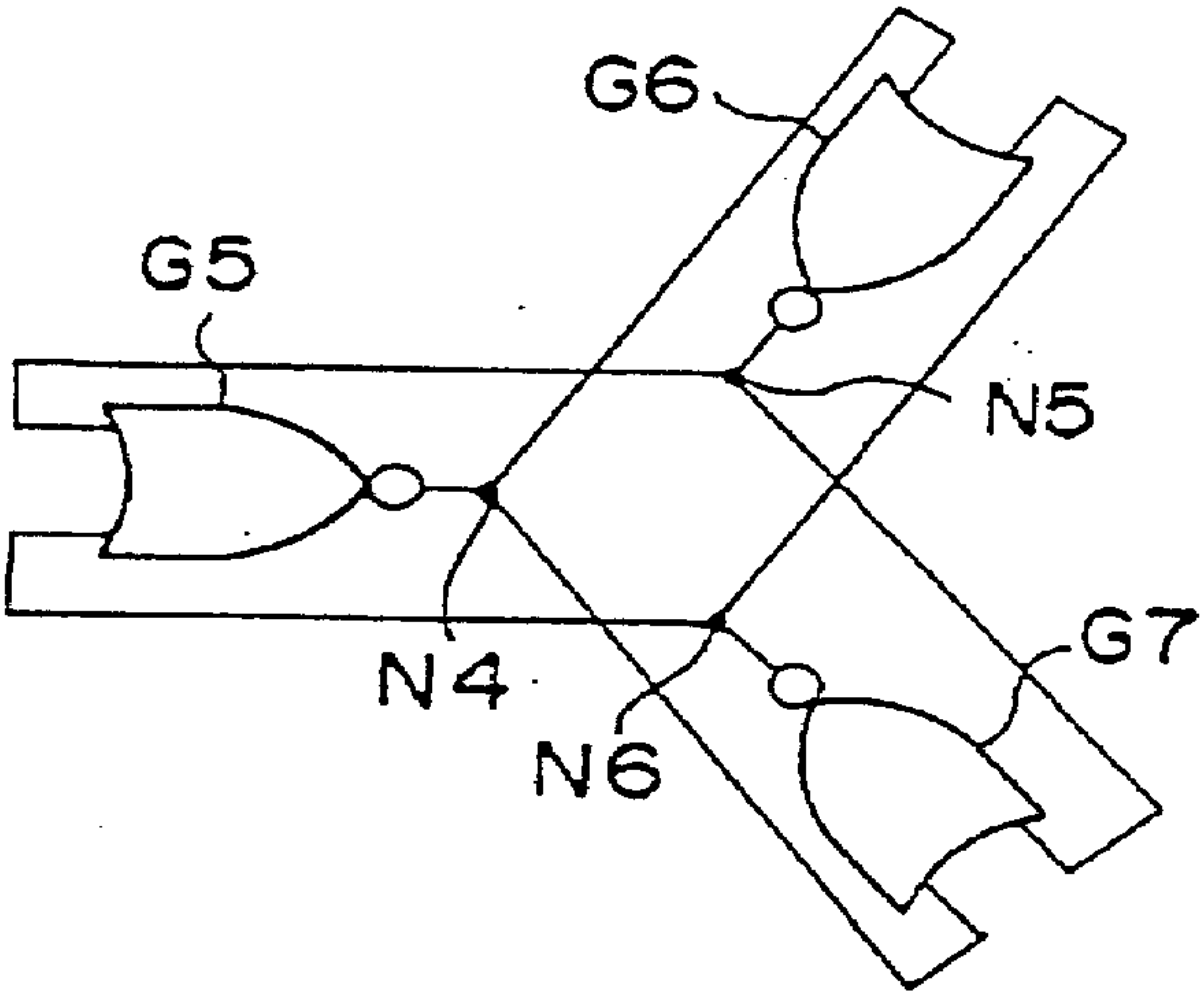
도면 14


SG1
CG1
CG2
CG3
CG4
SG2
VBLP
PRE
BLC1
BLC2
VLL
VLH
VSR
SEN1
SEN2
IOA
IOB
CENB
어드레스 신호
BL
Vcc
VM
VPP
2.5V
"0" 기록시
"1" 기록시
"2" 기록시
0V
데이터 전송동작
기록동작

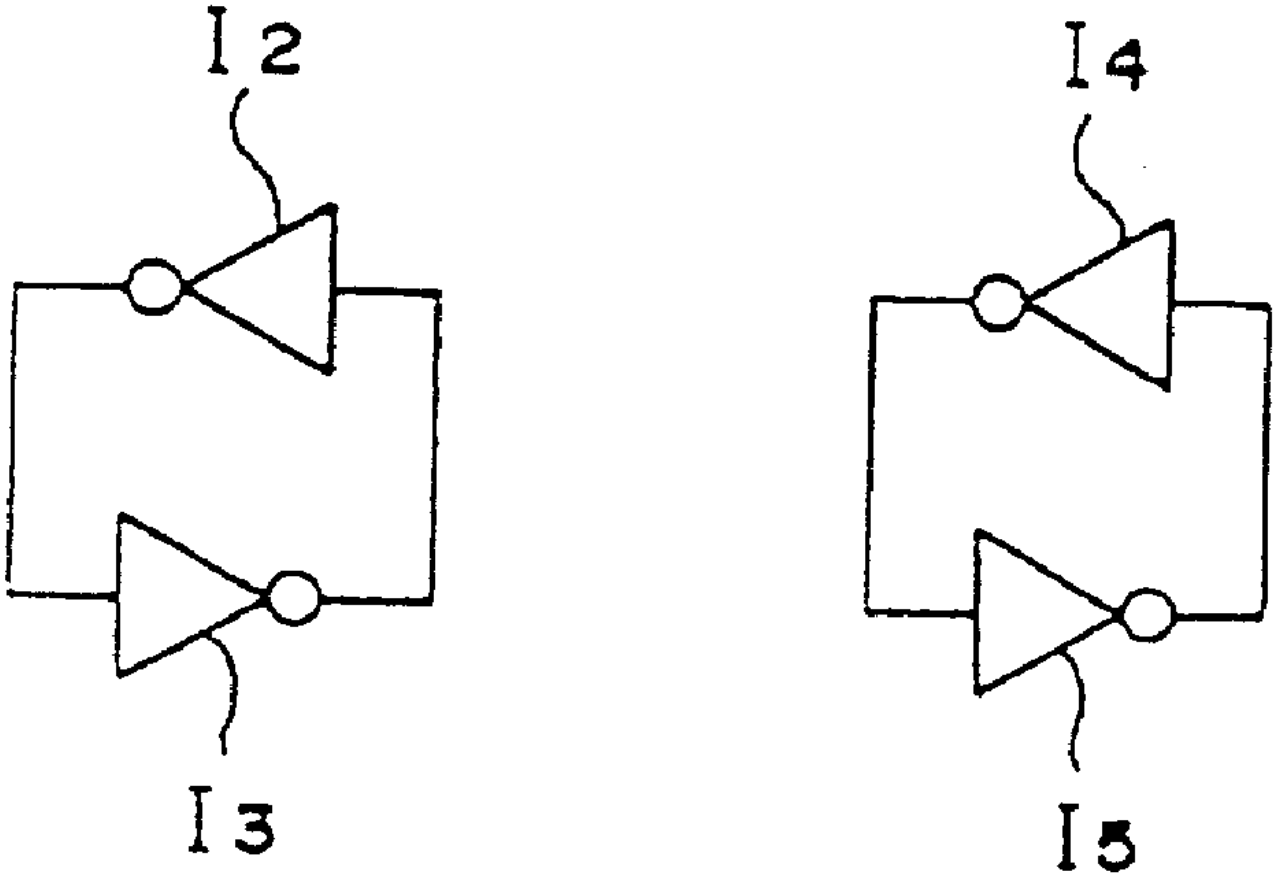
도면 15


"1" 데이터 검출
"2" 데이터 검출
SG1
CG1
CG2
CG3
CG4
SG2
VBLP
PRE
BLC1
BLC2
VLL
VLH
VSR
SEN1
SEN2
IO A
IO B
CENB
어드레스 선로
"0" 기록후 BL
"1" 기록후 BL
"2" 기록후 BL
0.5V
3.0V
① 메모리셀의 데이터가 "1" 또는 "2"
② 메모리셀의 데이터가 "0"
③ "1" 기록 종료
④ "1" 기록불량
⑤ 메모리셀의 데이터가 "2"
⑥ 메모리셀의 데이터가 "0" 또는 "1"
⑦ "2" 기록종료
⑧ "2" 기록불량

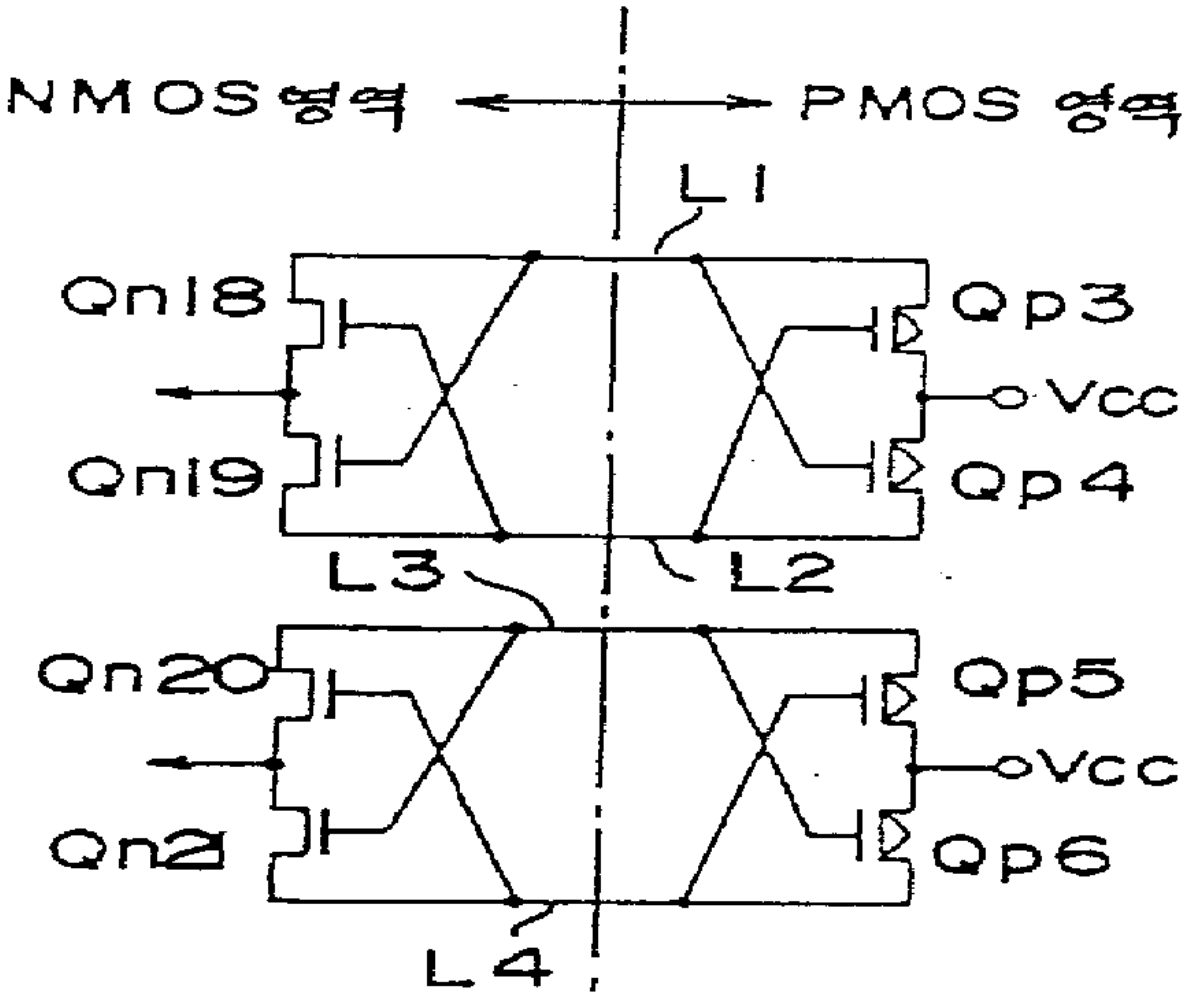
도면 16



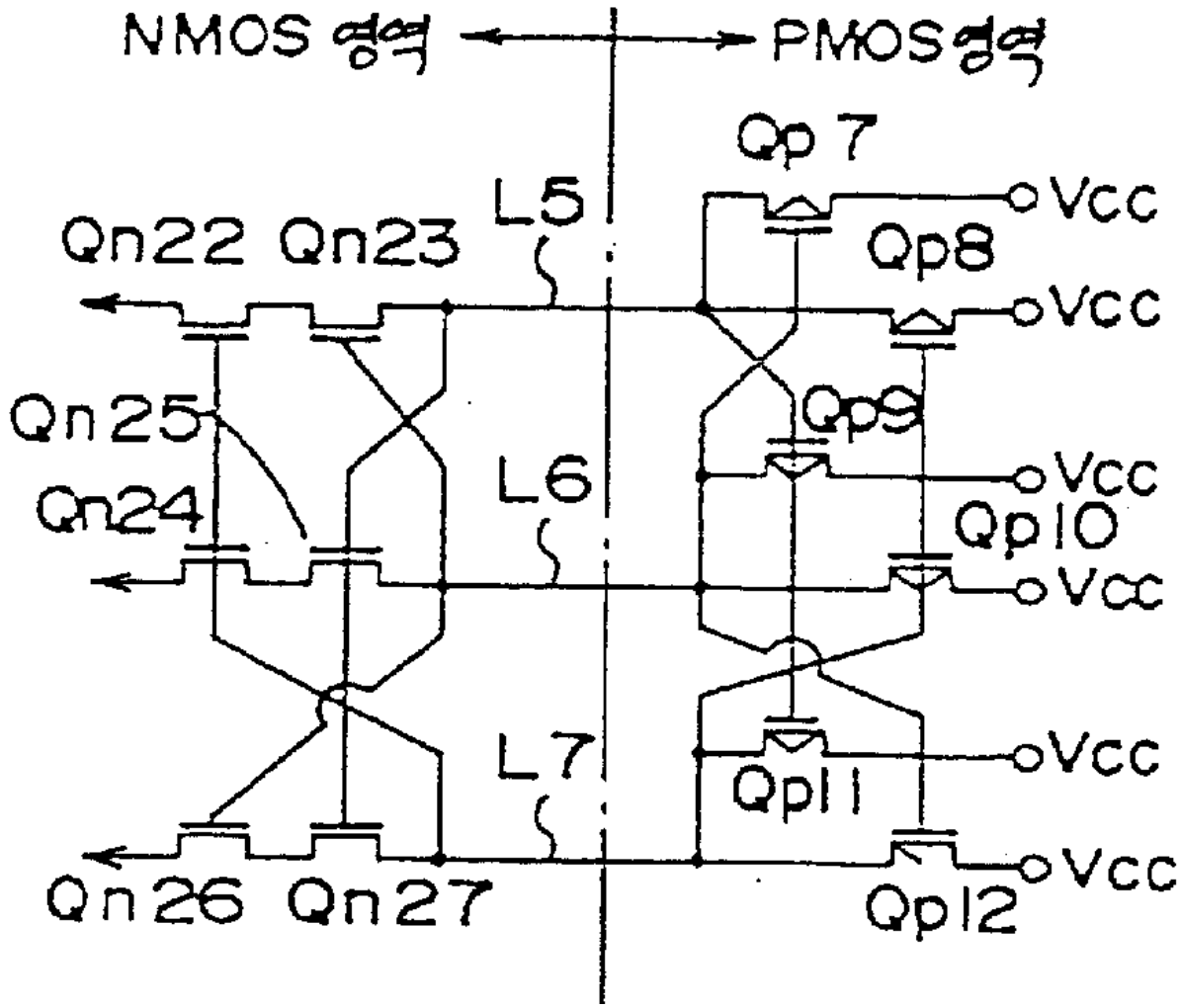
도면 17



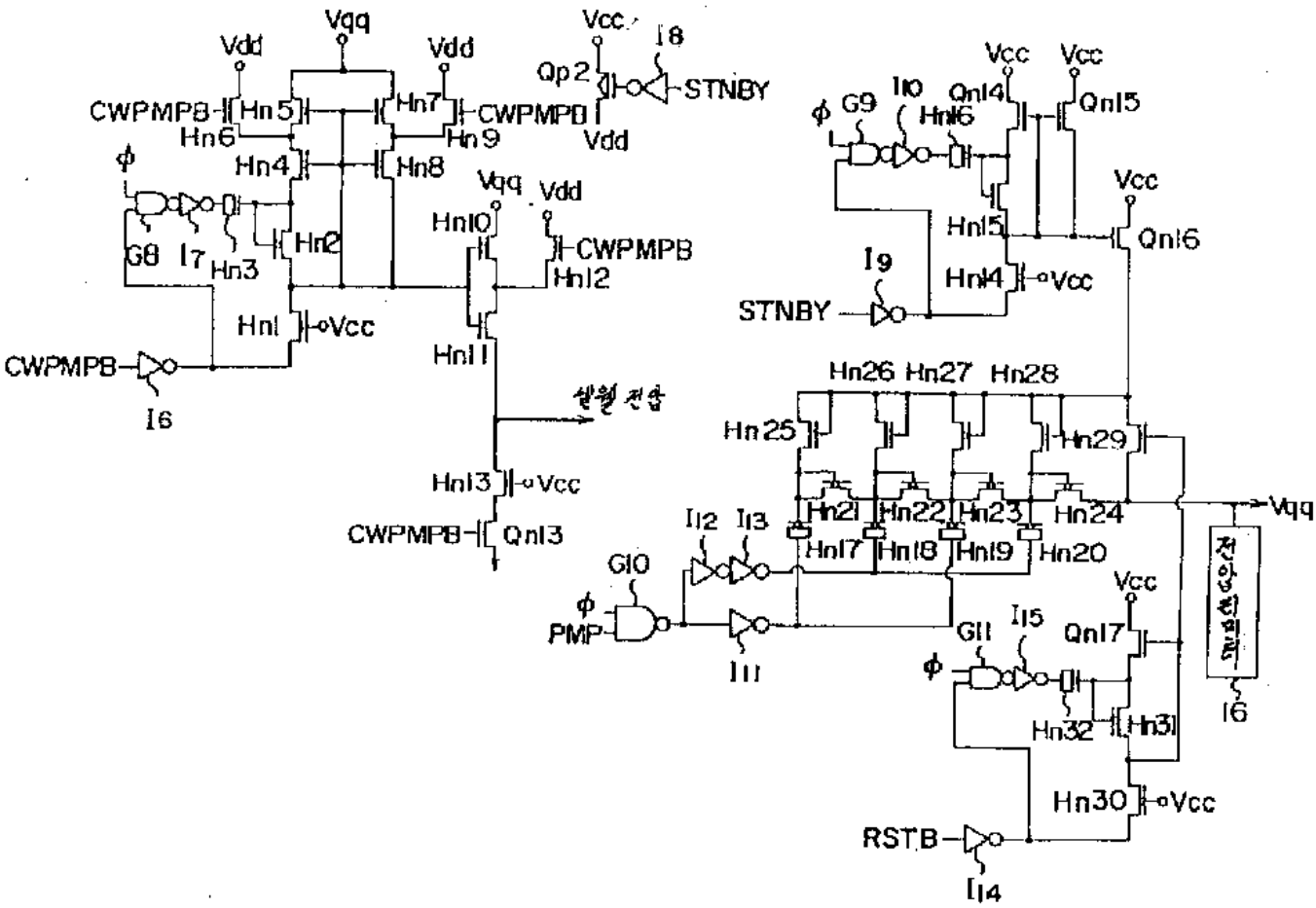
도면 18


NMOS영역
PMOS 영역
L1
Qn18
Qp3
Vcc
Qn19
Qp4
L3
L2
Qn20
Qp5
Vcc
Qn21
Qp6
L4

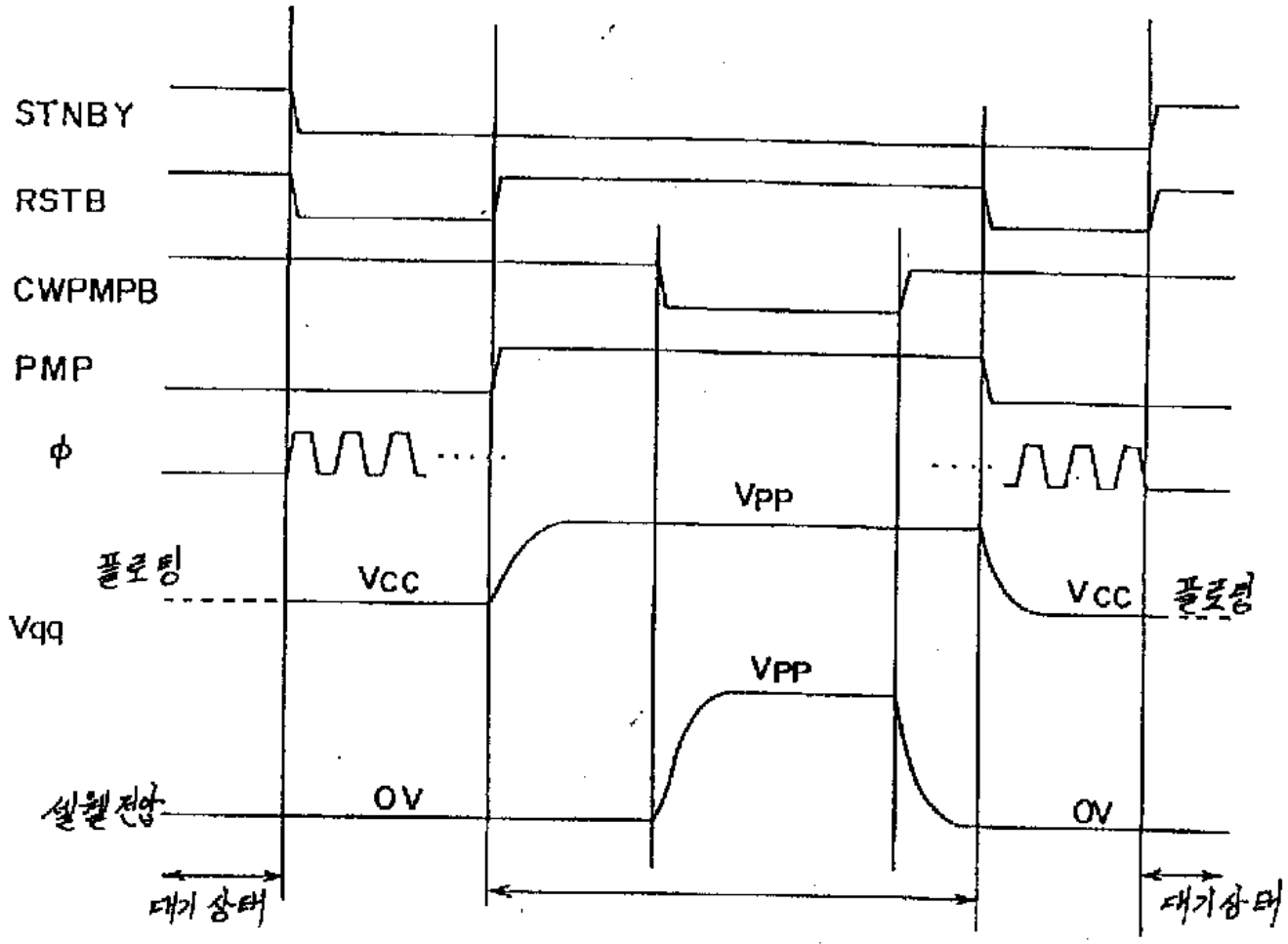
도면 19


NMOS 영역
PMOS 영역
Qp7
L5
Vcc
Qn22 Qn23
Qp8
Vcc
Qn25
Qp9
L6
Vcc
Qn24
Qp10
Vcc
L7
Qp11
Vcc
Qn26 Qn27
Qp12
Vcc

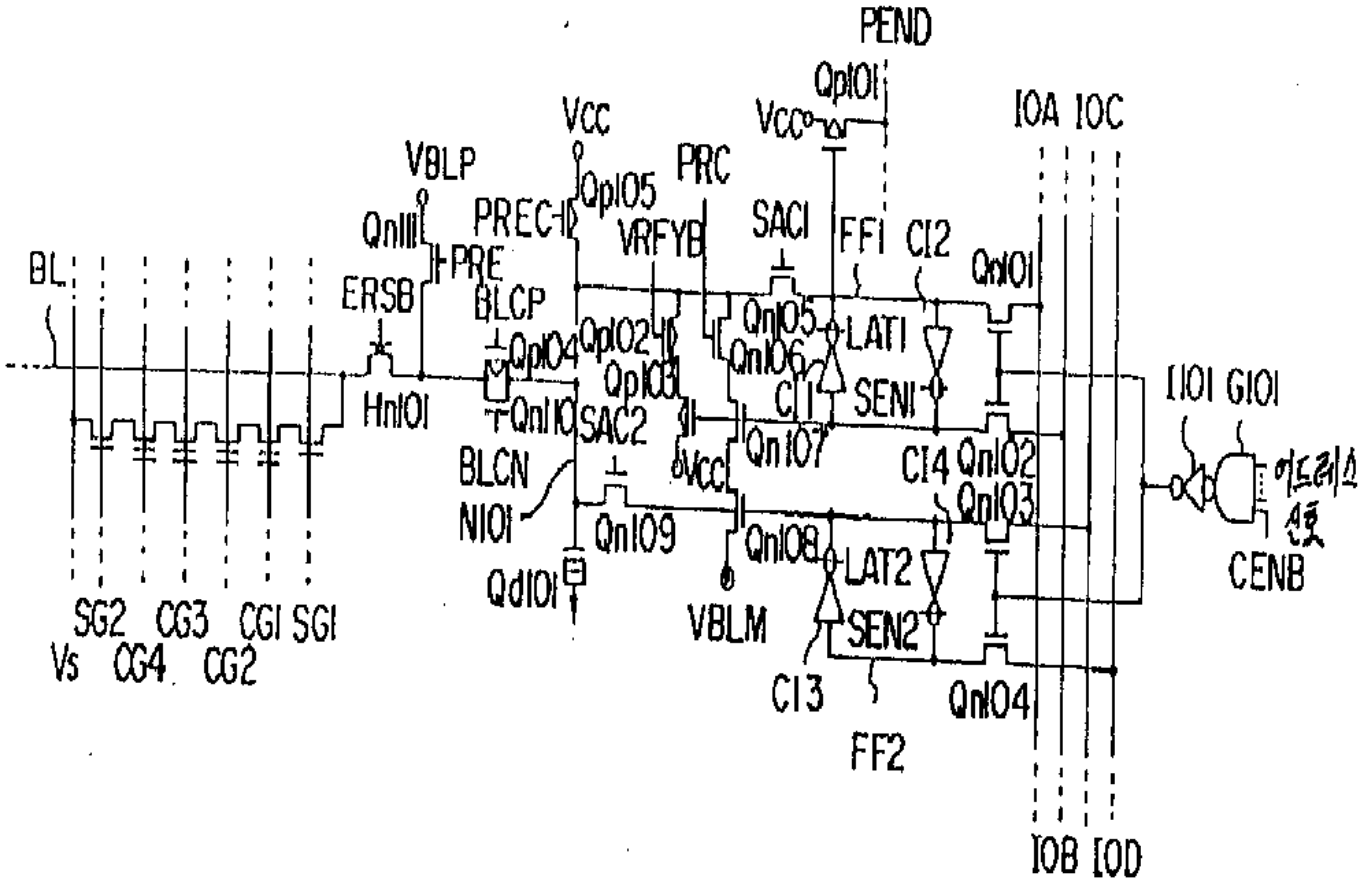
도면 20


Vqq
Vdd
Vdd
Vcc
I8
Qp2
STNBY
CWPMPB
Hn5
Hn7
CWPMPB
Vdd
Hn6
Hn9
Hn4
Hn8
Vqq
Vdd
Hn10
CWPMPB
Hn12
G8
I7
Hn3
Hn2
Hn1
Vcc
CWPMPB
Hn11
I6
Hn13
Vcc
CWPMPB
Qn13
Vcc
Vcc
G9
I10
Qn14
Qn15
Hn16
Vcc
Hn15
Qn16
I9
Hn14
Vcc
STNBY
Hn26
Hn27
Hn28
Hn25
Hn29
Hn21
Hn22
Hn23
Hn24
Vqq
I12
I13
Hn17
Hn18
Hn19
Hn20
G10
PMP
I11
Vcc
G11
I15
Qn17
Hn32
Hn31
I6
Hn30
Vcc
RSTB
I14

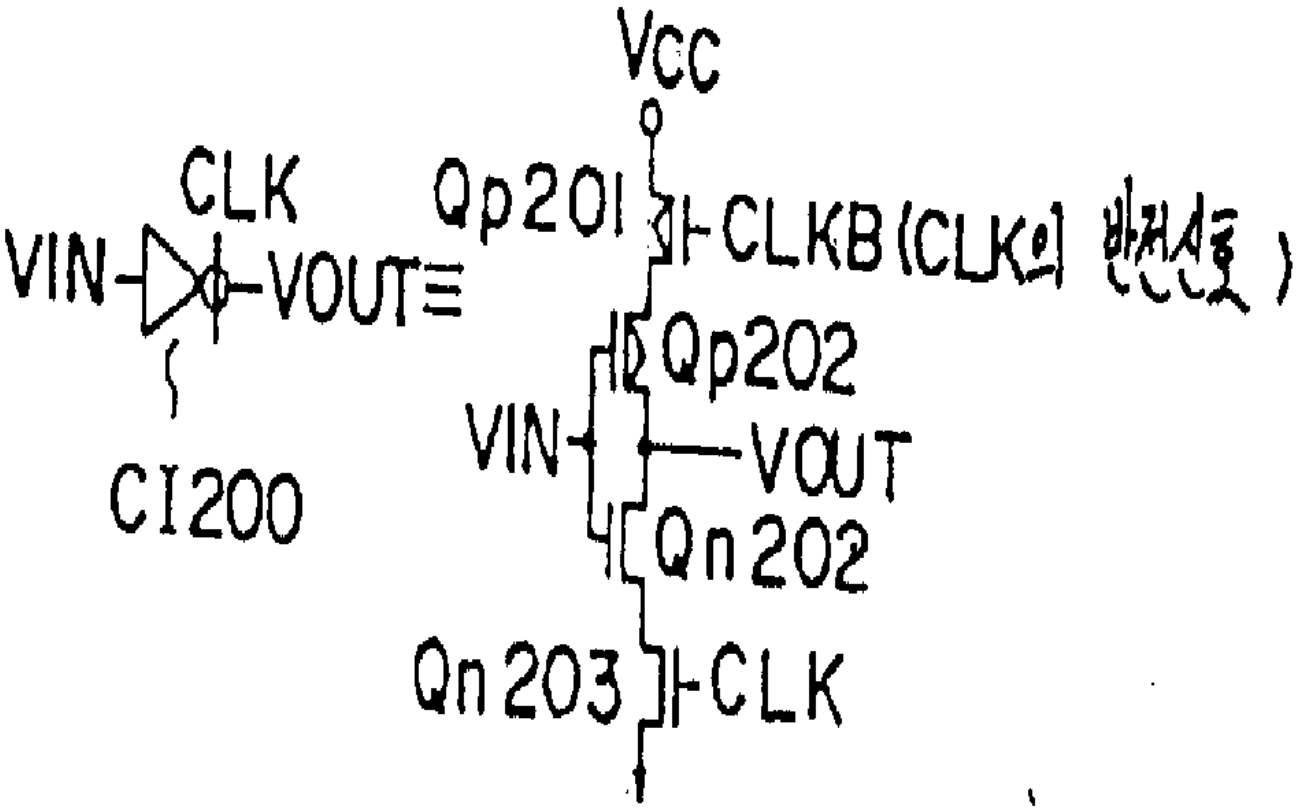
도면 21


STNBY
RSTB
CWPMPB
PMP
φ
플로팅
Vqq
Vcc
Vpp
Vpp
Vcc
플로팅
셀웰전압
0V
0V
대기상태
대기상태

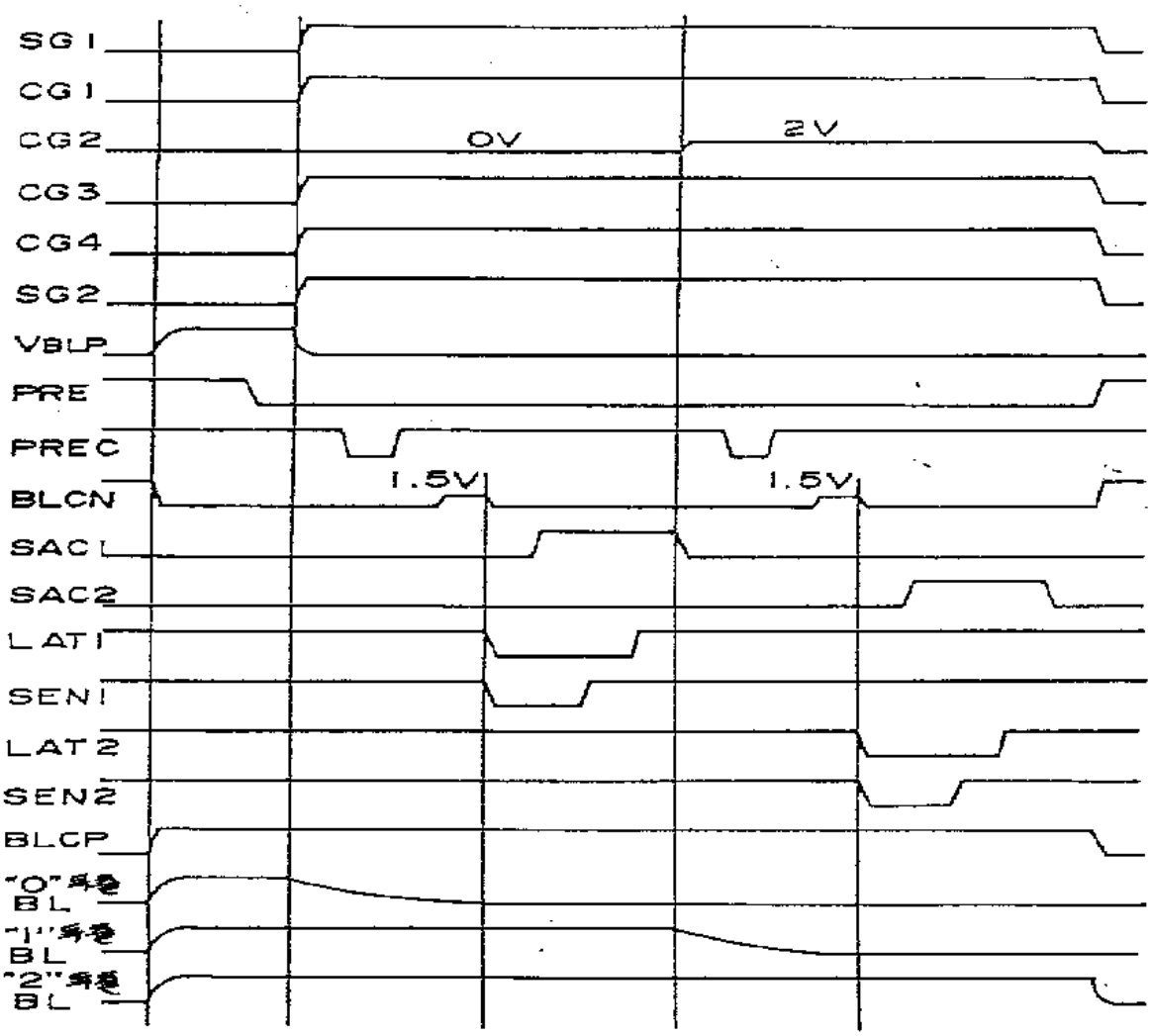
도면 22a


PEND
Qp101
Vcc
Vcc
IOA IOC
VBLP
Qp105
PRC
PREC
VRFYB
SAC1
FF1
CI2
Qn101
Qn111
PRE
BL
ERSB
BLCP
Qp102
Qp104
Qp103
Qn105
Qn106
LAT1
SEN1
CI1
I101 G101
Hn101
Qn110
SAC2
Qn107
CI4
Qn102
Qn103
BLCN
N101
Vcc
Qn109
Qn108
LAT2
SEN2
Qd101
VBLM
CI3
FF2
Qn104
SG2 CG3 CG1 SG1
Vs CG4 CG2
IOB IOD
어드레스 신호
CENB

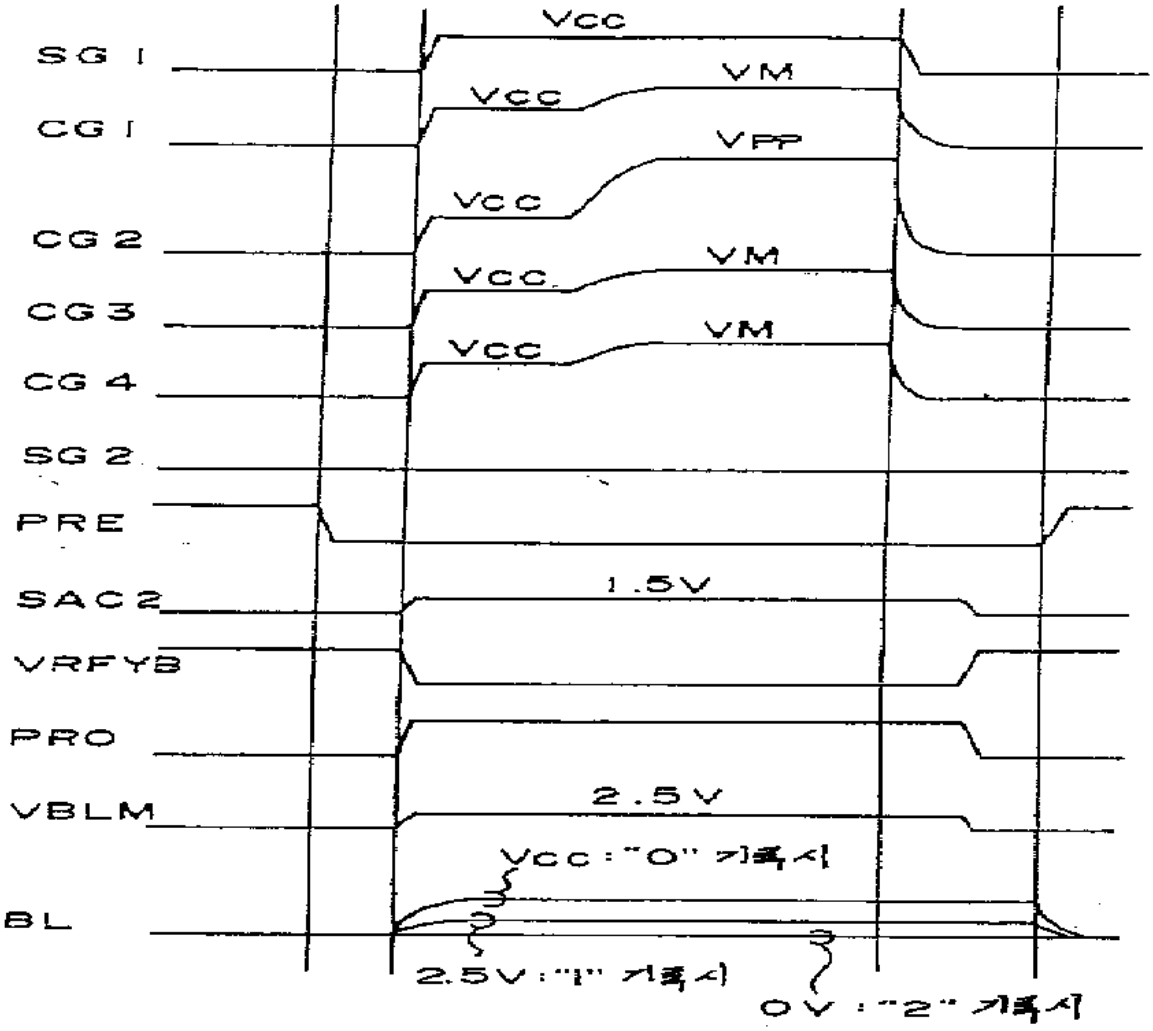
도면 22b


Vcc
CLK
Qp201
CLKB (CLK의 반전신호)
VIN
VOUT
Qp202
CI200
VIN
VOUT
Qn202
Qn203
CLK

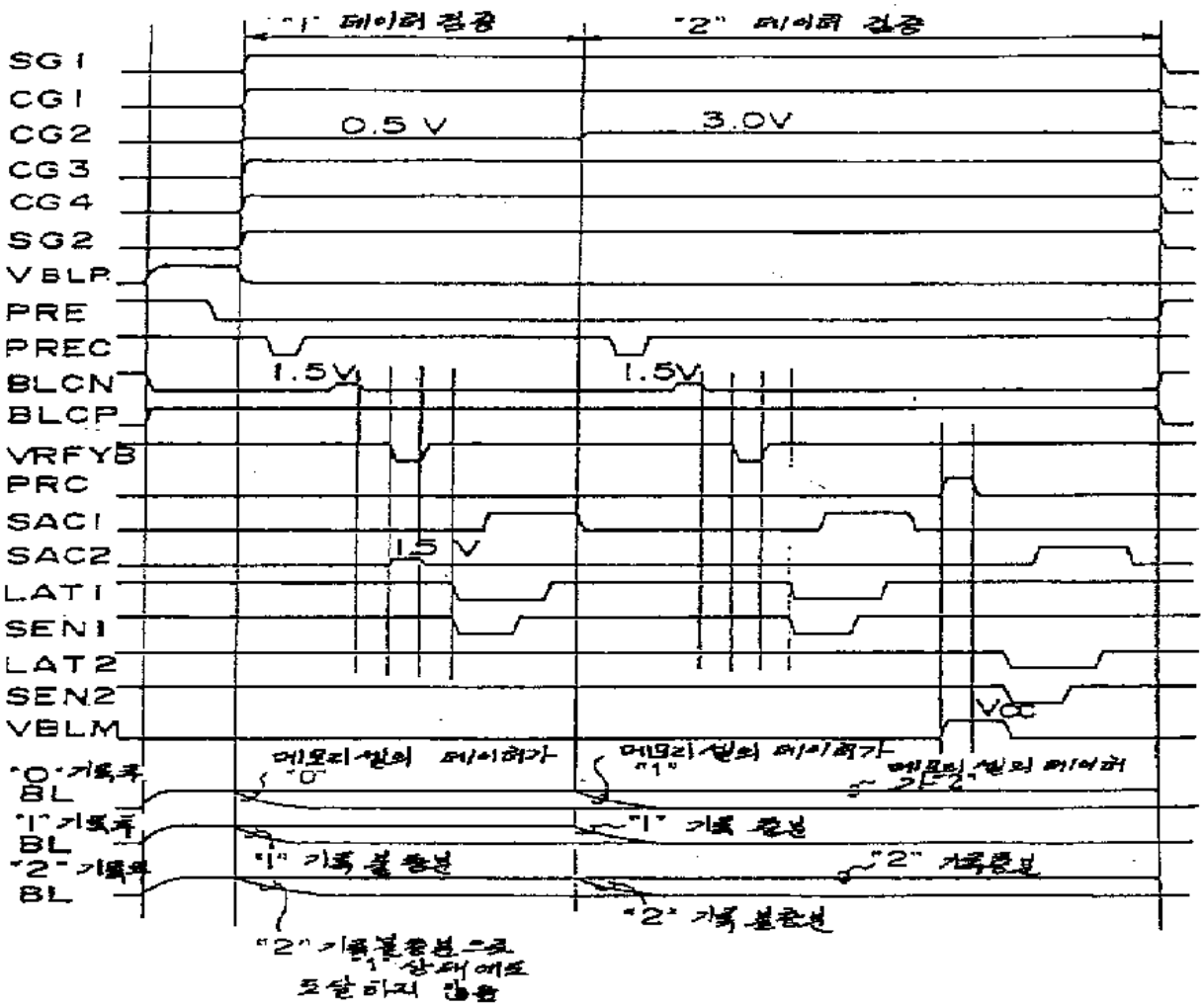
도면 23


SG1
CG1
CG2
CG3
CG4
SG2
VBLP
PRE
PREC
BLCN
SAC1
SAC2
LAT1
SEN1
LAT2
SEN2
BLCP
"0"셀을 BL
"1"셀을 BL
"2"셀을 BL
0V
2V
1.5V
1.5V

도면 24


SG1
CG1
CG2
CG3
CG4
SG2
PRE
SAC2
VRFYB
PRO
VBLM
BL
Vcc
VM
VPP
1.5V
2.5V
Vcc : "0" 기록시
2.5V : "1" 기록시
0V : "2" 기록시

도면 25


"1" 데이터 검증
"2" 데이터 검증
SG1
CG1
CG2
CG3
CG4
SG2
VBLP
PRE
PREC
BLCN
BLCP
VRFYB
PRC
SAC1
SAC2
LAT1
SEN1
LAT2
SEN2
VBLM
0.5 V
3.0V
1.5V
1.5V
1.5 V
Vcc
"0" 기록 BL
"1" 기록 BL
"2" 기록 BL
메모리셀의 데이터가 "0"
메모리셀의 데이터가 "1"
메모리 셀의 데이터 "2"
"1" 기록 불충분
"2" 기록불충분
"2" 기록불충분으로 "1" 상태에도 도달하지 않음