(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0051439
(43) 공개일자 2009년05월22일

(51) Int. Cl.
G02F 1/136 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2007-0117828
(22) 출원일자 2007년11월19일
심사청구일자 2007년11월19일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
주병권
서울 종로구 평창동 234-24번지 (8/5)
서정훈
서울 마포구 상암동 상암월드컵파크 609동 202호
(뒷면에 계속)
(74) 대리인
특허법인 신성

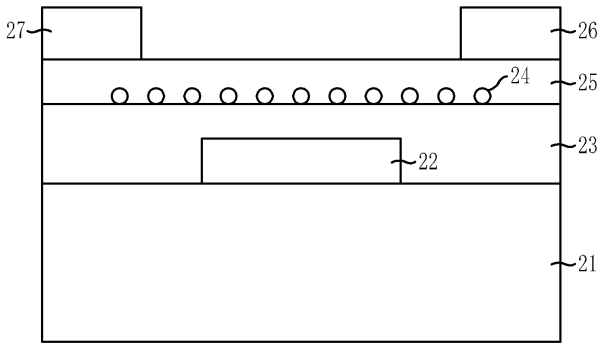
전체 청구항 수 : 총 19 항

(54) 유기 박막 트랜지스터 및 그의 제조방법

(57) 요 약

본 발명은 유기 박막 트랜지스터의 낮은 전압레벨을 높일 수 있는 유기 박막 트랜지스터 및 그의 제조방법을 제공하기 위한 것으로, 본 발명은 기판 상에 형성된 게이트전극; 상기 게이트전극을 포함하는 기판 상에 형성된 게이트절연층; 상기 게이트절연층 상에 나노 입자들로 이루어진 나노 물질층; 상기 나노 물질층을 포함하는 전체 구조 상에 형성된 활성층; 상기 활성층 상에 형성된 소스 및 드레인 전극을 포함하여 게이트절연층과 활성층 사이에 나노 물질층을 형성함으로써 전하 이동도가 높고, 구동 전압 및 문턱전압이 낮으며, 후속 공정에 높은 안정성을 갖는 효과, 비휘발성 메모리 효과와 자기장 효과를 증폭시켜 소자의 성능을 향상시킬 수 있는 효과, 나노 물질층을 포함하는 유기 박막 트랜지스터는 그렇지 않은 유기 박막 트랜지스터보다 포화영역(Saturation region) 특성이 우수한 효과 및 게이트전극과 소스 및 드레인 전극을 투명한 전극으로 적용하는 경우 투명 박막 트랜지스터로 응용할 수 있는 효과가 있다.

대 표 도 - 도2



(72) 발명자

권재홍

서울 성북구 석관동 131-11 4층 석관1동

신상일

서울 동대문구 제기동 1153-16 휴먼플러스 오피스텔 312호

특허청구의 범위

청구항 1

기판 상에 형성된 게이트전극;

상기 게이트전극을 포함하는 기판 상에 형성된 게이트절연층;

상기 게이트절연층 상에 나노 입자들로 이루어진 나노 물질층;

상기 나노 물질층을 포함하는 전체 구조 상에 형성된 활성층; 및

상기 활성층 상에 형성된 소스 및 드레인 전극

을 포함하는 유기 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 나노 입자는 분극 성질을 나타내는 전이금속인 유기 박막 트랜지스터.

청구항 3

제2항에 있어서,

상기 나노 입자는 은나노 입자인 유기 박막 트랜지스터.

청구항 4

제2항에 있어서,

상기 나노 입자는 Au, Cr, Cu 및 Fe로 이루어진 그룹 중에서 선택된 어느 하나인 유기 박막 트랜지스터.

청구항 5

제1항에 있어서,

상기 나노 물질층은 상기 나노 입자들이 상기 게이트절연층의 면적에 70%~85%의 비율로 분포된 유기 박막 트랜지스터.

청구항 6

제1항에 있어서,

상기 활성층은 펜타신(Pentacene), 폴리아세틸렌(Polyacetylene), 폴리티오펜(Polythiophene), 프탈로시아닌(Phthalocyanine), Poly(3-hexylthiophene), Poly(3-alkylthiophene), α-ω-hexahtiophene, α-ω-di-hexyl-hexathiophene, α-ω-hexathiophene, C_{60}, Bis(dithienothiophene) 및 Dihexyl-anthradithiophene으로 이루어진 그룹 중에서 선택된 어느 하나인 유기 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 게이트절연층은 유기물 또는 무기물인 유기 박막 트랜지스터.

청구항 8

제7항에 있어서,

상기 무기물은 실리콘산화막 또는 실리콘질화막이고, 상기 유기물은 PVP(Poly 4-Vinlyphenol), PVA(Polyvinly Alcohol) 및 PI(Polyimide), PMMA(Polymethyl methacrylate)로 이루어진 그룹 중에서 선택된 어느 하나인 유기 박막 트랜지스터.

청구항 9

기판 상에 게이트전극을 형성하는 단계;

상기 게이트전극을 포함하는 기판 상에 게이트절연층을 형성하는 단계;

상기 게이트절연층 상에 나노 입자들로 이루어진 나노 물질층을 형성하는 단계;

상기 나노 물질층을 포함하는 전체 구조 상에 활성층을 형성하는 단계; 및

상기 활성층 상에 소스 및 드레인 전극을 형성하는 단계

를 포함하는 유기 박막 트랜지스터의 제조방법.

청구항 10

제9항에 있어서,

상기 나노 입자는 분극 성질을 갖는 전이금속인 유기 박막 트랜지스터의 제조방법.

청구항 11

제10항에 있어서,

상기 나노 입자는 은나노 입자인 유기 박막 트랜지스터의 제조방법.

청구항 12

제10항에 있어서,

상기 나노 입자는 Au, Cr, Cu 및 Fe로 이루어진 그룹 중에서 선택된 어느 하나인 유기 박막 트랜지스터의 제조방법.

청구항 13

제9항에 있어서,

상기 나노 물질층은 상기 나노 입자들이 상기 게이트절연층의 면적에 70%~85%의 비율로 분포된 유기 박막 트랜지스터의 제조방법.

청구항 14

제9항에 있어서,

상기 나노 물질층을 형성하는 단계는,

상기 게이트절연층 상에 상기 나노 입자들을 포함하는 용액을 도포하는 단계; 및

경화를 통해 상기 용액에서 상기 나노 입자들만 석출하는 단계를 포함하는 유기 박막 트랜지스터의 제조방법.

청구항 15

제14항에 있어서,

상기 용액을 도포하는 단계는,

나노임프린트(Nano Imprint)법 또는 스핀코팅(Spin Coating)법을 사용하여 실시하는 유기 박막 트랜지스터의 제조방법.

청구항 16

제14항에 있어서,

상기 경화는,

UV법 또는 열경화법으로 실시하는 유기 박막 트랜지스터의 제조방법.

청구항 17

제9항에 있어서,

상기 활성층은 펜타신(Pentacene), 폴리아세틸렌(Polyacetylene), 폴리티오펜(Polythiophene), 프탈로시아닌(Phthalocyanine), Poly(3-hexylthiophene), Poly(3-alkylthiophene), α-ω-hexahtiophene, α-ω-di-hexyl-hexathiophene, α-ω-hexathiophene, C_{60}, Bis(dithienothiophene) 및 Dihexyl-anthradithiophene으로 이루어진 그룹 중에서 선택된 어느 하나인 유기 박막 트랜지스터의 제조방법.

청구항 18

제9항에 있어서,

상기 게이트절연층은 유기물 또는 무기물인 유기 박막 트랜지스터의 제조방법.

청구항 19

제9항에 있어서,

상기 무기물은 실리콘산화막 또는 실리콘질화막이고, 상기 유기물은 PVP(Poly 4-Vinlyphenol), PVA(Polyvinly Alcohol) 및 PI(Polyimide), PMMA(Polymethyl methacrylate)로 이루어진 그룹 중에서 선택된 어느 하나인 유기 박막 트랜지스터의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 박막 트랜지스터 및 그의 제조방법에 관한 것으로, 특히 나노 물질층을 갖는 유기 박막 트랜지스터 및 그의 제조방법에 관한 것이다.

배 경 기 술

<2> 최근, 박막 트랜지스터(Thin Film Transistor, TFT)는 유기발광표시장치(Organic Light Emitting Display, OLED) 또는 액정표시장치(Liquid Crystal Display, LCD)와 같은 표시장치에서 각각의 화소(Pixel)를 동작시키는 스위칭 소자로써 광범위하게 사용되고 있다. 이에 따라, 박막 트랜지스터의 제조에 많은 관심이 기울여지고 있으며, 더 효율적인 동작특성을 갖는 박막 트랜지스터 및 그의 제조방법들이 고안되고 있다.

<3> 한편, 디스플레이(Display)에 많이 이용되고 있는 박막 트랜지스터는 대부분 비정질 실리콘 반도체, 산화 실리콘 절연막 및 금속전극으로 이루어져 있다. 특히, 유기박막 트랜지스터의 경우 고분자 또는 저분자 물질을 활성층에 사용함으로써 유연성을 갖게되며, 유연한 응용분야의 구동소자로 사용할 수 있다.

<4> 도 1은 유기 박막 트랜지스터의 구조를 나타내는 단면도이다.

<5> 도 1에 도시된 바와 같이, 유기 박막 트렌지스터는 기판(11), 게이트(12), 게이트절연층(13), 활성층(14), 소스(15), 드레인(16)으로 구성되어 있다. 이때, 활성층(14)이 유기물로 형성된 것을 유기 박막 트랜지스터라고 한다.

<6> 상기 구조의 유기 박막 트랜지스터의 구동원리를 p-형 반도체의 예를 들어 설명하면 다음과 같다. 먼저, 소스(15)와 드레인(16) 사이에 전압을 인가하여 전류를 흘리면 낮은 전압하에서는 전압에 비례하는 전류가 흐르게 된다. 여기에 게이트(12)에 양의 전압을 인가하면 이 인가된 전압에 의한 전기장에 의하여 양의 전하인 정공들은 모두 활성층(14)의 상부로 밀려 올라가게 된다. 따라서, 게이트절연층(13)에 가까운 부분은 전도 전하가 없는 공핍층(depletion layer)이 생기게 되고, 이런 상황에서는 소스와 드레인 사이에 전압을 인가해도 전도 가능한 전하 운반자가 줄어들었기 때문에 낮은 전류의 양이 흐른다. 반대로, 게이트(12)에 음의 전압을 인가하면, 이 인가된 전압에 의한 전기장의 효과로 게이트절연층(13)의 가까운 부분에 양의 전하가 유도된 축적층(accumulation layer)이 형성된다. 이 때, 소스(15)와 드레인(16) 사이에는 전도 가능한 전하 운반자가 많이 존재하기 때문에, 더 많은 전류를 흘릴 수가 있다. 따라서, 소스(15)와 드레인(16) 사이에 전압을 인가한 상태에

서 게이트(12)에 양의 전압과 음의 전압을 교대로 인가하여 줌으로써 소스(15)와 드레인(16) 사이에 흐르는 전류를 제어할 수가 있다.

<7> 그러나, 전류구동 소자인 유기 박막 트랜지스터를 효율적으로 구동하기 위해서는 수백mA/㎠의 전류가 필요하지만, 유기물 분자 간의 결합을 따라 전하의 이동이 어려워 낮은 이동도에 의해 낮은 전압레벨(수십 마이크로)의 특성을 갖는다.

<8> 이를 극복하기 위해, 게이트절연층(13)에 무기물 박막을 삽입하여 무기물박막의 고유전율을 이용해 전하의 이동도를 높이거나, 나노절연물질을 게이트절연층(13)에 혼합하여 전하의 이동도를 높이려는 시도가 있으나, 무기물 박막을 게이트절연층(13)에 추가하는 경우 유기 박막 트랜지스터가 갖는 유연성에 부합되지 못하고, 복합 무기물질을 삽입하는 공정은 복잡한 제작공정이 포함되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<9> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 제안되는 것으로, 유기 박막 트랜지스터의 전하 이동도를 개선하여 낮은 전압레벨을 높일 수 있는 유기 박막 트랜지스터 및 그의 제조방법을 제공하는데 그 목적이 있다.

과제 해결수단

<10> 상기 목적을 달성하기 위한 본 발명의 유기 박막 트랜지스터는 기판 상에 형성된 게이트전극; 상기 게이트전극을 포함하는 기판 상에 형성된 게이트절연층; 상기 게이트절연층 상에 나노 입자들로 이루어진 나노 물질층; 상기 나노 물질층을 포함하는 전체 구조 상에 형성된 활성층; 상기 활성층 상에 형성된 소스 및 드레인 전극을 포함하는 것을 특징으로 한다.

<11> 특히, 나노 입자는 분극 성질을 나타내는 전이금속인 것을 특징으로 하고, 나노 입자는 은나노 입자이거나 또한, 나노 입자는 Au, Cr, Cu 및 Fe로 인 것을 특징으로 하며, 나노 물질층은 상기 나노 입자들이 상기 게이트절연층의 표면을 70%~85%의 비율로 분포된 것을 특징으로 한다.

<12> 또한, 활성층은 펜타신(Pentacene), 폴리아세틸렌(Polyacetylene), 폴리티오펜(Polythiophene), 프탈로시아닌(Phthalocyanine), Poly(3-hexylthiophene), Poly(3-alkylthiophene), α-ω-hexahtiophene, α-ω-di-hexyl-hexathiophene, α-ω-hexathiophene, C_{60}, Bis(dithienothiophene) 및 Dihexyl-anthradithiophene으로 이루어진 그룹 중에서 선택된 어느 하나인 것을 특징으로 한다.

<13> 또한, 게이트절연층은 유기물 또는 무기물이며, 무기물은 실리콘산화막 또는 실리콘질화막이고, 유기물은 PVP(Poly 4-Vinlyphenol), PVA(Polyvinly Alcohol) 및 PI(Polyimide), PMMA(Polymethyl methacrylate)로 이루어진 그룹 중에서 선택된 어느 하나인 것을 특징으로 한다.

<14> 또한, 본 발명의 유기 박막 트랜지스터의 제조방법은 기판 상에 게이트전극을 형성하는 단계; 상기 게이트전극을 포함하는 기판 상에 게이트절연층을 형성하는 단계; 상기 게이트절연층 상에 나노 입자들로 이루어진 나노 물질층을 형성하는 단계; 상기 나노 물질층을 포함하는 전체 구조 상에 활성층을 형성하는 단계; 상기 활성층 상에 소스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<15> 특히, 나노 입자는 분극 성질을 나타내는 전이금속인 것을 특징으로 하고, 나노 입자는 은나노 입자이거나 또한, 나노 입자는 Au, Cr, Cu 및 Fe로 인 것을 특징으로 하며, 나노 물질층은 상기 나노 입자들이 상기 게이트절연층의 표면을 70%~85%의 비율로 분포된 것을 특징으로 한다.

<16> 또한, 상기 게이트절연층 상에 상기 나노 입자들을 포함하는 용액을 도포하는 단계; 경화를 통해 상기 용액에서 상기 나노 입자들만 석출하는 단계를 포함하고, 용액을 도포하는 단계는, 나노임프린트(Nano Imprint)법 또는 스핀코팅(Spin Coating)법을 사용하여 실시하며, 경화는, UV법 또는 열경화법으로 실시하는 것을 특징으로 한다.

<17> 또한, 활성층은 펜타신(Pentacene), 폴리아세틸렌(Polyacetylene), 폴리티오펜(Polythiophene), 프탈로시아닌(Phthalocyanine), Poly(3-hexylthiophene), Poly(3-alkylthiophene), α-ω-hexahtiophene, α-ω-di-hexyl-hexathiophene, α-ω-hexathiophene, C_{60}, Bis(dithienothiophene) 및 Dihexyl-anthradithiophene으로 이루어

진 그룹 중에서 선택된 어느 하나인 것을 특징으로 한다.

<18> 또한, 게이트절연층은 유기물 또는 무기물이며, 무기물은 실리콘산화막 또는 실리콘질화막이고, 유기물은 PVP(Poly 4-Vinlyphenol), PVA(Polyvinly Alcohol) 및 PI(Polyimide), PMMA(Polymethyl methacrylate)로 이루어진 그룹 중에서 선택된 어느 하나인 것을 특징으로 한다.

효 과

<19> 상술한 본 발명에 의한 유기 박막 트랜지스터 및 그의 제조방법은 게이트절연층과 활성층 사이에 나노 물질층을 형성함으로써 전하 이동도가 높고, 구동 전압 및 문턱전압이 낮으며, 후속 공정에 높은 안정성을 갖는 효과가 있다.

<20> 또한, 비휘발성 메모리 효과와 자기장 효과를 증폭시켜 소자의 성능을 향상시킬 수 있는 효과가 있다.

<21> 또한, 나노 물질층을 포함하는 유기 박막 트랜지스터는 그렇지 않은 유기 박막 트랜지스터보다 포화영역(Saturation region) 특성이 우수한 효과가 있다.

<22> 또한, 게이트전극과 소스 및 드레인 전극을 투명한 전극으로 적용하는 경우 투명 박막 트랜지스터로 응용할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<23> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<24> 도 2는 본 발명의 실시예에 따른 유기 박막 트랜지스터의 구조를 나타내는 단면도이고, 도 3은 본 발명의 실시예에 따른 유기 박막 트랜지스터의 구조를 나타내는 사시도이다.

<25> 도 2 및 도 3에 도시된 바와 같이, 기판(21) 상에 게이트 전극(22)이 형성되고, 게이트 전극(23) 상에 게이트절연층(23)이 형성된다. 그리고, 게이트절연층(23) 상에 게이트절연층(23)의 일부를 덮는 나노 물질층(24)이 형성된다. 그리고, 나노 물질층(24)을 포함하는 전체구조 상에 활성층(25)이 형성된다. 그리고, 활성층(25) 상에 소스전극(26) 및 드레인전극(27)이 형성된다.

<26> 이때, 나노 물질층(24)은 유기 박막 트랜지스터의 전하 이동도를 높이기 위한 것으로, 분극 특성을 갖는 전이금속으로 형성될 수 있으며, 지름이 2㎚~99㎚의 크기를 갖는 나노 입자들로 이루어질 수 있다. 이때, 전이 금속은 Ag, Au, Cr, Cu 및 Fe로 이루어진 그룹 중에서 선택된 어느 하나일 수 있으며, 바람직하게는 은(Ag)일 수 있다. 특히, 나노 물질층(24)은 게이트절연층(23)의 표면을 70%~85%의 비율로 덮는 형태로 형성된다.

<27> 또한, 게이트절연층(23)은 유기물 또는 무기물로 형성될 수 있다. 무기물은 실리콘산화막 또는 실리콘질화막일 수 있고, 유기물은 PVP(Poly 4-Vinlyphenol), PVA(Polyvinly Alcohol) 및 PI(Polyimide), PMMA(Polymethyl methacrylate)로 이루어진 그룹 중에서 선택된 어느 하나일 수 있다.

<28> 또한, 활성층(25)은 펜타신(Pentacene), 폴리아세틸렌(Polyacetylene), 폴리티오펜(Polythiophene), 프탈로시아닌(Phthalocyanine), Poly(3-hexylthiophene), Poly(3-alkylthiophene), α-ω-hexahtiophene, α-ω-di-hexyl-hexathiophene, α-ω-hexathiophene, C_{60}, Bis(dithienothiophene) 및 Dihexyl-anthradithiophene으로 이루어진 그룹 중에서 선택된 어느 하나일 수 있다.

<29> 자세히 살펴보면, 소스 및 드레인 전극(26, 27)에 바이어스가 인가되지 않은 상태에서는 활성층(25)에 도핑된 나노 입자들이 활성층(25) 내 불규칙하게 분산되어 있는 상태를 갖는다. 이 때, 소스 및 드레인 전극(26, 27)에 바이어스가 인가되면, 활성층(25) 내부에 불규칙하게 분산되어 있던 나노입자들이 소스 및 드레인 전극(26, 27)의 바이어스에 의하여 정렬되면서 도전성 필라멘트를 구성하게 된다. 이러한, 도전성 필라멘트는 전하(전자 혹은 정공)의 이동경로를 제공하게 되며, 일반적인 반도체물질에 비하여 나노 물질층(24)을 이루는 나노 입자들은 금속물질로 구성되어 있기 때문에 보다 우수한 전하이동능력을 제공할 수 있다.

<30> 따라서, 전하 이동도가 높고 구동전압 및 문턱전압이 낮으며 후속 공정에서 높은 안정성을 제공할 수 있다. 또한, 게이트절연층(23)과 활성층(25) 사이에 나노 물질층이 형성됨으로써, 비휘발성 메모리 효과와, 자기장 효과를 증폭시켜 소자의 성능 향상을 가져올 수 있다.

<31> 또한, 게이트, 소스, 드레인전극을 투명한 전극으로 사용하여 투명성을 갖는 투명 박막 트랜지스터로도 사용할 수 있다.

<32> 도 4a 내지 도 4c는 본 발명의 실시예에 따른 유기 박막 트랜지스터의 제조방법을 나타내는 공정 단면도이다. 설명의 편의를 위해 도 2와 동일한 도면부호를 사용하기로 한다.

<33> 도 4a에 도시된 바와 같이, 기판(21) 상에 게이트전극(22)을 형성한다. 기판(21)은 유리, 플라스틱 소재 및 실리콘으로 이루어진 그룹 중에서 선택된 어느 하나의 절연특성을 갖는 물질로 사용할 수 있다. 또한, 플라스틱 소재는 폴리탄산에스테르(PolyCarbonate, PC), 폴리메틸메타크릴레이드(PolyMethylMetaAcrlate, PMMA), 폴리디메틸실록산(PolyDiMethylSiloxane; PDMS), 폴리에테르이미드(Polyetherimide, PEI), 폴리에테르에테르케톤(polyetheretherketone, PEEK), 폴리이미드(Polyimide, PI), 폴리에테르설폰(Polyethersulfone, PES), 폴리에테르이미드(Polyetherimide, PEI), 폴리에스테르(Polyester, PET), 폴리에틸렌나프탈레이트(polyethylenenapthalate, PEN) 및 환형올레핀공중합체(Cyclic Olefin Copolymer, COC)로 이루어진 그룹에서 선택된 어느 하나를 사용할 수 있다. 게이트전극(22)은 ITO(Indum Tin-Oxide)와 같은 투명한 전극을 사용할 수 있고, 게이트전극(22)과 소스 및 드레인 전극을 투명한 전극으로 사용하는 경우 투명 박막 트랜지스터를 형성할 수 있다.

<34> 이어서, 게이트전극(22)을 포함하는 기판(21) 상에 게이트절연층(23)을 형성한다. 게이트절연층(23)은 유기물 또는 무기물로 형성될 수 있다. 무기물은 실리콘산화막 또는 실리콘질화막일 수 있고, 유기물은 PVP(Poly 4-Vinlyphenol), PVA(Polyvinly Alcohol) 및 PI(Polyimide), PMMA(Polymethyl methacrylate)로 이루어진 그룹 중에서 선택된 어느 하나일 수 있다.

<35> 도 4b에 도시된 바와 같이, 게이트절연층(23) 상에 나노 입자들로 이루어진 나노 물질층(24)을 형성한다. 나노 물질층(24)을 형성하기 위해 먼저, 게이트절연층(23) 상에 나노 입자들을 포함하는 용액을 도포한다. 이때, 용액의 도포는 나노 임프린트(Nano Imprint)법 또는 스핀코팅(Spin Coating)법을 사용하여 실시할 수 있다. 다음으로, 경화를 실시하여 용액에서 나노 입자들을 석출한다. 이때, 경화는 UV법 또는 열경화법을 실시할 수 있다. 예컨대, 액상의 나노 입자를 스핀 코터를 사용하여 도포시킨 후, 핫 플레이트 위에서 일정 조건으로 가열하여 나노 입자가 석출되도록 함으로써 나노 물질층(24)을 형성할 수 있다.

<36> 이때, 나노 물질층(24)은 유기 박막 트랜지스터의 전하 이동도를 높이기 위한 것으로, 나노 물질층(24)을 이루는 나노 입자는 분극 특성을 갖는 전이 금속일 수 있으며, 그 크기는 지름이 2nm~99nm일 수 있다. 이때, 전이 금속은 Ag, Au, Cr, Cu 및 Fe로 이루어진 그룹 중에서 선택된 어느 하나일 수 있으며, 바람직하게는 은(Ag)일 수 있다.

<37> 특히, 나노 물질층(24)은 나노 입자들이 게이트절연층(23)의 면적에 70%~85%의 비율로 분포된 형태로 형성할 수 있다. 이는, 나노 입자로 이루어진 나노 물질층(24)이 아닌 금속층으로 형성하거나, 나노 입자들이 게이트절연층(23)의 면적에 100%로 분포되는 경우 분극특성을 얻기 어려워 전하의 이동도를 높일 수 없기 때문이다. 또한, 투명성을 갖지 못하여 투명 박막 트랜지스터로 사용할 수 없다. 따라서, 도포법을 사용하여 게이트절연층(23)의 면적에 70%~85%의 비율로 나노 입자들이 분포된 나노 물질층(24)을 형성하는 것이 바람직하다.

<38> 도 4c에 도시된 바와 같이, 나노 물질층(24)을 포함하는 전체 구조 상에 활성층(25)을 형성한다. 유기 박막 트랜지스터를 형성하기 위해 활성층(25)은 유기물질로 형성한다. 이때, 유기물질은 펜타신(Pentacene), 폴리아세틸렌(Polyacetylene), 폴리티오펜(Polythiophene), 프탈로시아닌(Phthalocyanine), Poly(3-hexylthiophene), Poly(3-alkylthiophene), α-ω-hexahtiophene, α-ω-di-hexyl-hexathiophene, α-ω-hexathiophene, C_{60}, Bis(dithienothiophene) 및 Dihexyl-anthradithiophene으로 이루어진 그룹 중에서 선택된 어느 하나일 수 있다.

<39> 이어서, 활성층(25) 상에 활성층(25) 상에 소스 전극(26) 및 드레인 전극(27)을 형성한다. 소스 및 드레인 전극(26, 27)은 게이트전극(22)과 동일한 물질로 형성할 수 있고, 예컨대 ITO와 같은 투명한 전극을 사용할 수 있다. 소스 및 드레인 전극(26, 27)과 게이트전극(22) 모두 투명한 전극을 사용하는 경우 투명 박막 트랜지스터를 형성할 수 있다.

<40> 도 5a 내지 도 5c는 나노 물질층을 나타내는 사진이다.

<41> 도 5a는 나노 물질층을 2차원으로 나타낸 원자힘 현미경의 사진이며, 도 5b는 나노 물질층을 3차원으로 나타낸 원자힘 현미경의 사진이다. 또한, 도 5c는 은나노 입자들이 유전층에 도포된 모습을 전자 현미경 사진을 통해

나타낸 사진이다.

<42> 위와 같이, 도 5a 내지 도 5c를 참고하면, 은나노 입자들이 도포되어 있는 것을 알 수 있다. 이렇게 도포되어 있는 은나노 입자들은 소스 및 드레인 전극에 바이어스가 인가되지 않은 상태에서는 불규칙하게 분산되어 있는 상태를 갖는다. 이 때, 소스 및 드레인 전극에 바이어스가 인가되면, 불규칙하게 분산되어 있던 은나노입자들이 소스 및 드레인 전극의 바이어스에 의하여 정렬되면서 도전성 필라멘트를 구성하게 된다. 이러한, 도전성 필라멘트는 전하(전자 혹은 정공)의 이동경로를 제공하게 되며, 은나노 입자들은 일반적인 반도체 물질보다 우수한 전하이동능력을 제공할 수 있다.

<43> 따라서, 전하 이동도가 높고 구동전압 및 문턱전압이 낮으며 후속 공정에서 높은 안정성을 제공할 수 있다. 또한, 게이트절연층과 활성층 사이에 나노 물질층이 형성됨으로써, 비휘발성 메모리 효과와, 자기장 효과를 증폭시켜 소자의 성능 향상을 가져올 수 있다.

<44> 도 6a 및 도 6b는 은나노 입자를 나타내는 그래프이다.

<45> 도 6a는 UV-VIS 흡수 스펙트럼에서 플라스몬 피크(Plasmon peak)을 나타낸 그래프이다. 도 6a를 참조하면, 플라스몬 피크가 (422nm, 0.4)로 422nm파장에서 0.4의 흡수율을 갖는 것을 알 수 있다. 따라서, 플라스몬 피크가 나타난 물질이 은나노 임을 알 수 있다.

<46> 도 6b는 X-ray 회절 스펙트럼 분석을 나타낸 그래프이다. 도 6b를 참조하면, 은나노 입자의 분포도를 알 수 있다. 즉, 입사각에 따라 강도(Intensity)가 변화되는데 입사각이 커짐에 따라 은나노 입자가 (1,1,1)방향, (2,0,0)방향, (2,2,0)방향 (3,1,1)방향에서 각각 검출되며, 이때 가장 큰 피크치를 나타낸 (1,1,1)방향에 은나노 입자가 가장 많이 분포되어 있음을 알 수 있다.

<47> 위의 도 6a의 실험을 통해 나노 물질층을 형성하기 위한 나노 입자를 확인할 수 있으며, 이렇게 확인된 은나노 입자가 포함된 용액을 액상공정을 사용하여 도핑 및 경화시킴으로써 나노 물질층을 형성할 수 있다. 또한, 도 6b를 통해 나노 물질층에서 나노 입자의 분포도를 확인할 수 있다.

<48> 은나노 입자를 형성하기 위한 방법을 자세한 예로 들면, 먼저 PVP(Polyvinylpyrrolidone)를 에틸렌글리콜(Ethylene glycol)용액에 녹인다. 이어서, PVP가 녹아있는 용액을 100℃에서 마그네틱 스터러를 사용하여 저어준다. 이후, 용액에 $AgNO_3$를 넣어주면 반응이 진행되고, 5분 정도 지나면 은나노 입자가 형성되면서 용액의 색깔이 옅은 갈색으로 변하게 된다. 이렇게, 형성된 은나노 입자를 도 6a의 실험을 통해 확인하고, 확인된 은나노 입자를 이용하여 나노 물질층을 형성하며, 도 6b의 실험을 통해 은나노 입자의 분포도를 확인할 수 있다.

<49> 도 7a 및 도 7b는 비교예와 본 발명의 실시예에서 I-V분포(드레인전류-드레인전압)를 나타내는 그래프이다.

<50> 도 7a는 나노 물질층이 형성되지 않은 비교예의 I-V분포이며, 도 7b는 나노 물질층을 포함하는 본 발명의 실시예의 I-V분포다. 도 7a 및 도 7b를 비교하면, 게이트전압 -40V, 드레인전압 -30V 일때 도 7a에서 드레인전류가 -36㎂ 인데 반해, 도 7b에서 드레인전류가 -90㎂으로 2배 이상 낮은 것을 알 수 있다. 즉, 본 발명의 실시예인 도 7b의 그래프에서 드레인전류가 비교예에 비해 포화전류가 매우 크다는 것을 알 수 있다.

<51> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

<52> 도 1은 유기 박막 트랜지스터의 구조를 나타내는 단면도,

<53> 도 2는 본 발명의 실시예에 따른 유기 박막 트랜지스터의 구조를 나타내는 단면도,

<54> 도 3은 본 발명의 실시예에 따른 유기 박막 트랜지스터의 구조를 나타내는 사시도,

<55> 도 4a 내지 도 4c는 본 발명의 실시예에 따른 유기 박막 트랜지스터의 제조방법을 나타내는 공정 단면도,

<56> 도 5a 내지 도 5c는 나노 물질층을 나타내는 사진,

<57> 도 6a 및 도 6b는 은나노 입자를 나타내는 그래프,

<58> 도 7a 및 도 7b는 비교예와 본 발명의 실시예에서 I-V분포를 나타내는 그래프.

<59> * 도면의 주요 부분에 대한 부호의 설명

<60> 21 : 기판 22 : 게이트전극

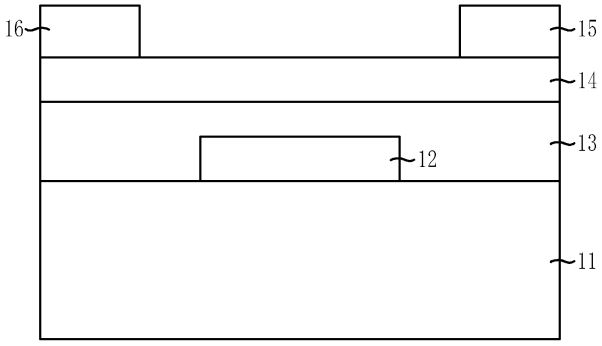
<61> 23 : 게이트절연층 24 : 나노 물질층

<62> 25 : 활성층 26 : 소스 전극

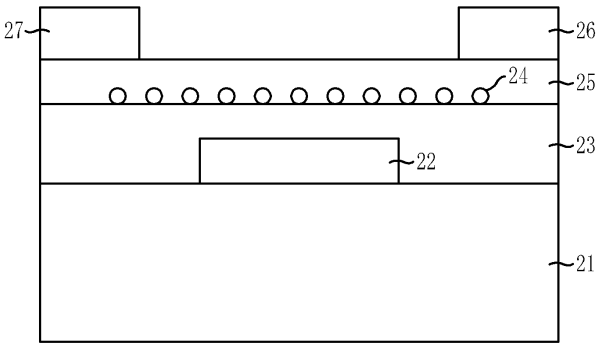
<63> 27 : 드레인 전극

도면

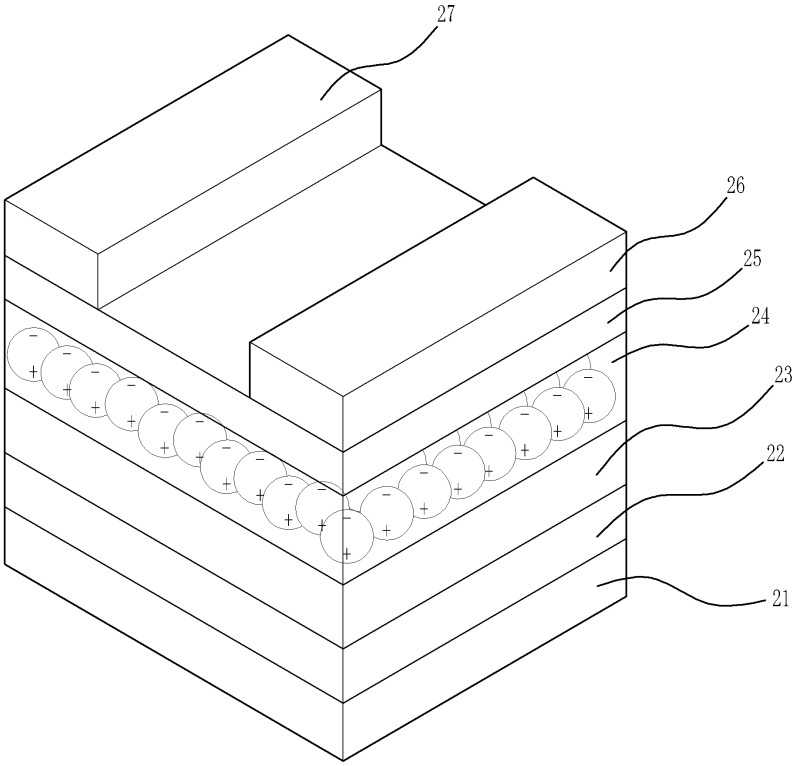
도면1



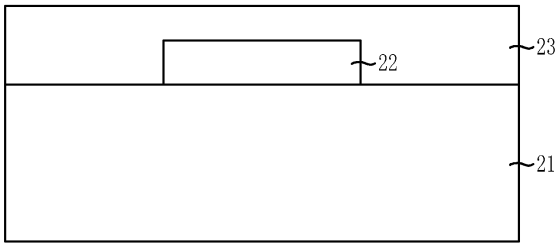
도면2



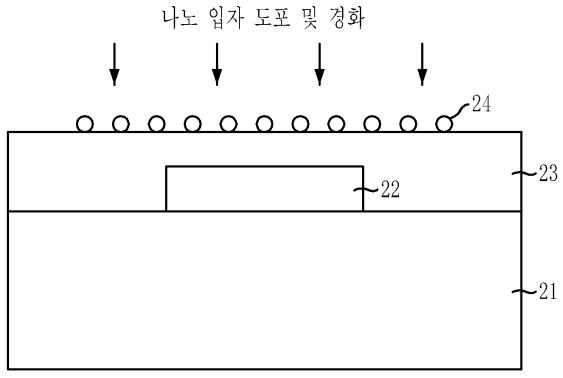
도면3



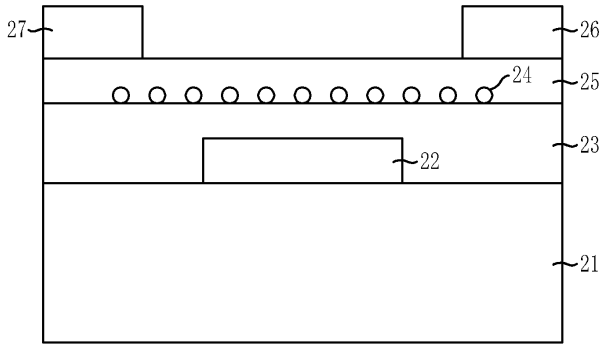
도면4a



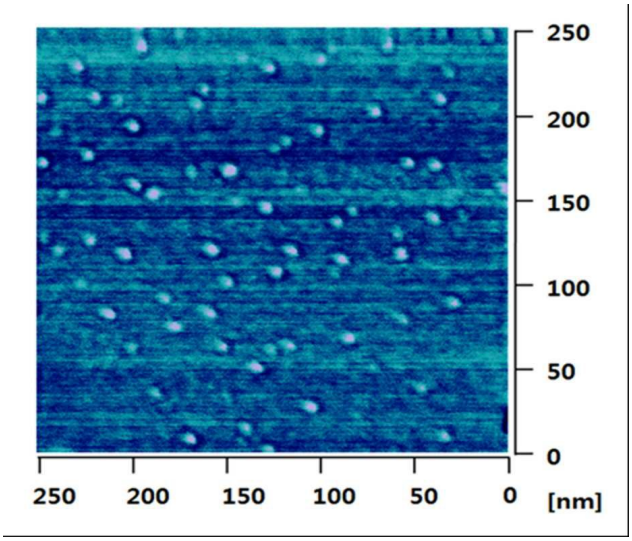
도면4b



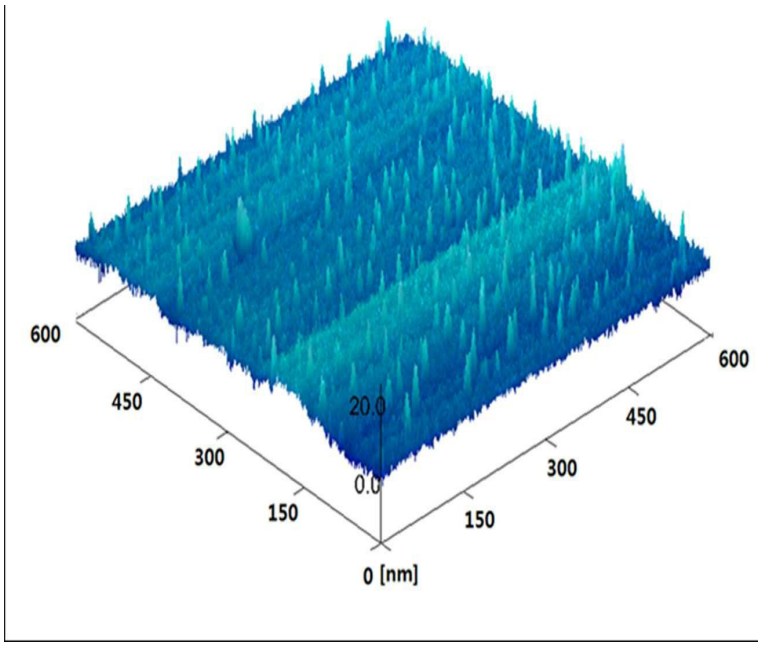
도면4c



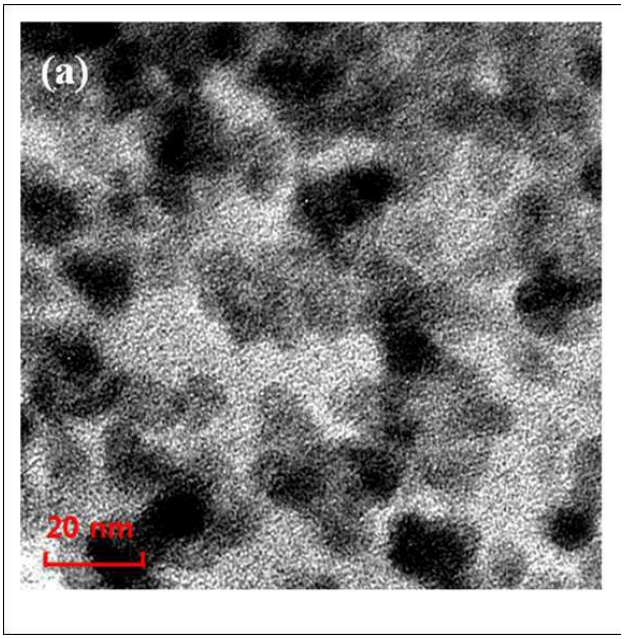
도면5a



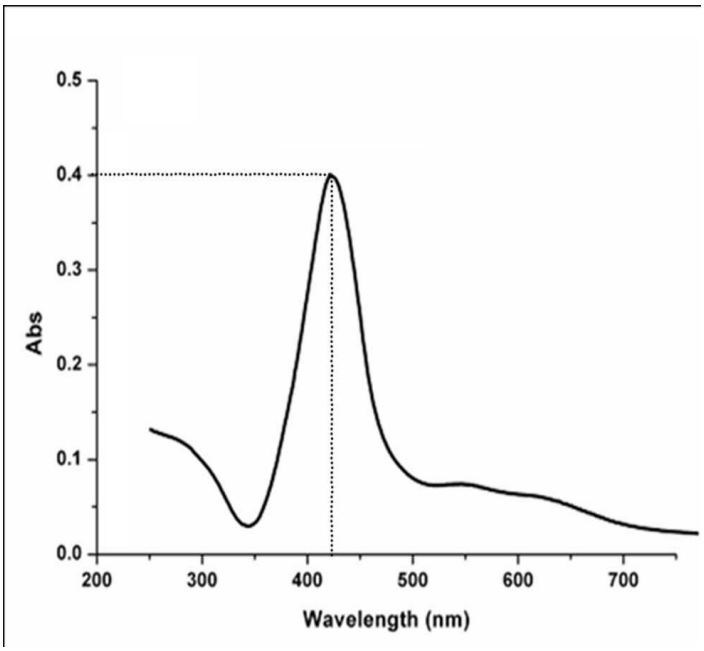
도면5b



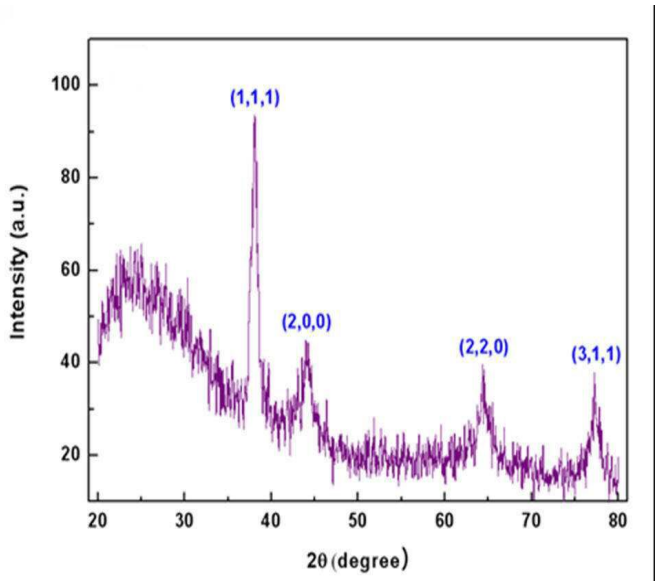
도면5c



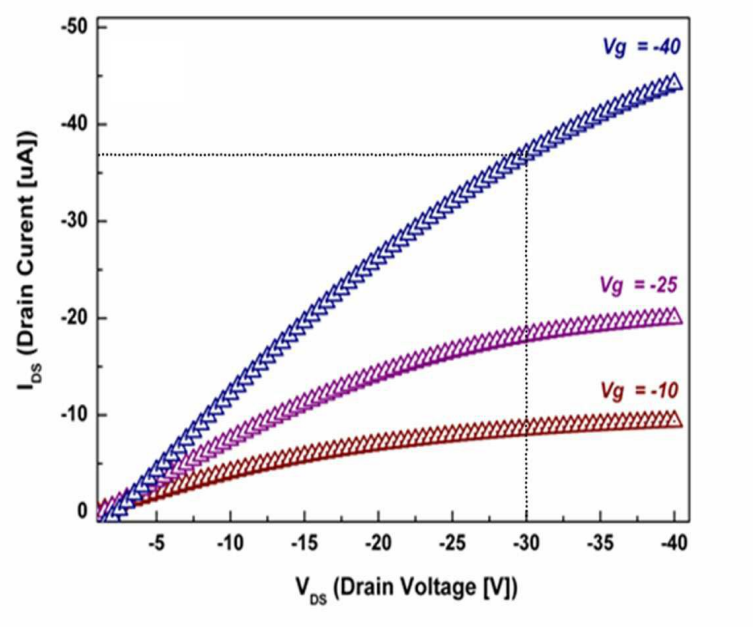
도면6a


0.5
0.4
0.3
0.2
0.1
0.0
Abs
200
300
400
500
600
700
Wavelength (nm)

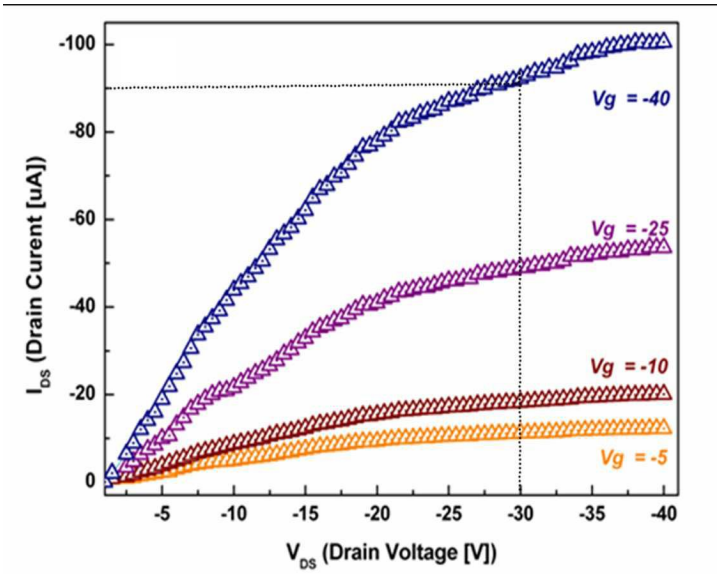
도면6b


100
80
60
40
20
Intensity (a.u.)
(1,1,1)
(2,0,0)
(2,2,0)
(3,1,1)
20
30
40
50
60
70
80
2θ (degree)

도면7a


Vg = -40
Vg = -25
Vg = -10
I_DS (Drain Curent [uA])
V_DS (Drain Voltage [V])
-50
-40
-30
-20
-10
0
-5
-10
-15
-20
-25
-30
-35
-40

도면7b


Vg = -40
Vg = -25
Vg = -10
Vg = -5
I_DS (Drain Curent [uA])
V_DS (Drain Voltage [V])
-100
-80
-60
-40
-20
0
-5
-10
-15
-20
-25
-30
-35
-40