

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5990930号  
(P5990930)

(45) 発行日 平成28年9月14日(2016.9.14)

(24) 登録日 平成28年8月26日(2016.8.26)

(51) Int.Cl.	F 1
HO4R 17/00	(2006.01)
A61B 8/00	(2006.01)
GO1N 29/24	(2006.01)
	HO4R 17/00
	GO1N 29/24
	A61B 8/00
	HO4R 17/00
	GO1N 29/24

請求項の数 18 (全 14 頁)

(21) 出願番号 特願2012-38402 (P2012-38402)  
 (22) 出願日 平成24年2月24日 (2012.2.24)  
 (65) 公開番号 特開2013-175879 (P2013-175879A)  
 (43) 公開日 平成25年9月5日 (2013.9.5)  
 審査請求日 平成27年2月24日 (2015.2.24)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区新宿四丁目1番6号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100104710  
 弁理士 竹腰 昇  
 (74) 代理人 100124682  
 弁理士 黒田 泰  
 (72) 発明者 中村 友亮  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 (72) 発明者 鶴野 次郎  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】超音波トランスデューサー素子チップおよびプローブ並びに電子機器および超音波診断装置

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の開口がアレイ状に配置された基板と、  
前記基板の第1面に形成されて前記複数の開口を覆う可撓膜と、  
前記基板の厚み方向からの平面視で、前記可撓膜が前記開口を覆う領域に設けられ、2  
つの電極間に圧電体膜を有する超音波トランスデューサー素子と、  
前記基板の前記第1面とは反対側の第2面に固定され、前記基板の前記厚み方向からの  
平面視で前記複数の開口の少なくとも1つ以上を覆う補強板とを備え、  
前記複数の開口の間の仕切り壁部では、壁厚みが壁高さより小さく、  
前記厚み方向からの平面視で、前記圧電体膜と前記仕切り壁部とが重ならない

ことを特徴とする超音波トランスデューサー素子チップ。

10

## 【請求項 2】

請求項1に記載の超音波トランスデューサー素子チップにおいて、前記補強板は個々の前記仕切り壁部に少なくとも1カ所の接合域で接合されることを特徴とする超音波トランスデューサー素子チップ。

## 【請求項 3】

請求項2に記載の超音波トランスデューサー素子チップにおいて、前記開口の輪郭は四角形で規定されることを特徴とする超音波トランスデューサー素子チップ。

## 【請求項 4】

請求項3に記載の超音波トランスデューサー素子チップにおいて、前記四角形は対向す

20

る2辺の長辺を有し、前記仕切り壁部の前記接合域は前記長辺の中央位置を含む領域であることを特徴とする超音波トランスデューサー素子チップ。

【請求項5】

請求項4に記載の超音波トランスデューサー素子チップにおいて、前記仕切り壁部の前記接合域は前記長辺の全長を含む領域であることを特徴とする超音波トランスデューサー素子チップ。

【請求項6】

請求項5に記載の超音波トランスデューサー素子チップにおいて、前記仕切り壁部は前記長辺の全長にわたって前記開口同士の間の全面で面接合されることを特徴とする超音波トランスデューサー素子チップ。

10

【請求項7】

請求項3に記載の超音波トランスデューサー素子チップにおいて、前記仕切り壁部の前記接合域は前記四角形の各辺に少なくとも1カ所ずつ配置されることを特徴とする超音波トランスデューサー素子チップ。

【請求項8】

請求項7に記載の超音波トランスデューサー素子チップにおいて、前記仕切り壁部の前記接合域は前記四角形を途切れなく囲むことを特徴とする超音波トランスデューサー素子チップ。

20

【請求項9】

請求項8に記載の超音波トランスデューサー素子チップにおいて、前記仕切り壁部は前記四角形の全周にわたって前記開口同士の間の全面で面接合されることを特徴とする超音波トランスデューサー素子チップ。

【請求項10】

請求項1～9のいずれか1項に記載の超音波トランスデューサー素子チップにおいて、前記基板の厚み方向の断面視で、前記圧電体膜の前記可撓膜と交差する側面は、前記基板の厚み方向に対して傾斜していることを特徴とする超音波トランスデューサー素子チップ。

【請求項11】

請求項1～10のいずれか1項に記載の超音波トランスデューサー素子チップにおいて、前記基板の厚み方向からの平面視で、前記基板の前記開口が配置される領域を囲う外周領域の幅は、前記開口の幅より大きいことを特徴とする超音波トランスデューサー素子チップ。

30

【請求項12】

請求項1～11のいずれか1項に記載の超音波トランスデューサー素子チップにおいて、前記超音波トランスデューサー素子は、保護膜で覆われていることを特徴とする超音波トランスデューサー素子チップ。

【請求項13】

請求項1～12のいずれか1項に記載の超音波トランスデューサー素子チップにおいて、前記仕切り壁部は、該仕切り壁が前記開口に露出する全面が前記基板の母材で形成されていることを特徴とする超音波トランスデューサー素子チップ。

40

【請求項14】

請求項1～13のいずれか1項に記載の超音波トランスデューサー素子チップにおいて、前記基板に接続され、前記超音波トランスデューサー素子と導通する配線を含むフレキシブル基板を備えることを特徴とする超音波トランスデューサー素子チップ。

【請求項15】

請求項1～14のいずれか1項に記載の超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体とを備えることを特徴とするプローブ。

【請求項16】

請求項15に記載のプローブと、前記プローブに接続されて、前記超音波トランスデュ

50

ーサー素子の出力を処理する処理回路とを備えることを特徴とする電子機器。

【請求項 17】

請求項15に記載のプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることを特徴とする超音波診断装置。

【請求項 18】

請求項1～14のいずれか1項に記載の超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体とを備えることを特徴とするプローブヘッド。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、超音波トランスデューサー素子チップ、および、それを利用したプローブ、並びに、そういうプローブを利用した電子機器および超音波診断装置等に関する。

【背景技術】

【0002】

例えば特許文献1に開示されるように、超音波トランスデューサー素子チップは基板を備える。基板には複数の開口が形成される。個々の開口に超音波トランスデューサー素子が設けられる。超音波トランスデューサー素子は振動膜を備える。振動膜は基板の表面から開口を塞ぐ。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-82624号公報

【特許文献2】特開2011-77918号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

基板に開口が形成されると、基板の強度は低下する。基板の厚み方向の力に対して強度が不足する。超音波トランスデューサー素子チップが被検体に押し付けられると、超音波トランスデューサー素子が破損することがあった。

30

【0005】

本発明の少なくとも1つの態様によれば、薄型で、かつ、基板の厚み方向に十分な強度を有する超音波トランスデューサー素子チップは提供することができる。

【課題を解決するための手段】

【0006】

(1) 本発明の一態様は、複数の開口がアレイ状に配置された基板と、個々の前記複数の開口に設けられる超音波トランスデューサー素子と、前記基板の前記超音波トランスデューサー素子が設けられる面とは反対側の面に固定され、前記基板の厚み方向からの平面視で前記複数の開口の少なくとも1つ以上を覆う板状部材とを備え、前記複数の開口の間の仕切り壁部では、壁厚みが壁高さより小さい超音波トランスデューサー素子チップに関する。

40

【0007】

こうした超音波トランスデューサー素子チップでは超音波トランスデューサー素子は薄型に形成されることができる。超音波トランスデューサー素子は薄型の基板に形成されることができる。板状部材が基板に固定されても、超音波トランスデューサー素子チップは薄型に形成されることができる。同時に、板状部材は基板の強度を補強する。特に、仕切り壁部で壁厚みが壁高さよりも小さいことから、断面係数の関係で仕切り壁部では基板の厚み方向に十分な剛性が確保されることができる。基板の厚み方向の力は仕切り壁部を伝って板状部材で支持されることができる。こうして超音波トランスデューサー素子チップ

50

は基板の厚み方向に十分な強度を有することができる。ここで、仕切り壁部は、隣接する開口の空間同士の間に挟まれる基板の部位に相当する。壁厚みは仕切り壁部の厚みすなわち開口同士の距離に相当する。仕切り壁部の壁面が平面で構成される場合には、壁厚みはその壁面に直交する垂線の長さで規定されることがある。壁高さは基板の厚み方向に規定される壁面の長さで規定されることがある。

【0008】

(2) 前記板状部材は個々の前記仕切り壁部に少なくとも1力所の接合域で接合されることがある。仕切り壁部が板状部材に接合されると、仕切り壁部の動きは板状部材で拘束される。したがって、仕切り壁部の振動は防止されることがある。その結果、超音波トランスデューサー素子同士のクロストークは防止されることがある。しかも、こうして仕切り壁部の動きが拘束されると、超音波トランスデューサー素子の超音波振動に対して仕切り壁部の振動の作用は回避されることがある。超音波トランスデューサー素子ではクリアな振動モードの超音波振動が得られる。こうして仕切り壁部の振動が回避されると、超音波振動の振幅の低下も抑制されることがある。

10

【0009】

(3) 前記開口の輪郭は四角形で規定されることがある。四角い輪郭同士の開口が隣り合うと、仕切り壁部は均一な壁厚みで形成される。特に、超音波トランスデューサー素子の密集度が高まれば高まるほど、仕切り壁部の壁厚みは均一に減少する。したがって、仕切り壁部の剛性は著しく弱まる。こうしたときに仕切り壁部が板状部材に連結されれば、仕切り壁部の振動は効果的に防止されることがある。

20

【0010】

(4) 前記四角形は対向する2辺の長辺を有することができ、前記仕切り壁部の前記接合域は前記長辺の中央位置を含む領域であることができる。こうして仕切り壁部のうち振動振幅の大きい部位が板状部材に接合される。その結果、仕切り壁部の振動は効果的に防止されることがある。

【0011】

(5) 前記仕切り壁部の前記接合域は前記長辺の全長を含む領域であることができる。こうして長辺の全長にわたって仕切り壁部が板状部材に接合されれば、仕切り壁部の振動は確実に防止されることがある。

30

【0012】

(6) 前記仕切り壁部は前記長辺の全長にわたって前記開口同士の間の全面で面接合されることがある。こうして長辺の全長にわたって開口同士の間で全面で仕切り壁部が板状部材に面接合されれば、仕切り壁部の振動は確実に防止されることがある。

【0013】

(7) 前記仕切り壁部の前記接合域は前記四角形の各辺に少なくとも1力所ずつ配置されることがある。こうして四角形の各辺で仕切り壁部が板状部材に接合されれば、仕切り壁部の振動は確実に防止されることがある。

【0014】

(8) 前記仕切り壁部の前記接合域は前記四角形を途切れなく囲むことができる。こうして四角形の全域で仕切り壁部が板状部材に接合されれば、仕切り壁部の振動は確実に防止されることがある。

40

【0015】

(9) 前記仕切り壁部は前記四角形の全周にわたって前記開口同士の間の全面で面接合されることがある。こうして四角形の全周にわたって開口同士の間で全面で仕切り壁部が板状部材に面接合されれば、仕切り壁部の振動は確実に防止されることがある。

【0016】

(10) 超音波トランスデューサー素子チップはプローブに組み込まれて利用されることがある。プローブは、超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体とを備えることができる。

【0017】

50

(11) プローブは電子機器に組み込まれて利用されることがある。電子機器は、プローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理する処理回路とを備えることができる。

【0018】

(12) 同様にプローブは超音波診断装置に組み込まれて利用されることがある。超音波診断装置は、プローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることができる。

【0019】

(13) 超音波トランスデューサー素子チップはプローブヘッドに組み込まれて利用されることがある。プローブヘッドは、超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持し、プローブ本体に取り付けられるように構成される筐体とを備えることができる。

【図面の簡単な説明】

【0020】

【図1】一実施形態に係る電子機器の一具体例すなわち超音波診断装置を概略的に示す外観図である。

【図2】超音波プローブの拡大正面図である。

【図3】超音波トランスデューサー素子チップの拡大平面図である。

【図4】図3の4-4線に沿った断面図である。

【図5】基体の裏面の平面図である。

【図6】超音波診断装置の回路構成を概略的に示すブロック図である。

【図7】シリコンウエハー上に形成された可撓膜および下部電極を概略的に示す部分拡大垂直断面図である。

【図8】下部電極上に形成された圧電体膜および上部電極を概略的に示す部分拡大垂直断面図である。

【図9】シリコンウエハーを覆う導電膜を概略的に示す部分拡大垂直断面図である。

【図10】シリコンウエハーに形成された開口および補強板用のウエハーを概略的に示す部分拡大垂直断面図である。

【発明を実施するための形態】

【0021】

以下、添付図面を参照しつつ本発明の一実施形態を説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0022】

(1) 超音波診断装置の全体構成

図1は本発明の一実施形態に係る電子機器の一具体例すなわち超音波診断装置11の構成を概略的に示す。超音波診断装置11は装置端末12と超音波プローブ(プローブ)13とを備える。装置端末12と超音波プローブ13とはケーブル14で相互に接続される。装置端末12と超音波プローブ13とはケーブル14を通じて電気信号をやりとりする。装置端末12にはディスプレイパネル(表示装置)15が組み込まれる。ディスプレイパネル15の画面は装置端末12の表面で露出する。装置端末12では、後述されるように、超音波プローブ13で検出された超音波に基づき画像が生成される。画像化された検出結果がディスプレイパネル15の画面に表示される。

【0023】

図2に示されるように、超音波プローブ13は筐体16を有する。筐体16内には超音波トランスデューサー素子チップ(以下「素子チップ」という)17が収容される。素子チップ17の表面は筐体16の表面で露出することができる。素子チップ17は表面から超音波を出力するとともに超音波の反射波を受信する。その他、超音波プローブ13は、プローブ本体13aに着脱自在に連結されるプローブヘッド13bを備えることができる

10

20

30

40

50

。このとき、素子チップ 17 はプローブヘッド 13 b の筐体 16 内に組み込まれることができる。

【0024】

(2) 超音波トランスデューサー素子チップの構成

図3は一実施形態に係る素子チップ 17 の平面図を概略的に示す。素子チップ 17 は基板 21 を備える。基板 21 の表面には素子アレイ 22 が形成される。素子アレイ 22 は超音波トランスデューサー素子(以下「素子」という) 23 の配列で構成される。配列は複数行複数列のマトリクスで形成される。個々の素子 23 は圧電素子部を備える。圧電素子部は下部電極 24、上部電極 25 および圧電体膜 26 で構成される。個々の素子 23 ごとに下部電極 24 および上部電極 25 の間に圧電体膜 26 が挟み込まれる。

10

【0025】

下部電極 24 は複数本の第1導電体 24 a を有する。第1導電体 24 a は配列の行方向に相互に平行に延びる。1行の素子 23 ごとに1本の第1導電体 24 a が割り当てられる。1本の第1導電体 24 a は配列の行方向に並ぶ素子 23 の圧電体膜 26 に共通に配置される。第1導電体 24 a の両端は1対の引き出し配線 27 にそれぞれ接続される。引き出し配線 27 は配列の列方向に相互に平行に延びる。したがって、全ての第1導電体 24 a は同一長さを有する。こうしてマトリクス全体の素子 23 に共通に下部電極 24 は接続される。

【0026】

上部電極 25 は複数本の第2導電体 25 a を有する。第2導電体 25 a は配列の列方向に相互に平行に延びる。1列の素子 23 ごとに1本の第2導電体 25 a が割り当てられる。1本の第2導電体 25 a は配列の列方向に並ぶ素子 23 の圧電体膜 26 に共通に配置される。列ごとに素子 23 の通電は切り替えられる。こうした通電の切り替えに応じてライセンスキャンやセクタースキャンは実現される。1列の素子 23 は同時に超音波を出力することから、1列の個数すなわち配列の行数は超音波の出力レベルに応じて決定ができる。行数は例えば10~15行程度に設定されればよい。図中では省略されて5行が描かれる。配列の列数はスキャンの範囲の広がりに応じて決定ができる。列数は例えば128列や256列に設定されればよい。図中では省略されて8列が描かれる。その他、配列では千鳥配置が確立されてもよい。千鳥配置では偶数列の素子 23 群は奇数列の素子 23 群に対して行ピッチの2分の1でずらされればよい。奇数列および偶数列の一方の素子数は他方の素子数に比べて1つ少なくてよい。さらにまた、下部電極 24 および上部電極 25 の役割は入れ替えられてもよい。すなわち、マトリクス全体の素子 23 に共通に上部電極が接続される一方で、配列の列ごとに共通に素子 23 に下部電極が接続されてもよい。

20

30

【0027】

基板 21 の外縁は、相互に平行な1対の直線 29 で仕切られて対向する第1辺 21 a および第2辺 21 b を有する。素子アレイ 22 の輪郭と基板 21 の外縁との間に広がる周縁領域 31 には、第1辺 21 a と素子アレイ 22 の輪郭との間に1ラインの第1端子アレイ 32 a が配置され、第2辺 21 b と素子アレイ 22 の輪郭との間に1ラインの第2端子アレイ 32 b が配置される。第1端子アレイ 32 a は第1辺 21 a に平行に1ラインを形成することができる。第2端子アレイ 32 b は第2辺 21 b に平行に1ラインを形成することができる。第1端子アレイ 32 a は1対の下部電極端子 33 および複数の上部電極端子 34 で構成される。同様に、第2端子アレイ 32 b は1対の下部電極端子 35 および複数の上部電極端子 36 で構成される。1本の引き出し配線 27 の両端にそれぞれ下部電極端子 33、35 は接続される。引き出し配線 27 および下部電極端子 33、35 は素子アレイ 22 を二等分する垂直面で対称に形成されればよい。1本の第2導電体 25 a の両端にそれぞれ上部電極端子 34、36 は接続される。第2導電体 25 a および上部電極端子 34、36 は素子アレイ 22 を二等分する垂直面で対称に形成されればよい。

40

【0028】

基板 21 には第1フレキシブルプリント基板(以下「第1フレキ」という) 37 が連結

50

される。第1フレキ37は第1端子アレイ32aに覆い被さる。第1フレキ37の一端には下部電極端子33および上部電極端子34に個別に対応して導電線すなわち第1信号線38が形成される。第1信号線38は下部電極端子33および上部電極端子34に個別に向き合わせられ個別に接合される。同様に、基板21には第2フレキシブルプリント基板(以下「第2フレキ」という)41が覆い被さる。第2フレキ41は第2端子アレイ32bに覆い被さる。第2フレキ41の第1端41aには下部電極端子35および上部電極端子36に個別に対応して導電線すなわち第2信号線42が形成される。第2信号線42は下部電極端子35および上部電極端子36に個別に向き合わせられ個別に接合される。

#### 【0029】

図4に示されるように、個々の素子23は振動膜43を有する。振動膜43の構築にあたって基板21の基体44には個々の素子23ごとに開口45が形成される。開口45は基体44に対してアレイ状に配置される。基体44の表面には可撓膜46が一面に形成される。可撓膜46は、基体44の表面に積層される酸化シリコン(SiO<sub>2</sub>)層47と、酸化シリコン層47の表面に積層される酸化ジルコニウム(ZrO<sub>2</sub>)層48とで構成される。可撓膜46は開口45に接する。こうして開口45の輪郭に対応して可撓膜46の一部が振動膜43として機能する。酸化シリコン層47の膜厚は共振周波数に基づき決定されることができる。

#### 【0030】

振動膜43の表面に下部電極24、圧電体膜26および上部電極25が順番に積層される。下部電極24には例えばチタン(Ti)、イリジウム(Ir)、白金(Pl)およびチタン(Ti)の積層膜が用いられることができる。圧電体膜26は例えばジルコン酸チタン酸鉛(PZT)で形成されることができる。上部電極25は例えばイリジウム(Ir)で形成されることができる。下部電極24および上部電極25にはその他の導電材が利用されてもよく、圧電体膜26にはその他の圧電材料が用いられてもよい。ここでは、上部電極25の下で圧電体膜26は完全に下部電極24を覆う。圧電体膜26の働きで上部電極25と下部電極24との間で短絡は回避されることができる。

#### 【0031】

基板21の表面には保護膜49が積層される。保護膜49は例えば全面にわたって基板21の表面に覆い被さる。その結果、素子アレイ22や第1および第2端子アレイ32a、32b、第1および第2フレキ37、41の第1端37a、41aは保護膜49で覆われる。保護膜49には例えばシリコーン樹脂膜が用いられることができる。保護膜49は、素子アレイ22の構造や、第1端子アレイ32aおよび第1フレキ37の接合、第2端子アレイ32bおよび第2フレキ41の接合を保護する。

#### 【0032】

マトリクスの行方向および列方向に隣接する開口45同士の間には仕切り壁51が区画される。開口45同士は仕切り壁51で仕切られる。仕切り壁51の壁厚みtは開口45の空間同士の間隔に相当する。仕切り壁51は相互に平行に広がる平面内に2つの壁面を規定する。壁厚みtは壁面同士の距離に相当する。すなわち、壁厚みtは壁面に直交して壁面同士の間に挟まれる垂線の長さで規定されることがある。例えば図10のように、仕切り壁51の厚みが基板の厚み方向に変化する場合には、壁厚みtは壁面間の最大距離を意味する。仕切り壁51の壁高さHは開口45の深さに相当する。開口45の深さは基体44の厚みに相当する。したがって、仕切り壁51の壁高さHは基体44の厚み方向に規定される壁面の長さで規定されることがある。基体44は均一な厚みを有することから、仕切り壁51は全長にわたって一定の壁高さHを有することができる。仕切り壁51の壁厚みtが縮小されれば、振動膜43の配置密度は高められる。素子チップ17の小型化に寄与することができる。壁厚みtに比べて仕切り壁51の壁高さHが大きければ、素子チップ17の曲げ剛性は高められることがある。こうして開口45同士の間隔は開口45の深さよりも小さく設定される。

#### 【0033】

基体44の裏面には補強板(板状部材)52が固定される。補強板52の表面に基体4

10

20

30

40

50

4の裏面が重ねられる。補強板52の表面は仮想平面HP内で広がる。基体44の裏面も仮想平面HP内で広がることから、基体44の裏面は最大限に広い面積で補強板52の表面に接することができる。補強板52は素子チップ17の裏面で開口45を閉じる。補強板52は基体44の厚み方向からの平面視で開口45を覆う。補強板52はリジッドな基材を備えることができる。補強板52は例えばシリコン基板から形成されることがある。基体44の板厚は例えば100μm程度に設定され、補強板52の板厚は例えば100～150μm程度に設定される。ここでは、仕切り壁51は補強板52に結合される。補強板52は個々の仕切り壁51に少なくとも1カ所の接合域で接合される。接合にあたって接着剤は用いられることができる。

## 【0034】

10

図5に示されるように、開口45は第1方向D1に列を形成する。開口45の輪郭形状の図心45cは第1方向D1の1直線56上で等ピッチに配置される。開口45は1つの輪郭形状の複写で象られることから、同一形状の開口45が一定のピッチで繰り返し配置される。開口45の輪郭45aは例えば四角形に規定される。具体的には矩形に形成される。矩形の長辺は第1方向D1に合わせ込まれる。こうして開口45は矩形の輪郭45aを有することから、仕切り壁51は全長にわたって一定の壁厚みtを有することができる。このとき、仕切り壁51の接合域は長辺の中央位置を含む領域であればよい。特に、仕切り壁51の接合域は長辺の全長を含む領域であればよい。仕切り壁51は長辺の全長にわたって開口45同士の間の全面で補強板52に面接合されることができる。さらに、仕切り壁51の接合域は四角形を途切れなく囲むことができる。仕切り壁51は四角形の全周にわたって開口45同士の間の全面で補強板52に面接合されることができる。

## 【0035】

20

## (3) 超音波診断装置の回路構成

図6に示されるように、集積回路はマルチプレクサー61および送受信回路62を備える。マルチプレクサー61は素子チップ17側のポート群61aと送受信回路62側のポート群61bとを備える。素子チップ17側のポート群61aには第1配線54経由で第1信号線38および第2信号線42が接続される。こうしてポート群61aは素子アレイ22に繋がる。ここでは、送受信回路62側のポート群61bには集積回路チップ55内の規定数の信号線63が接続される。規定数はスキャナにあたって同時に出力される素子23の列数に相当する。マルチプレクサー61はケーブル14側のポートと素子チップ17側のポートとの間で相互接続を管理する。

30

## 【0036】

送受信回路62は規定数の切り替えスイッチ64を備える。個々の切り替えスイッチ64はそれぞれ個別に対応の信号線63に接続される。送受信回路62は個々の切り替えスイッチ64ごとに送信経路65および受信経路66を備える。切り替えスイッチ64には送信経路65と受信経路66とが並列に接続される。切り替えスイッチ64はマルチプレクサー61に選択的に送信経路65または受信経路66を接続する。送信経路65にはパルサー67が組み込まれる。パルサー67は振動膜52の共振周波数に応じた周波数でパルス信号を出力する。受信経路66にはアンプ68、ローパスフィルター(LPF)69およびアナログデジタル変換器(ADC)71が組み込まれる。個々の素子23の検出信号は増幅されてデジタル信号に変換される。

40

## 【0037】

送受信回路62は駆動/受信回路72を備える。送信経路65および受信経路66は駆動/受信回路72に接続される。駆動/受信回路72はスキャナの形態に応じて同時にパルサー67を制御する。駆動/受信回路72はスキャナの形態に応じて検出信号のデジタル信号を受信する。駆動/受信回路72は制御線73でマルチプレクサー61に接続される。マルチプレクサー61は駆動/受信回路72から供給される制御信号に基づき相互接続の管理を実施する。

## 【0038】

50

装置端末 1 2 には処理回路 7 4 が組み込まれる。処理回路 7 4 は例えば中央演算処理装置（CPU）やメモリーを備えることができる。超音波診断装置 1 1 の全体動作は処理回路 7 4 の処理に従って制御される。ユーザーから入力される指示に応じて処理回路 7 4 は駆動 / 受信回路 7 2 を制御する。処理回路 7 4 は素子 2 3 の検出信号に応じて画像を生成する。画像は描画データで特定される。

#### 【0039】

装置端末 1 2 には描画回路 7 5 が組み込まれる。描画回路 7 5 は処理回路 7 4 に接続される。描画回路 7 5 にはディスプレイパネル 1 5 が接続される。描画回路 7 5 は処理回路 7 4 で生成された描画データに応じて駆動信号を生成する。駆動信号はディスプレイパネル 1 5 に送り込まれる。その結果、ディスプレイパネル 1 5 に画像が映し出される。

10

#### 【0040】

##### (4) 超音波診断装置の動作

次に超音波診断装置 1 1 の動作を簡単に説明する。処理回路 7 4 は駆動 / 受信回路 7 2 に超音波の送信および受信を指示する。駆動 / 受信回路 7 2 はマルチブレクサー 6 1 に制御信号を供給するとともに個々のパルサー 6 7 に駆動信号を供給する。パルサー 6 7 は駆動信号の供給に応じてパルス信号を出力する。マルチブレクサー 6 1 は制御信号の指示に従ってポート群 6 1 b のポートにポート群 6 1 a のポートを接続する。パルス信号はポートの選択に応じて下部電極端子 3 3、3 5 および上部電極端子 3 4、3 6 を通じて列ごとに素子 2 3 に供給される。パルス信号の供給に応じて振動膜 4 3 は振動する。その結果、対象物（例えば人体の内部）に向けて所望の超音波は発せられる。

20

#### 【0041】

超音波の送信後、切り替えスイッチ 6 4 は切り替えられる。マルチブレクサー 6 1 はポートの接続関係を維持する。切り替えスイッチ 6 4 は送信経路 6 5 および信号線 6 3 の接続に代えて受信経路 6 6 および信号線 6 3 の接続を確立する。超音波の反射波は振動膜 4 3 を振動させる。その結果、素子 2 3 から検出信号が outputされる。検出信号はデジタル信号に変換されて駆動 / 受信回路 7 2 に送り込まれる。

#### 【0042】

超音波の送信および受信は繰り返される。繰り返しにあたってマルチブレクサー 6 1 はポートの接続関係を変更する。その結果、ラインスキャンやセクタスキャンは実現される。スキャンが完了すると、処理回路 7 4 は検出信号のデジタル信号に基づき画像を形成する。形成された画像はディスプレイパネル 1 5 の画面に表示される。

30

#### 【0043】

素子チップ 1 7 では素子 2 3 は薄型に形成されることがある。素子 2 3 は薄型の基板 2 1 に形成されることがある。補強板 5 2 が基板 2 1 に固定されても、素子チップ 1 7 は薄型に形成されることがある。同時に、補強板 5 2 は基板 2 1 の強度を補強する。特に、仕切り壁 5 1 で壁厚み  $t$  が壁高さ  $H$  よりも小さいことから、断面係数の関係で仕切り壁 5 1 では基板 2 1 の厚み方向に十分な剛性が確保されることがある。基板 2 1 の厚み方向の力は仕切り壁 5 1 を伝って補強板 5 2 で支持されることがある。こうして素子チップ 1 7 は基板 2 1 の厚み方向に十分な強度を有することができる。そして、基板 2 1 の板厚が例えば  $100 \mu m$  程度に設定されても、補強板 5 2 は基板 2 1 の破損を防止することができる。その一方で、バルク型の超音波トランスデューサー素子で素子アレイが構成される場合には、基板の板厚は数  $mm$  程度に設定される。たとえ補強板 5 2 が接合されても、本実施形態に係る素子チップ 1 7 の厚みは、バルク型の超音波トランスデューサー素子で素子アレイが構成される場合に比べて確実に縮小されることがある。加えて、振動膜 4 3 の音響インピーダンスはバルク型の超音波トランスデューサー素子に比べて人体のそれに近いことから、素子チップ 1 7 ではバルク型の超音波トランスデューサー素子に比べて音響インピーダンスの整合層が省略されることがある。こういった整合層の省略は素子チップ 1 7 の薄型化にさらに寄与することができる。

40

#### 【0044】

補強板 5 2 は個々の仕切り壁 5 1 に少なくとも 1 力所の接合域で接合される。仕切り壁

50

51が補強板52に接合されると、仕切り壁51の動きは補強板52で拘束される。したがって、仕切り壁51の振動は防止されることができる。その結果、素子23同士のクロストークは防止されることがある。しかも、こうして仕切り壁51の動きが拘束されると、素子23の超音波振動に対して仕切り壁51の振動の作用は回避されることがある。素子23ではクリアな振動モードの超音波振動が得られる。こうして仕切り壁51の振動が回避されると、超音波振動の振幅の低下も抑制されることがある。その一方で、仕切り壁51が動くと、振動膜43の上下振動モードよりも低い周波数の歪んだ振動モードが現れる。しかも、仕切り壁51が動く分だけ振動膜43の運動エネルギーが減少し振動の振幅が低下してしまう。

## 【0045】

10

四角い輪郭同士の開口45が隣り合うと、仕切り壁51は均一な壁厚みtで形成されることがある。したがって、素子23の密集度は高められることがある。こうして素子23の密集度が高まれば高まるほど、仕切り壁51の壁厚みtは均一に減少する。したがって、仕切り壁51の剛性は著しく弱まる。こうしたときに仕切り壁51が補強板52に連結されれば、仕切り壁51の振動は効果的に防止されることがある。

## 【0046】

仕切り壁51の接合域は長辺の中央位置を含む領域であることができる。仕切り壁51のうち振動振幅の大きい部位が補強板52に接合される。その結果、仕切り壁51の振動は効果的に防止されることがある。しかも、仕切り壁51の接合域は長辺の全長を含む領域であることができる。こうして長辺の全長にわたって仕切り壁51が補強板52に接合されれば、仕切り壁51の振動は確実に防止されることがある。さらに、仕切り壁51は長辺の全長にわたって開口45同士の間の全面で面接合されることがある。こうして長辺の全長にわたって開口45同士の間で全面で仕切り壁51が補強板52に面接合されれば、仕切り壁51の振動は確実に防止されることがある。

20

## 【0047】

仕切り壁51の接合域は四角形の各辺に少なくとも1力所ずつ配置されればよい。こうして四角形の各辺で仕切り壁51が補強板52に接合されれば、仕切り壁51の振動は確実に防止されることがある。しかも、仕切り壁51の接合域は四角形を途切れなく囲むことができる。こうして四角形の全域で仕切り壁51が補強板52に接合されれば、仕切り壁51の振動は確実に防止されることがある。その上、仕切り壁51は四角形の全周にわたって開口45同士の間の全面で面接合されることがある。こうして四角形の全周にわたって開口45同士の間で全面で仕切り壁51が補強板52に面接合されれば、仕切り壁51の振動は確実に防止されることがある。

30

## 【0048】

## (5) 超音波トランステューサー素子チップの製造方法

図7に示されるように、シリコンウエハー78の表面で個々の素子チップ17ごとに下部電極24、引き出し配線27および下部電極端子33、35(図7以降では図示されず)が形成される。下部電極24、引き出し配線27および下部電極端子33、35の形成に先立ってシリコンウエハー78の表面には酸化シリコン膜79および酸化ジルコニウム膜81が相次いで形成される。酸化ジルコニウム膜81の表面には導電膜が形成される。導電膜はチタン、イリジウム、白金およびチタンの積層膜で構成される。フォトリソグラフィ技術に基づき導電膜から下部電極24、引き出し配線27および下部電極端子33、35は成形される。

40

## 【0049】

図8に示されるように、下部電極24の表面で個々の素子23ごとに圧電体膜26および上部電極25が形成される。圧電体膜26および上部電極25の形成にあたってシリコンウエハー78の表面には圧電材料膜および導電膜が成膜される。圧電材料膜はPZT膜から構成される。導電膜はイリジウム膜から構成される。フォトリソグラフィ技術に基づき個々の素子23ごとに圧電材料膜および導電膜から圧電体膜26および上部電極25が成形される。

50

**【0050】**

続いて、図9に示されるように、シリコンウェハー78の表面に導電膜82が成膜される。導電膜82は個々の素子チップ17内で列ごとに上部電極25を相互に接続する。そして、フォトリソグラフィ技術に基づき導電膜82から上部電極25および上部電極端子34、36が成形される。

**【0051】**

その後、図10に示されるように、シリコンウェハー78の裏面からアレイ状の開口45が形成される。開口45の形成にあたってエッティング処理が施される。酸化シリコン膜79はエッティングストップ層として機能する。酸化シリコン膜79および酸化ジルコニウム膜81に振動膜43は区画される。開口45の形成後、シリコンウェハー78の裏面に補強板用のウェハー83の表面が重ね合わせられる。ウェハー83には例えばリジッドな絶縁性基板が用いられることができる。絶縁性基板にはシリコンウェハーが用いられることができる。接合にあたって例えば接着剤が用いられることができる。接合後、シリコンウェハー78から個々の素子チップ17は切り出される。

10

**【0052】**

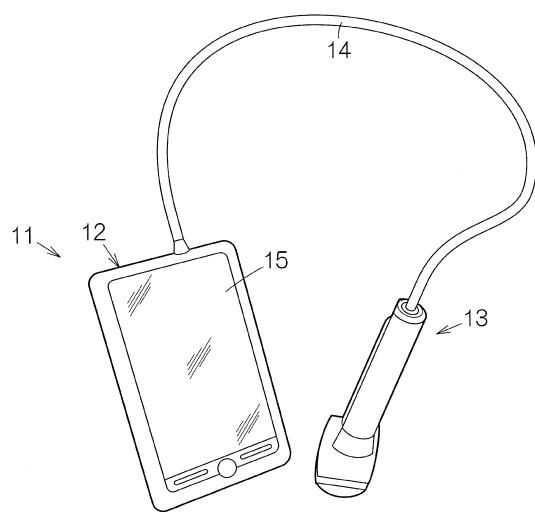
なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれる。例えば、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えることができる。また、超音波診断装置11、超音波プローブ13、素子チップ17、素子23等の構成および動作も本実施形態で説明したものに限定されず、種々の変形が可能である。

20

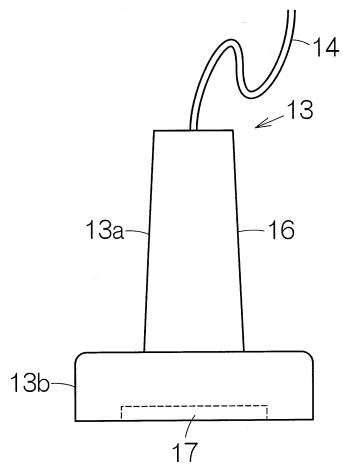
**【符号の説明】****【0053】**

11 電子機器(超音波診断装置)、13 プローブ(超音波プローブ)、13b プローブヘッド、15 表示装置(ディスプレイパネル)、16 筐体、17 超音波トランスデューサー素子チップ、21 基板、23 超音波トランスデューサー素子、45 開口、51 仕切り壁部(仕切り壁)、52 板状部材(補強板)。

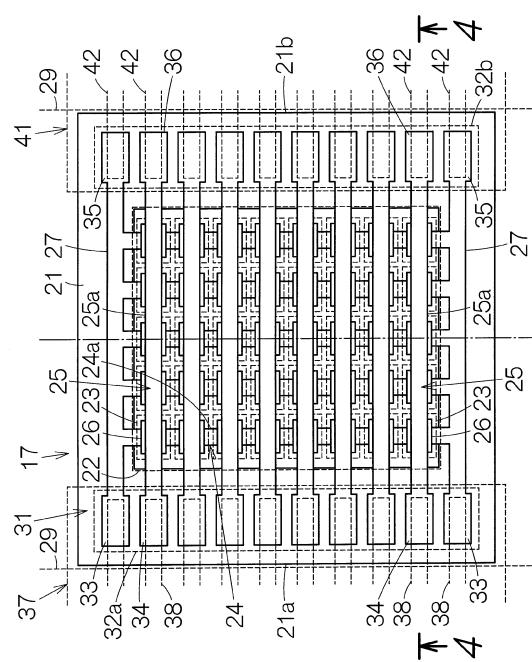
【 图 1 】



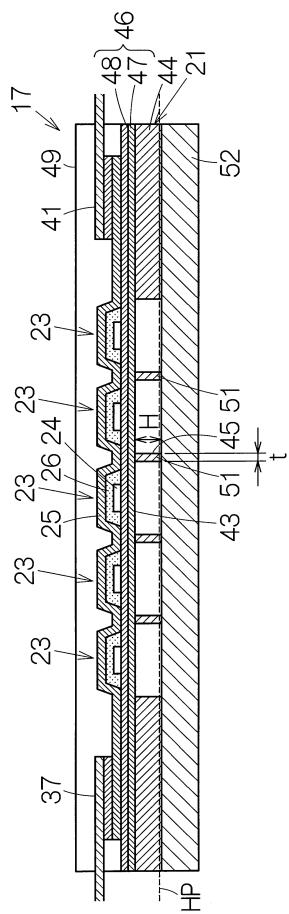
【 图 2 】



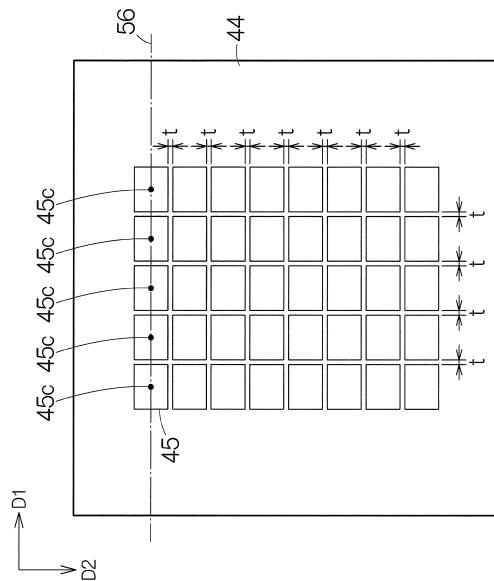
【図3】



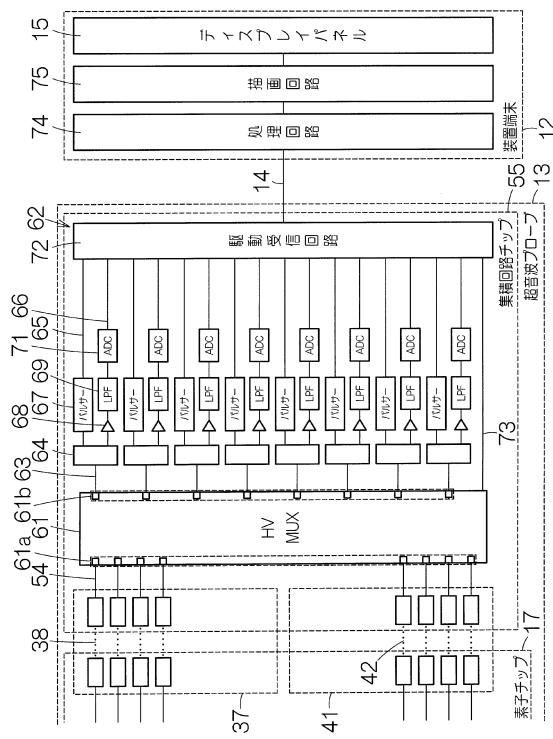
【 図 4 】



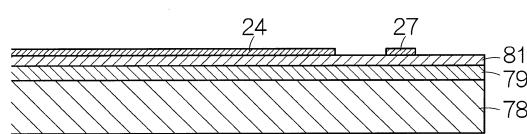
【 义 5 】



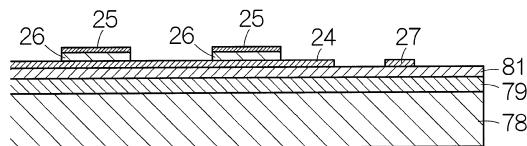
【 図 6 】



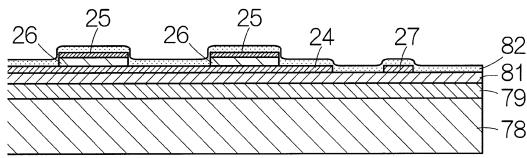
【図7】



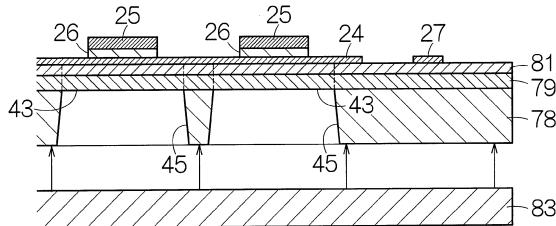
【 四 8 】



【図9】



【図10】



---

フロントページの続き

(72)発明者 清瀬 摂内  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 武田 裕司

(56)参考文献 特表2008-535643 (JP, A)  
特開2005-051687 (JP, A)  
国際公開第2011/094393 (WO, A1)  
特開2010-233609 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04R 17/00  
A61B 8/00  
G01N 29/24