

**POLSKA  
RZECZPOSPOLITA  
LUDOWA**



**URZĄD  
PATENTOWY  
PRL**

# **O P I S P A T E N T O W Y 104598**

**Patent dodatkowy  
do patentu \_\_\_\_\_**

**Zgłoszono: 16.02.77 (P.196020)**

**Pierwszeństwo: \_\_\_\_\_**

**Zgłoszenie ogłoszono: 28.08.78**

**Opis patentowy opublikowano: 31.01.1980**

**Int. Cl<sup>2</sup> . G06G 7/20**

**CZYTELNIKA**

**Urzędu Patentowego**

**Twórcy wynalazku:** Jerzy Jakubowicz, Waldemar Kupczyk, Jan Wojciechowski,  
Jan Drzewiecki, Irena Kupczyk  
**Uprawniony z patentu:** Polskie Koleje Państwowe Centralny Ośrodek Badań  
i Rozwoju Techniki Kolejnictwa, Warszawa (Polska)

## **Analogowy blok potęgowania**

Przedmiotem wynalazku jest analogowy blok potęgowania, którego zadaniem jest podnoszenie do dowolnej potęgi analogowego sygnału wejściowego.

Dotychczasowe układy umożliwiające realizację potęgowania bazują bądź na obróbce metodą cyfrową po uprzedniej zamianie napięcia wejściowego na postać cyfrową, bądź na metodzie analogowej wykorzystując aproksymacje charakterystyk złącza, lub aproksymacje łamane.

Metoda cyfrowego potęgowania wymaga stosowania rozbudowanych układów cyfrowych.

Metody analogowego potęgowania, opierające się na aproksymacjach, już z racji samej metody obciążone są błędami aproksymacji, co rzutuje na ich dokładność.

Celem wynalazku jest opracowanie bloku dokonującego operacji potęgowania sygnału analogowego, w wyniku której otrzymuje się sygnał analogowy będący zadaną potęgą sygnału wejściowego. Dla osiągnięcia tego celu postawiono zadanie opracowania układu wykorzystującego własności krzywej logarytmicznej, w którym potęgowanie dokonywane jest w dziedzinie logarytmów a wykładnik potęgi określony jest przez stałe czasowe układów rozładujących.

Układ według wynalazku posiada wejście sterujące połączone jednocześnie z wejściami dwóch generatorów funkcji eksponencjalnych, oraz wejście sygnału potęgowanego połączone z jednym z wejść komparatora. Drugie wejście komparatora połączone jest z wyjściem pierwszego generatora funkcji eksponencjalnej. Wyjście komparatora połączone jest z jednym z wejść układu pamiętającego. Drugie wejście układu pamiętającego połączone jest z wyjściem drugiego generatora funkcji eksponencjalnej. Wyjście układu pamiętającego jest wyjściem bloku potęgowania.

Zaletą układu według wynalazku jest jego prostota, oraz możliwość realizacji potęgowania o dowolnym wykładniku potęgi, który jest określony poprzez stosunek stałych czasowych dwóch układów rozładujących – z których każdy składa się z dwóch elementów-opornika i kondensatora.

Wykorzystanie w układzie własności krzywej logarytmicznej pozbawia układ błędów aproksymacji.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, który jest schematem blokowym układu.

Napięcie wejściowe podawane jest na jedno z wejść komparatora 3, w którym następuje porównanie go z przebiegiem wyjściowym generatora funkcji eksponencjalnej 1. Generacja funkcji eksponencjalnych rozpoczyna się w obu generatorach 1 i 2 jednocześnie. Moment zrównania się napięć na wejściach komparatora 3 powoduje zapamiętanie w układzie pamiętania 4 wartości napięcia panującego w tym momencie na wyjściu generatora funkcji eksponencjalnej 2. Zapamiętana wartość tego napięcia wyprowadzona na wyjście bloku potęgowania jest wynikiem przeprowadzonej operacji potęgowania.

Wykładnik potęgi określony jest przez iloraz stałych czasowych generatorów funkcji eksponencjalnych 1 i 2.

#### Zastrzeżenie patentowe

Analogowy blok potęgowania, z n a m i e n n y t y m, że posiada generator funkcji eksponencjalnej (1) o stałej czasowej  $\tau_1$ , oraz generator funkcji eksponencjalnej (2) o stałej czasowej  $\tau_2$ , które jednocześnie rozpoczynają generację dwóch funkcji eksponencjalnych, przy czym iloraz stałych czasowych  $\tau_1$  i  $\tau_2$  określa wykładnik potęgi, do której podnoszony jest sygnał wejściowy, a wejście sterujące (WE 1) połączone jest jednocześnie z wejściami obu generatorów funkcji eksponencjalnych (1) i (2), wejście sygnału potęgowanego (WE 2) połączone jest z jednym z wejść komparatora (3), którego drugie wejście połączone jest z wyjściem generatora funkcji eksponencjalnej (1), wyjście komparatora (3) jest połączone z jednym z wejść układu pamiętającego (4), którego drugie wejście połączone jest z wyjściem generatora funkcji eksponencjalnej (2), natomiast wyjście układu pamiętającego (4) jest wyjściem bloku potęgowania.

