(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101997506 B
(45)授权公告日 2015.09.16

(21)申请号 201010243766.4
(22)申请日 2010.08.02
(30)优先权数据
184674/09 2009.08.07 JP
(73)专利权人 索尼公司
地址 日本东京都
(72)发明人 秋叶朗 御手洗俊 池田浩一
(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 彭久云
(51)Int.Cl.
H03H 7/09(2006.01)
(56)对比文件
US 2003/0201851 A1,2003.10.30, 全文.
EP 2043150 A2,2009.04.01, 全文.
JP 特开 2002-16408 A,2002.01.18, 全文.
US 4959705 A,1990.09.25, 说明书第5栏第8行至第9栏第50行,图10、10A.
US 2009/0134489 A1,2009.05.28, 全文.
审查员 丁文勋

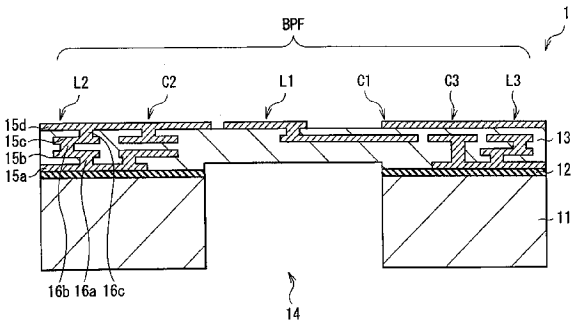
权利要求书1页 说明书7页 附图15页

(54)发明名称

高频装置

(57)摘要

本发明提供一种高频装置，其能够抑制涡流电流和寄生电容的产生，并且显示出优异的高频特性。该高频装置包括：具有凹陷的基板；该基板之上的电介质层；以及多个电子元件，提供在电介质层中或者电介质层上，并且多个电子元件中的至少一个相对于该凹陷。



CN 101997506 B

1. 一种高频装置，包括：

基板，具有凹陷，该凹陷穿透该基板；

电介质层，在所述基板之上；以及

多个电子元件，提供在所述电介质层中或者所述电介质层上，并且所述多个电子元件中的至少一个与所述凹陷相对，

其中所述电子元件至少包括电感元件和电容元件，并且与所述凹陷相对的所述电子元件是所述电感元件，

所述多个电子元件构成滤波电路，

所述凹陷提供在该基板和部分该电介质层中，并且

所述凹陷与所述基板之上的电介质层直接接触。

2. 根据权利要求 1 所述的高频装置，其中所述基板是半导体基板或电介质基板。

3. 根据权利要求 2 所述的高频装置，其中所述基板是硅基板。

4. 根据权利要求 1 所述的高频装置，其中所述电子元件还包括电阻元件。

5. 根据权利要求 1 所述的高频装置，其中绝缘层提供在所述基板和所述电介质层之间，且所述凹陷提供在该基板、该绝缘层和部分该电介质层中。

高频装置

技术领域

[0001] 本发明涉及用于MEMS(微机电系统)的高频装置,更具体地,涉及包括诸如滤波电路的高频信号用模拟电路的高频装置。

背景技术

[0002] 作为发射和接收电视、无线电广播和无线LAN的无线电波的电路元件,带通滤波器(bandpass filter)和低通滤波器(lowpass filter)是基本的元件,并且是对发射信号质量影响较大的重要电子部件。该领域中代表性产品的示例包括陶瓷滤波器(例如,日本特开第2007-220874号公报)。作为陶瓷滤波器,提供用于每个频率带的各种产品。例如,SAW(表面声波)滤波器提供在电视和收音机的发射和接收电路的MHz带中,并且层叠的陶瓷滤波器提供在无线LAN和移动元件的发射和接收电路的GHz带中。

[0003] 尽管陶瓷滤波器是提供高滤波特性的优良装置,但是陶瓷滤波器具有尺寸大的缺点。近年来,诸如移动电话、移动游戏机和网络PC(个人计算机)的移动元件包括作为电视、收音机和无线LAN的功能。因此,期望保持固有特性的较小的滤波元件。陶瓷滤波器的技术革新已经取得了进步,并且0608尺寸芯片型层叠的陶瓷滤波器已经商业化。然而,在设计一套设备时,迫切需要一位(single digit)的较小元件。

[0004] 除了陶瓷滤波器,已经开发了复杂的小型滤波元件。其示例包括形成在硅基板上的滤波元件。随着当前改善的CMOS(互补金属氧化物半导体)电路的高频特性,形成在硅基板上的滤波元件特别引起人们的注意。如果所希望的滤波电路能够通过CMOS工艺形成在硅基板上,则能够实现与其它CMOS电路的组合电路,并且相应地能够实现一位或比陶瓷滤波器更小的电路。

[0005] 作为这样的滤波元件,已经开发了高频滤波电路(例如,日本特开2003-297924号公报)。高频滤波电路提供为在硅基板的表面上提供的高频传输线的一部分。信号线、形成在信号线下的电介质薄膜以及硅基板构成基于平面图案的电容元件、电感元件和电阻元件。

发明内容

[0006] 然而,在上面列举的硅基板上的滤波元件中,由于下面的原因,缺点在于性能略低于相同频率带的陶瓷滤波器的性能。硅的比电阻值小于陶瓷材料的比电阻值。因此,由于产生在基板中的涡流或者信号线和基板之间或信号线之间的不必要寄生电容,产生信号损耗。对涡流和寄生电容所采取的措施的示例包括通过在加厚层叠的绝缘膜上设置配线图案而降低与硅基板干扰的方法或者在其间以大距离设置各个配线的方法。然而,前述方法导致元件尺寸的增加,这可能破坏硅滤波器的特性。该缺点不仅存在于滤波电路中,而且存在于共同包括电感元件和电容元件的高频模拟电路中。

[0007] 考虑到前述缺点,在本发明中,所希望的是提供小高频装置,其能够抑制涡流和寄生电容的产生,并且显示出优良的高频特性。

[0008] 根据本发明的实施例，所提供的高频装置包括：具有凹陷的基板；在基板之上的电介质层；以及多个电子元件，提供在电介质层中或电介质层上，并且该多个电子元件中的至少一个与凹陷相对。仅需提供至少部分电子元件在凹陷上与凹陷相对。“凹陷”通过选择性去除基板而形成。凹陷的示例包括从基板的前面贯穿到背面的凹陷（穿透结构）、通过在厚度方向上去除基板的一部分（具体地讲，元件侧的部分）获得的凹陷（中空结构）、以及通过采用诸如网孔的特定图案去除基板获得的凹陷。“凹陷”的数量不限于一个，而是可以提供多个凹陷。此外，与一个凹陷相对的元件数量不限于一个，而是多个元件可以与一个凹陷相对。

[0009] 在高频装置中，凹陷存在于基板的与特定电子元件（具体地讲，电感元件）相对的位置。在这样的位置上，不存在基板，或者提供中空结构。因此，能够抑制基板和元件之间寄生电容的产生以及涡流的产生。

[0010] 根据本发明实施例的高频装置，凹陷提供在基板的与特定电子元件（具体地讲，电感元件）相对的位置。因此，能够抑制基板和元件之间寄生电容的产生以及涡流的产生。从而，能够改善电子电路的特性，具体地讲，滤波电路的特性。

[0011] 本发明的其他和进一步的目标、特征和优点通过下面的描述将更加明显易懂。

附图说明

[0012] 图 1 是根据本发明第一实施例的高频装置的主体部分的透视图。

[0013] 图 2 是高频装置的截面结构图。

[0014] 图 3 是高频装置的等效电路图。

[0015] 图 4A 至 4C 是图解制造图 1 所示高频装置的方法示例的截面图。

[0016] 图 5A 和 5B 是图解图 4A 至 4C 后续步骤的截面图。

[0017] 图 6A 至 6C 是说明高频装置效果的示意图。

[0018] 图 7A 和图 7B 是图 1 所示高频装置和比较示例的等效电路图。

[0019] 图 8 是图解图 1 所示高频装置和比较示例的高频装置的频率特性的示意图。

[0020] 图 9 是根据第二实施例的高频装置的截面结构图。

[0021] 图 10 是根据第三实施例的高频装置的截面结构图。

[0022] 图 11A 至 11D 是图解制造图 10 所示高频装置的方法示例的平面图和截面图。

[0023] 图 12 是根据本发明第四实施例的高频装置的主体部分的透视图。

[0024] 图 13 是高频装置的截面结构图。

[0025] 图 14 是高频装置的等效电路图。

[0026] 图 15 是根据本发明第五实施例的高频装置的主体部分的透视图。

[0027] 图 16 是高频装置的截面结构图。

[0028] 图 17 是高频装置的等效电路图。

[0029] 图 18 是根据本发明第六实施例的高频装置的主体部分的透视图。

[0030] 图 19 是高频装置的截面结构图。

[0031] 图 20 是高频装置的等效电路图。

[0032] 图 21(A) 和 (B) 是图解凹陷图案的修改示例的示意图。

具体实施方式

[0033] 在下文，将以下面的顺序参考附图描述本发明的实施例：

[0034] 1. 第一实施例

[0035] (1) 总体结构

[0036] (2) 制造方法

[0037] 2. 第二实施例

[0038] 具有多个凹陷的高频装置

[0039] 3. 第三实施例

[0040] 基板的一部分留在凹陷中的高频装置

[0041] 4. 第四实施例

[0042] 具有高通滤波器 (highpass filter) 作为模拟电路的高频装置

[0043] 5. 第五实施例

[0044] 具有低通滤波器作为模拟电路的高频装置

[0045] 6. 第六实施例

[0046] 具有阻抗匹配电路作为模拟电路的高频装置

[0047] 1. 第一实施例

[0048] (1) 总体结构

[0049] 图 1 图解了根据本发明第一实施例的高频装置 1 的元件主体。图 2 图解了高频装置 1 的总体截面结构。高频装置 1 包括基板 11 之上的电介质层 13 中的带通滤波器 BPF 作为模拟电路。

[0050] 带通滤波器 BPF 例如由六个 LC 元件组成。就是说，如图 3 的等效电路所示，BPF 由用信号线串联连接的第一电感元件 L1 和第一电容元件 C1、从这样的串联电路的输入端连接到接地电位的第二电感元件 L2 和第二电容元件 C2 以及从这样的串联电路的输出端连接到接地电位的第三电感元件 L3 和第三电容元件 C3 组成。

[0051] 作为基板 11，例如，采用厚度为 50 至 400 μm（包含端值）的硅基板。基板 11 的材料不限于此，而是可以采用其它半导体材料或者电介质材料。其它半导体材料的示例包括 SiGe 和 GaAs。电介质材料的示例包括陶瓷、玻璃（例如，派热克斯玻璃 (Pyrex)、SD2 和石英）以及树脂 (FR4 和 BT 树脂)。此外，可以采用通用名称 FR-4（环氧玻璃钢板，glass epoxy) 等用作安装基板。

[0052] 在该实施例中，穿透基板 11 的凹陷 14 提供在基板 11 的与第一电感元件 L1 相对的位置。在此情况下，凹陷 14 提供在基板 11、绝缘膜 12 和部分电介质层 13 中。然而，凹陷 14 至少提供在基板 11 中就足够了。凹陷 14 的平面图案例如为圆形或矩形，但不限于此。凹陷 14 的平面图案由相对地设置的元件（第一电感元件 L1) 的形状和尺寸确定。

[0053] 绝缘膜 12 提供在基板 11 和电介质层 13 之间。在绝缘膜 12 中，例如，厚度为 0.01 至 0.3 μm（包含端值）的氮化硅膜 (SiN) 形成在厚度为 0.01 至 4 μm（包含端值）氧化硅膜 (SiO_2) 上。如稍后所描述，提供基板 11 中的凹陷 14 时，绝缘膜 12 用作蚀刻停止层。作为用于达到隔膜元件性能的结构，绝缘膜 12 不是必不可少的。在此情况下，第一介电元件 L1 形成在与凹陷 14 相对的位置。然而，一个或多个其它元件（第二介电元件 L2、第三介电元件 L3、第一电容元件 C1、第二电容元件 C2 或第三电容元件 C3) 可以形成在这样的位置上。

然而，在稍后描述的抑制信号损失方面，希望凹陷 14 位于至少与介电元件相对的位置。

[0054] 电介质层 13 由具有小的高频信号损失的诸如苯并环丁烯 (benzocyclobutene，BCB) 的低介电常数材料形成。电介质层 13 的厚度由电特性和机械强度二者确定，并且例如为 1 至 20μm（包含端值）。作为电介质层 13，可以采用通常用于介电材料的其它材料，只要这样的材料具有小的高频信号损失，并且具有这样的程度的强度：即使如上所述在基板 11 中提供了凹陷 14，也能保持横向连接结构 (cross-linked structure)。具体地讲，除了诸如聚酰亚胺 (PI)、聚对二甲苯 (parylene) 和类金刚石碳 (DLC) 的有机材料外，也可以采用诸如 SiO_2 的无机材料。

[0055] 多层结构配线层提供在电介质层 13 中或电介质层 13 上。构成带通滤波器 BPF 的每个元件都由形成在电介质层 13 上的配线层或者多层配线层和埋设在电介质层 13 中的层间穿透配线层（通路接触，via contact）的结合构成。这些配线层由导电材料形成，例如，由诸如 Al（铝）和 AlCu（铝铜）的金属材料形成。

[0056] 将基于输入侧给出具体的描述。第二电感元件 L2 由电介质层 13 中的第一配线层 15a 至第三配线层 15c、电介质层 13 上的配线层 15d 以及连接这些配线层的通路接触 16a 至 16c 组成。第二电容元件 C2 由第二配线层 15b 和第三配线层 15c 组成，其间具有电介质层 13。第一配线层 15a 通过通路接触 16a 连接到第二配线层 15b，并且配线层 15d 通过通路接触 16c 连接到第三配线层 15c。第一电感元件 L1 由在电介质层 13 上具有线圈图案的配线层 15a 组成。第一电容元件 C1 和第三电容元件 C3 由第三配线层 15c 和第四配线层 15d 组成，其间具有电介质层 13。第三电感元件 L3 由电介质层 13 中的第一配线层 15a 至第三配线层 15c、电介质层 13 上的配线层 15d 以及连接这些配线层的通路接触 16a 组成。

[0057] 高频装置 1 例如可以通过图 4A 至 4C 以及图 5A 和 5B 所示的方法制造。

[0058] (2) 制造方法

[0059] 首先，如图 4A 所示，绝缘层 12 形成在硅基板（基板 11）上。在此情况下，因为基板 11 的材料是硅，所以，作为绝缘层 12，形成包括与硅具有蚀刻选择性的氧化硅膜 (SiO_2) 和氮化硅膜 (SiN) 的层叠膜。具体地讲，例如，厚度为 0.6mm 的硅基板在 1000℃下加热，以在水蒸汽环境下通过热氧化形成厚度为 3μm 的 SiO_2 膜。接下来，基板 11 一侧（后面）上的 SiO_2 膜被抛光除去，以获得例如厚度为 0.5mm 的基板 11。接下来，在基板 11 前面的 SiO_2 膜上，通过例如 CVD（化学气相沉积）法，形成厚度为 0.1 至 0.3μm（包含端值）的 SiN 膜。

[0060] 随后，如图 4B 所示，例如，作为配线材料的 Al 沉积在绝缘层 12 上。例如，通过干蚀刻将产物形成给定的形状，由此形成作为第一层的配线层 15a（第一配线）。随后，如图 4C 所示，介电膜 13 形成在绝缘层 12 和配线层 15a 上，并且通路接触 16a 形成在介电膜 13 中。具体地讲，介电膜 13 采用 BCB 作为低介电常数材料通过旋涂法形成，到达作为下层的配线层 15a 的通孔（经由孔）17 形成在电介质层 13 中。之后，通孔 17 用 Al 填充，以形成通路接触 16a。

[0061] 接下来，通过采用类似的方法，如图 5A 所示，形成作为第二层的配线层 15b（第二配线层）、电介质层 13、通路接触 16b 和作为第三层的配线层 15c（第三配线层）。此外，形成电介质层 13、通路接触 16c 和作为第四层的配线层 15d（第四配线层）。

[0062] 最后，如图 5B 所示，从基板 11 的后面侧选择性去除产物，由此形成凹陷 14。具体地讲，例如，硬掩模形成在基板 11 的后面上。之后，例如，通过 DRIE（深反应离子蚀刻）蚀

刻基板 11，以形成凹陷 14，并且获得希望的隔膜结构。作为蚀刻条件，采用称为 Bosch 工艺的 SF6/C4H8 垂直工艺或者 XeF2 干式工艺。此外，可以采用利用四甲基铵氢氧化物 (TMAH) 或氢氧化钾 (KOH) 的湿式工艺。此时，因为提供在基板 11 和电介质层 13 之间的绝缘层 12 用作蚀刻停止层，所以蚀刻停止在绝缘层 12。在由配线设计确定而不是作为中空元件的介电元件 L1 确定的绝缘层 12 的厚度很薄的情况下，如图 5B 所示，会产生过蚀刻。

[0063] 在该实施例的高频装置 1 中，凹陷 14 特别提供在基板 11 的与组成带通滤波器 BPF 的 LC 元件中的第一电感元件 L1 相对的位置。因此，能够抑制由在第一电感元件 L1 正下方的基板 11 引起的信号损失，并且改善元件特性。

[0064] 图 6A 至 6C 用于说明提供凹陷 14 对元件特性的影响。在第一电感元件 L1（电感器）中，通过发射高频信号产生通量 B（图 6A）。此时，如果基板 11 存在于通量 B 的通道上（在现有情况下，基板 11 中不存在凹陷 14），则基板 11 中产生涡流，并且通量 B 上产生损失（图 6B）。由此，产生降低电感 Q 值的缺点。同样，在该实施例中，凹陷 14 提供在基板 11 中与第一电感元件 L1 相对的位置，相应地，降低了基板 11 中涡流引起的通量损失。因此，可获得较高的 Q 值（图 6C）。图 6B 和 6C 图解了基于箭头长度差异的通量 B 的损失部分。

[0065] 图 7A 和 7B 图解了该实施例具有 FM 调谐器用 BPS 的高频装置 1 的特性与现有装置（比较示例）的特性之间的比较。图 7A 是比较示例的等效电路图，并且图 7B 是该实施例（参考图 3）的等效电路图。比较示例的装置 100 的第一电感元件 L1 在第一电感元件 L1 和硅基板之间具有寄生电容 C0。寄生电容 C0 的产生因其结构是不可避免的，因此寄生电容 C0 应当通过设计布局尽可能降低。即使在 MHz 带的带通滤波器设计 μH 或更小电感器的情况下，也必须假设约 0.1pF 的寄生电容。

[0066] 而在该实施例的高频装置 1 中，凹陷 14 特别提供在与三个电感元件中的第一介电元件 L1 相对的位置。因此，能够抑制寄生电容的产生。通过按着如上所述产生寄生电容的因素选择性去除基板 11，寄生电容的大小可以降低到等效电路可忽略不计的水平。

[0067] 图 8 图解了通过采用 SPICE 模式比较计算该实施例的高频装置 1 和比较示例的装置 111 获得的频率特性。水平轴表示频率 (60 至 100MHz，包括 FM 广播波段)，并且垂直轴表示插入损失和相位。插入损失以 dB 为单位示出在左垂直轴上，并且相位以在右垂直轴上的度为单位显示。在比较示例（元件 111）的测量结果（插入损失 C 和相位 D）中，插入损失 C 和相位 D 二者都是歪曲的形状。为了通过采用现有技术实现理想形状，需要采用高阶滤波器 (high order filter)，另外，需要反复调整各组成元件的试生产和试验性计算。因此，为了实现理想形状，必须增加元件尺寸和增加成本进行设计。而在该实施例的高频装置 1（插入损失 A 和相位 B）中，插入损失 A 和相位 B 二者是光滑的形状。因此理想特性能够易于获得，而不改变元件尺寸或改变电路设计。

[0068] 如上所述，在该实施例中，凹陷 14 提供在基板 11 中与组成带通滤波器 BPF 的六个 LC 元件中的第一介电元件 L1 相对的位置。因此，由于寄生电容引起的信号损失和由涡流电流引起的信号损失能够同时降低。因此，能够改善滤波器特性。此外，能够实现低阶滤波器，即小型滤波器，并且能够在短设计时间周期中实现所希望的滤波器特性。

[0069] 此外，在该实施例中，电感元件 L2 和 L3 以及电容元件 C1 至 C3 分别具有间隔结构，其中结合了多层配线和通路接触。由此，能够减小电路尺寸。

[0070] 在下文，将描述其它实施例。对于与第一实施例相同的元件，以相同的参考标号表

示，并且将省略其描述。另外，对于对应的元件，它们的参考标号通过对第一实施例的相关元件的参考标号按着各实施例适当加上 10、20、30、40 或 50 获得。

[0071] 第二实施例

[0072] 图 9 图解了根据本发明第二实施例的高频装置 2 的截面结构。如与前述实施例中的元件，高频装置 2 也包括带通滤波器 BPF。

[0073] 高频装置 2 在基板 11 中具有多个凹陷 24(24A 至 24C)。就是说，凹陷 24A、24B 和 24C 分别提供在与第二介电元件 L2 和第三介电元件 L3 以及第一介电元件 L1 相对的每个位置。无须说，凹陷 24 的布局不限于此，而是具有给定大小的给定数量的凹陷可以在基板 11 的蚀刻步骤中形成在给定的位置。

[0074] 由于这样的结构，在该实施例中，不仅能够抑制第一介电元件 L1 的信号损失，而且能够抑制第二介电元件 L2 的信号损失和第三介电元件 L3 的信号损失，导致更加有效的结果。

[0075] 第三实施例

[0076] 图 10 图解了根据本发明第三实施例的高频装置 3 的截面结构。高频装置 3 也包括带通滤波器 BPF。

[0077] 高频装置 3 具有凹陷 34(34A、34B 和 34C)，设在基板 11 的与第一介电元件 L1、第二介电元件 L2 和第三介电元件 L3 相对的每个位置。与前述实施例的凹陷 14 和 24 不同的是，凹陷 34A、34B 和 34C 没有穿透基板 11，而是在基板 11 和绝缘膜 12 之间具有中空结构。

[0078] 图 6A 至 6C 所示凹陷 14 降低信号损失的效果由于基板 11 和作为元件的最下层的配线层 15a 之间的间隙变大而增加。然而，效果不会不受限制地增加，而是特性的改善在给定大小的间隙收到限制。这样的尺寸限制由在对应于凹陷 14 的位置形成的元件的投影面积和金属层的厚度等决定。因此，在形成凹陷 14 必须的基板 11 的加工中，可能不需要全部去除（穿透结构）。如图 10 所示，距构成第一介电元件 L1、第二介电元件 L2 和第三介电元件 L3 的配线层一定距离处存在中空结构是足够的。

[0079] 将参考图 11A 至 11D 描述形成这样中空结构的方法。首先，如图 11A 所示，绝缘层 12 通过热氧化形成在硅基板（基板 11）上。在绝缘层 12 上，例如，作为配线材料的 Al 沉积成给定的形状，因此形成配线层 15a 作为第一层。接下来，如图 11B 所示，介电膜 13a 形成为覆盖绝缘层 12 和配线层 15a，并且通孔 17a 形成在介电膜 13a 中。之后，通孔 17a 用 Al 填充，以形成通路接触 16a。随后，在介电膜 13a 上执行类似的配线工艺，并且形成作为第二层的配线层 15b、介电膜 13b 和通路接触 16b。接下来，如图 11C 所示，在作为第三层的配线层 15c 形成在电介质层 13b 上后，用作为保护膜的介电膜 13c 覆盖整个配线。随后，如图 11D 所示，用于通过加工硅基板 11 所用蚀刻剂的蚀刻孔 34a 例如通过干蚀刻形成在介电膜 13a、13b 和 13c 中。最后，通过蚀刻孔 34a 由 zenon 蚀刻器蚀刻硅基板而形成凹陷 34。

[0080] 第四实施例

[0081] 图 12 图解了根据本发明第四实施例的高频装置 4 的主体部分的构造。图 13 图解了整个高频装置 4 的截面构造，并且图 14 图解了其等效电路。高频装置 4 包括高通滤波器 HPF 作为元件。高通滤波器 HPF 由从信号线连接到接地电位的第一介电元件 L1 和第二电感元件 L2 以及用第一介电元件 L1 和第二电感元件 L2 之间的信号线串联连接的电容元件 C1 组成。第一介电元件 L1 和第二电感元件 L2 的具体结构与第一实施例类似。电容元件 C1

由配线层 15c 和 15d 组成，其间具有电介质层 13。

[0082] 在高频装置 4 中，凹陷 44A 和 44B 提供在与第一介电元件 L1 和第二电感元件 L2 相对的位置。作用与效果与前述实施例的类似。在此情况下，尽管采用了三阶 HPF 作为最小结构，但是该阶数不限于此。作为滤波器特性，例如，根据抑制线的肩 (suppression component shoulder) 和波纹形状 (rippleshape) 的需要，可以任意选择构成 HPF 的每个元件所需的阶数和尺寸。

[0083] 第五实施例

[0084] 图 15 图解了根据本发明第五实施例的高频装置 5 的元件主体。图 16 图解了整个高频装置 5 的截面构造。图 17 图解了其等效电路图。高频装置 5 包括低通滤波器 LPF 作为元件。低通滤波器 LPF 由与信号线串联连接的第一电感元件 L1 以及从信号线连接到接地电位的第一电容元件 C1 和第二电容元件 C2 组成。第一电容元件 C1 和第二电容元件 C2 二者都由配线层 15b 和 15c 组成。

[0085] 在该实施例中，凹陷 55 提供在与第一电感元件 L1 相对的位置。凹陷 55 的效果也与前述实施例的类似。如前述高通滤波器 HPF 的情况一样，低通滤波器 LPF 的阶数不受限制。

[0086] 第六实施例

[0087] 图 18 图解了根据本发明第六实施例的高频装置 6 的元件主体。图 19 图解了整个高频装置 6 的截面结构，并且图 20 图解了其等效电路图。高频装置 6 包括阻抗匹配电路 IM。阻抗匹配电路 IM 由与信号线串联连接的第一电感元件 L1、从信号线连接到接地电位的第二电感元件 L2、与第二电感元件 L2 并联连接的电容元件 C1 和电阻元件 R 的串联电路组成。电容元件 C1 由配线层 15b 和 15c 组成。电阻元件 R 由配线层 15a 组成。配线层 15a 是多晶硅配线，其中磷掺杂量控制为具有所希望的比电阻。配线层 15a 的电阻值由配线层 15a 的比电阻和长度决定。为了获得高电阻值，配线变薄以获得蜿蜒状态 (meander state) 来减少足印 (foot print)。

[0088] 在该实施例中，公用的凹陷 64 提供在与第一介电元件 L1 和第二电感元件 L2 相对的位置。作用与效果与前述实施例的类似。

[0089] 如上所述，本发明的高频装置不仅能够应用于滤波电路，而且能够应用于各种电路。

[0090] 尽管本发明已经参考第一至第六实施例进行了描述，但是本发明不限于前述实施例，而是可以进行各种修改。例如，提供在基板 11 中的凹陷整体上不必为间隙。例如，作为如图 21A 和 21B 所示的凹陷 74，凹陷可以具有诸如网孔形状的特定图案。基板 11 的去除区域及其大小可以是就满足关于元件的电特性的需要而言、特别是就满足地电容和介电损失的减少目标而言能够获得足够效果的面积和深度。

[0091] 本申请包含 2009 年 8 月 7 日提交日本专利局的日本优先权专利申请 JP2009-184674 中公开的相关主题，其全部内容通过引用结合于此。

[0092] 本领域的技术人员应当理解的是，在所附权利要求或其等同方案的范围内，根据设计需要和其他因素，可以进行各种修改、结合、部分结合和替换。

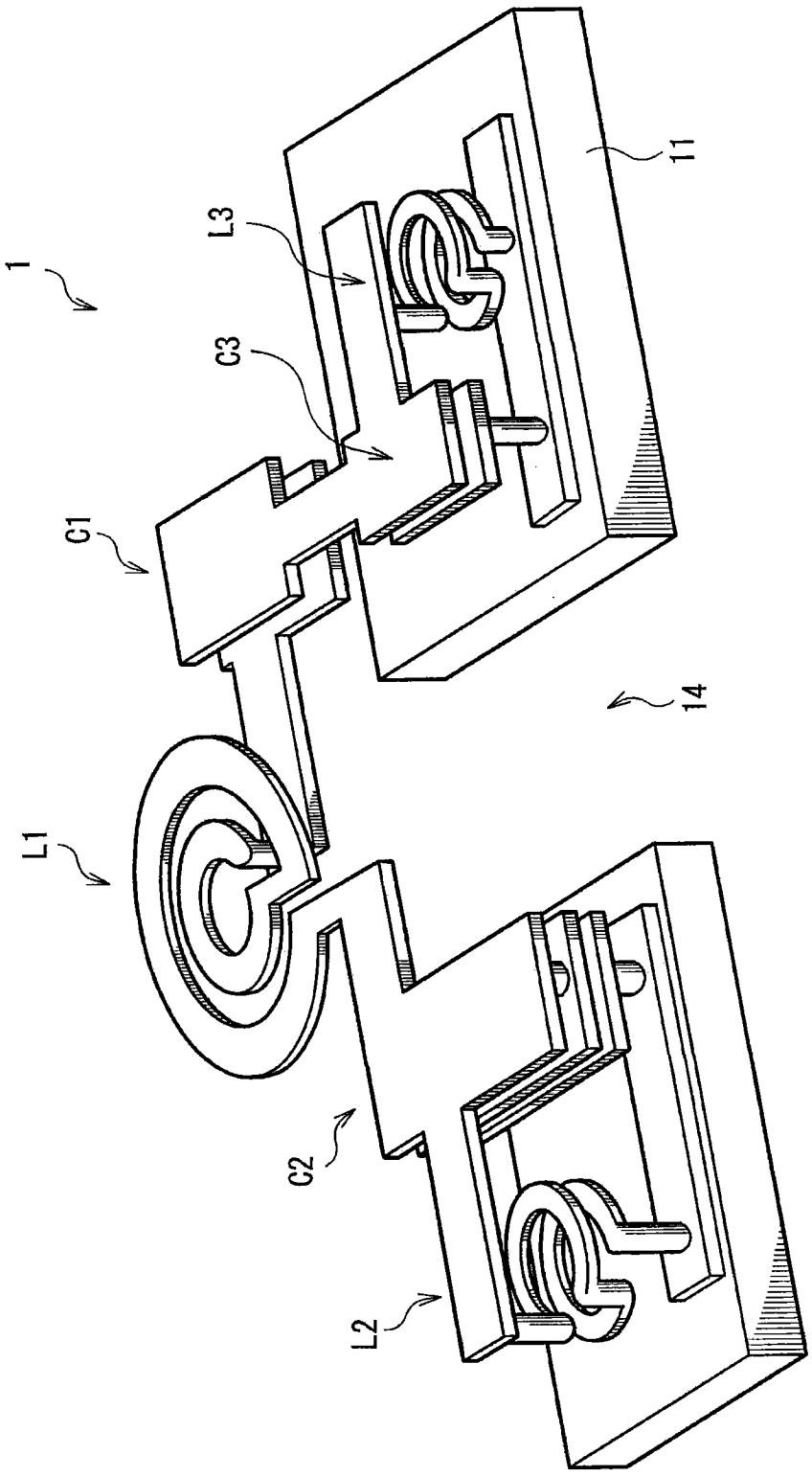


图 1

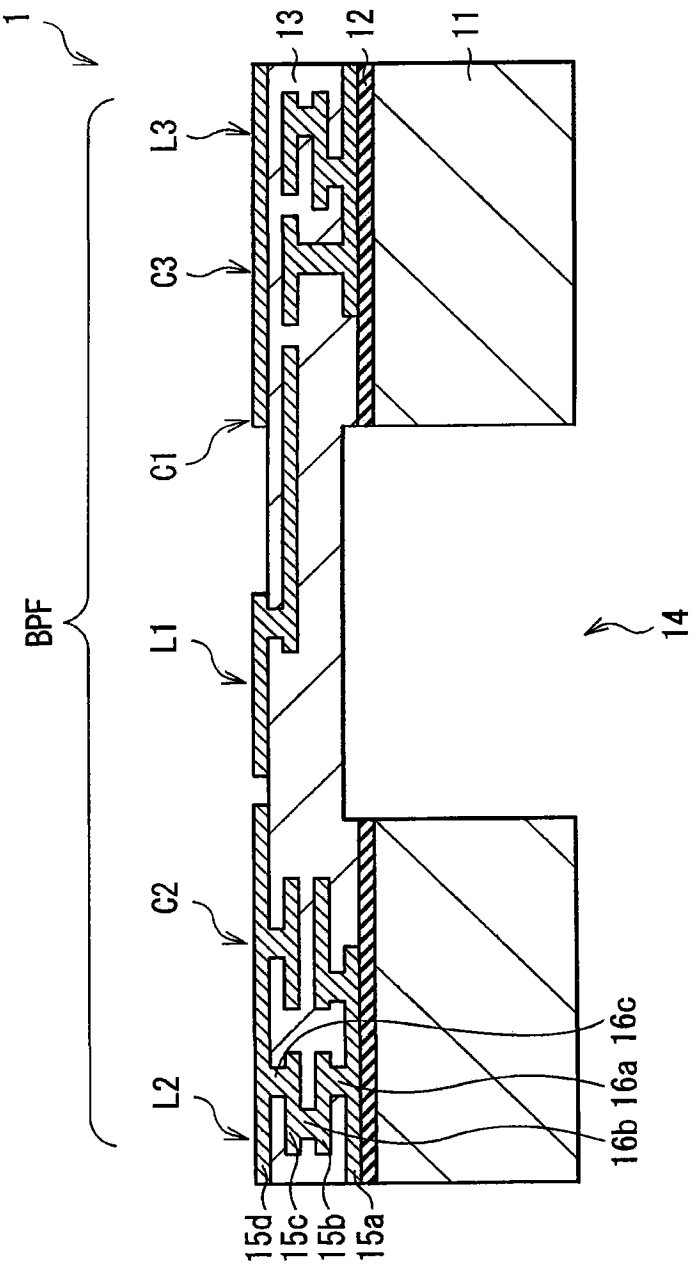


图 2

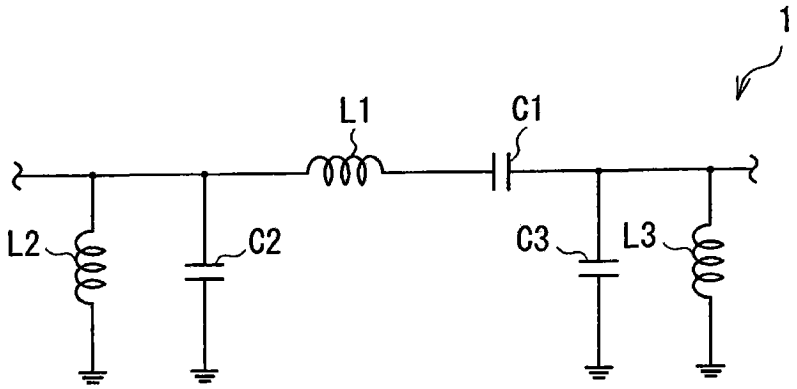


图 3

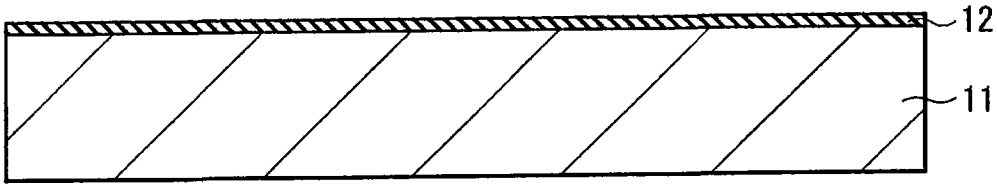


图 4A

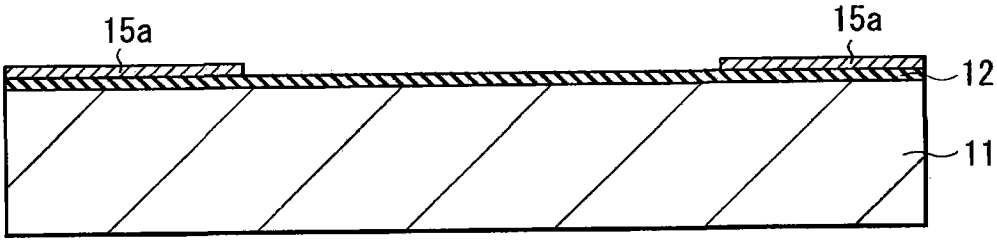


图 4B

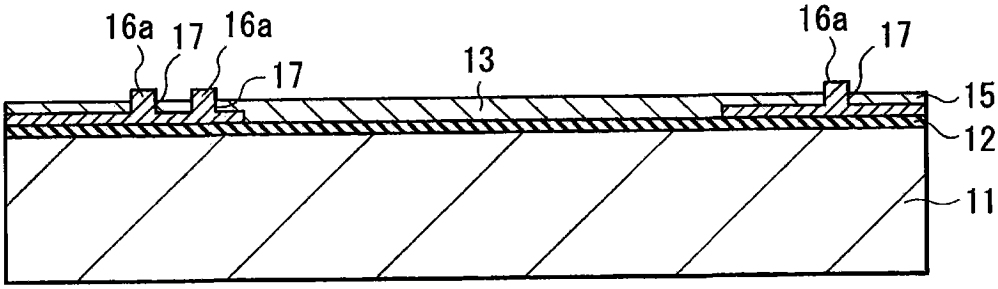


图 4C

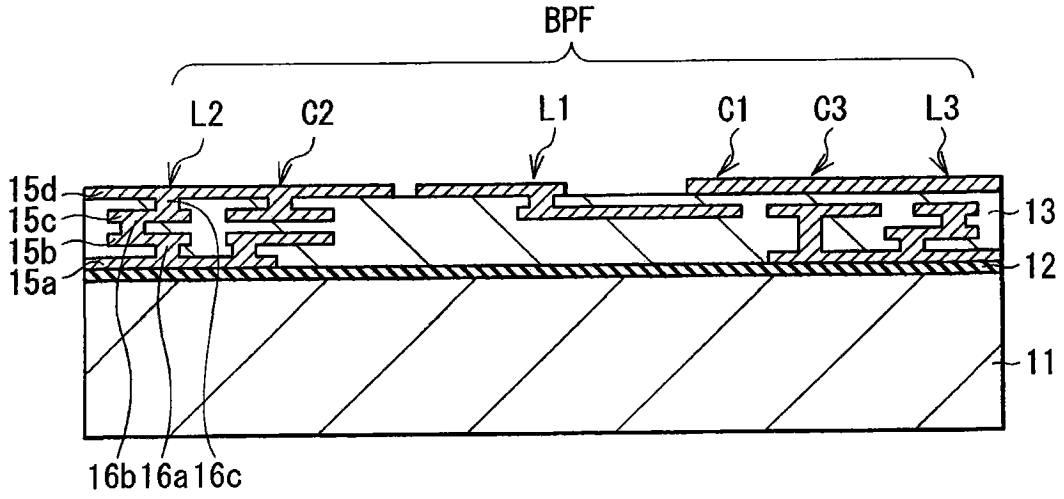

BPF
L2
C2
L1
C1
C3
L3
15d
15c
15b
15a
13
12
11
16b16a16c

图 5A

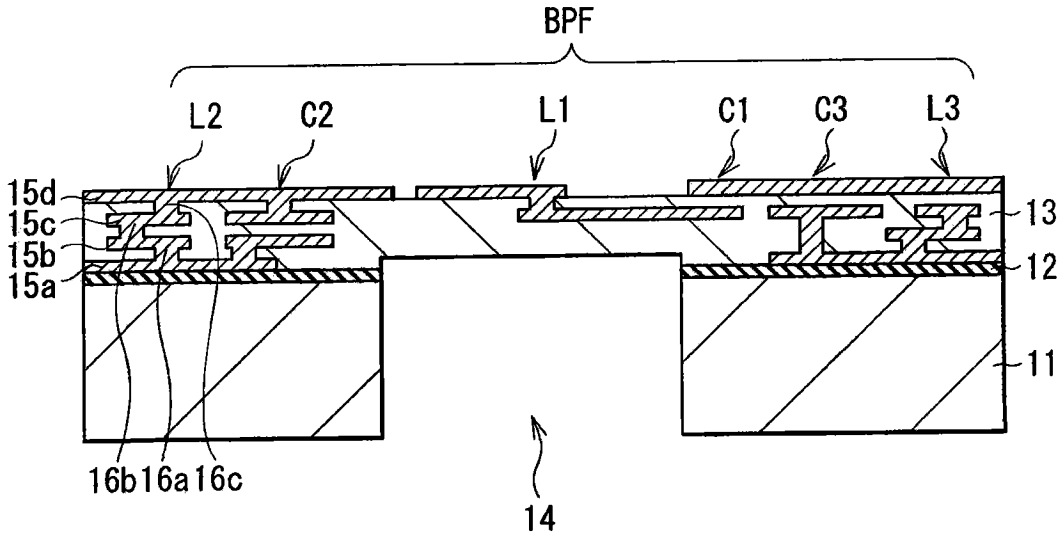

BPF
L2
C2
L1
C1
C3
L3
15d
15c
15b
15a
13
12
11
16b16a16c
14

图 5B

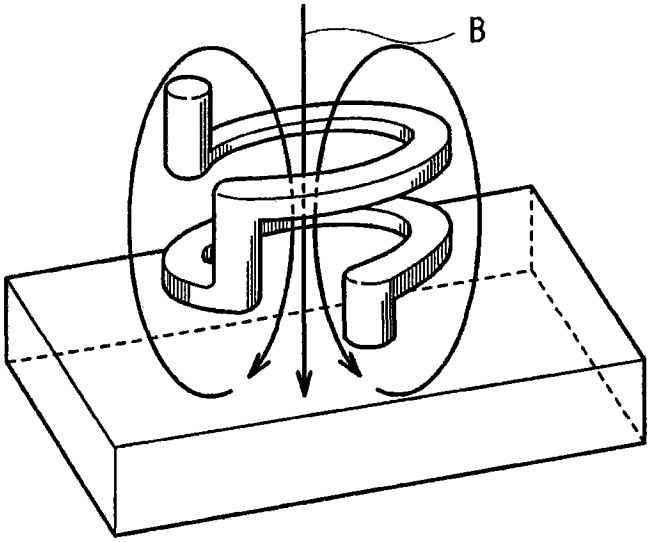


图 6A

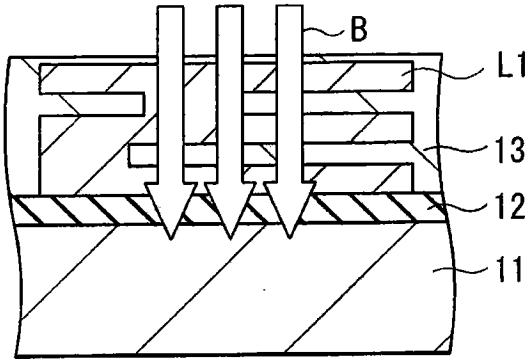


图 6B

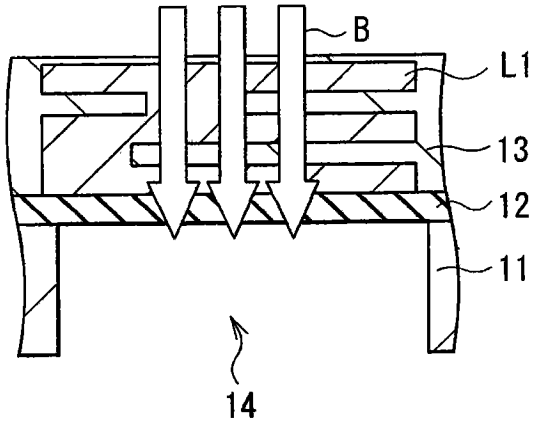


图 6C

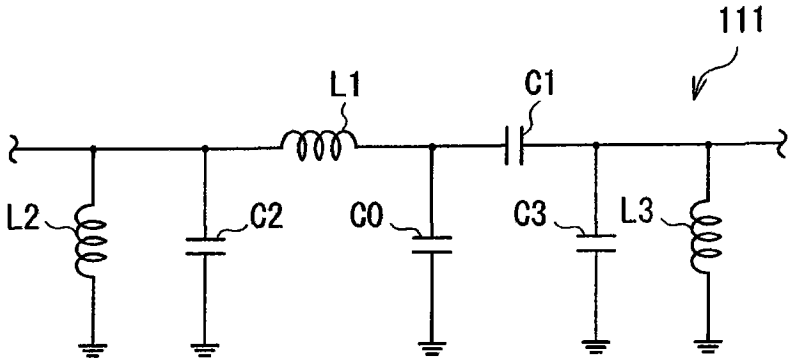


图 7A

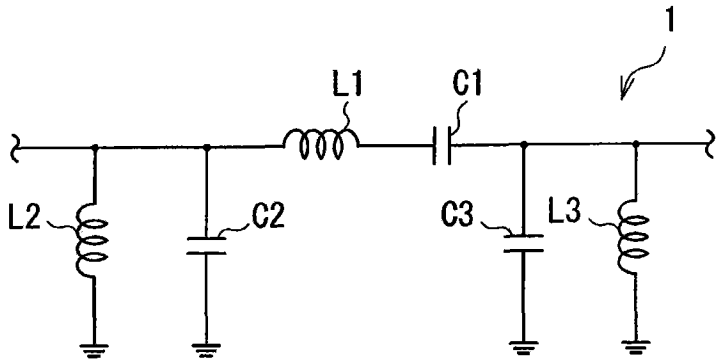

1
L1
C1
L2
C2
C3
L3

图 7B

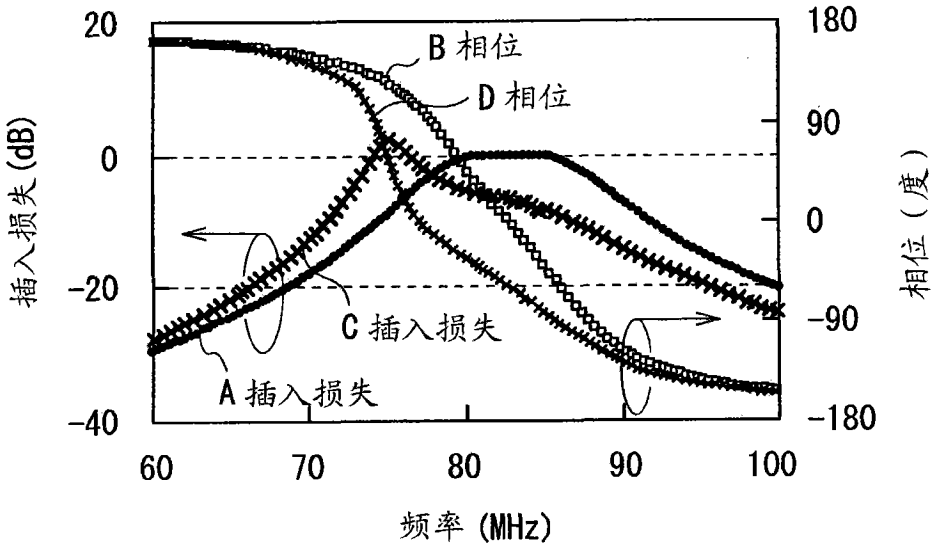

20
0
-20
-40
180
90
0
-90
-180
60
70
80
90
100
B 相位
D 相位
C 插入损失
A 插入损失
插入损失 (dB)
相位（度）
频率 (MHz)

图 8

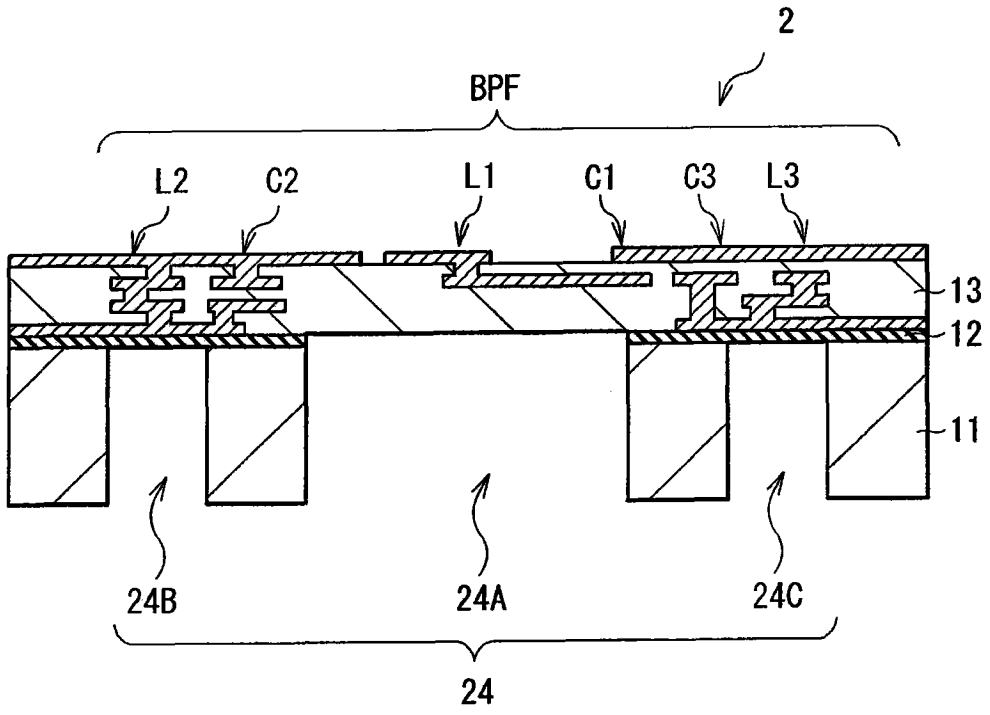

2
BPF
L2
C2
L1
C1
C3
L3
13
12
11
24B
24A
24C
24

图 9

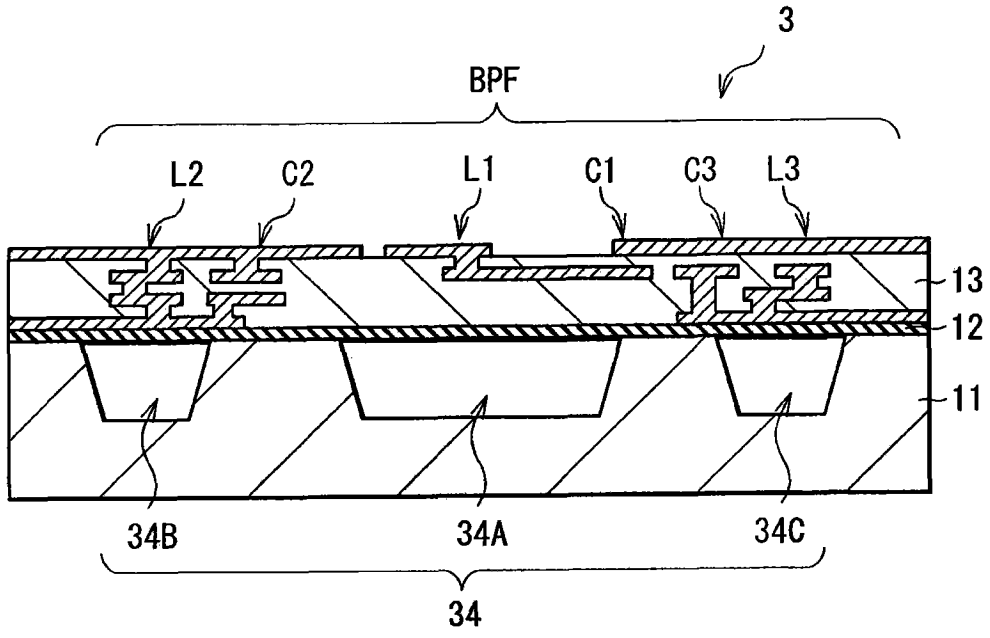

3
BPF
L2
C2
L1
C1
C3
L3
13
12
11
34B
34A
34C
34

图 10

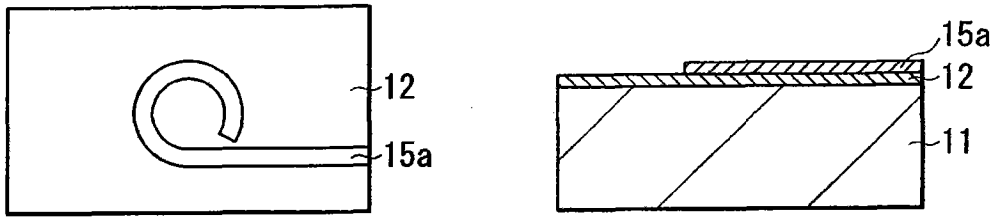


图 11A

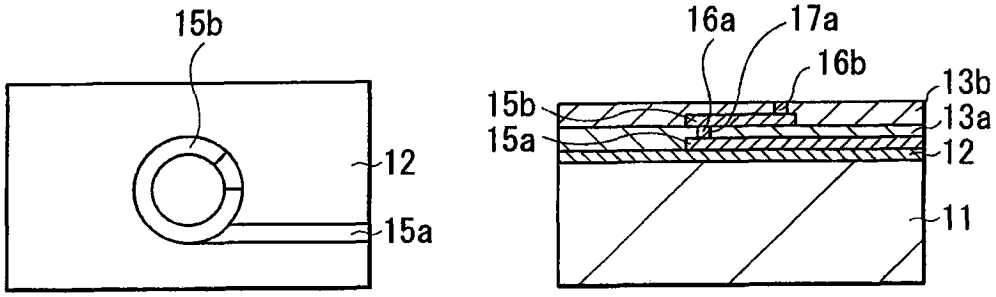


图 11B

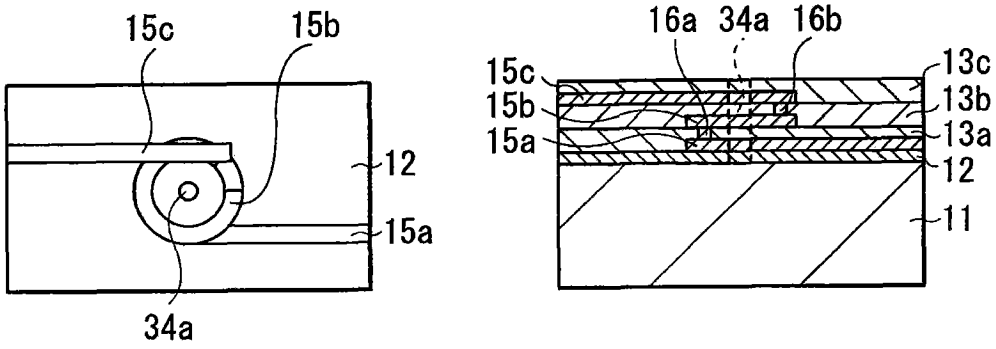


图 11C

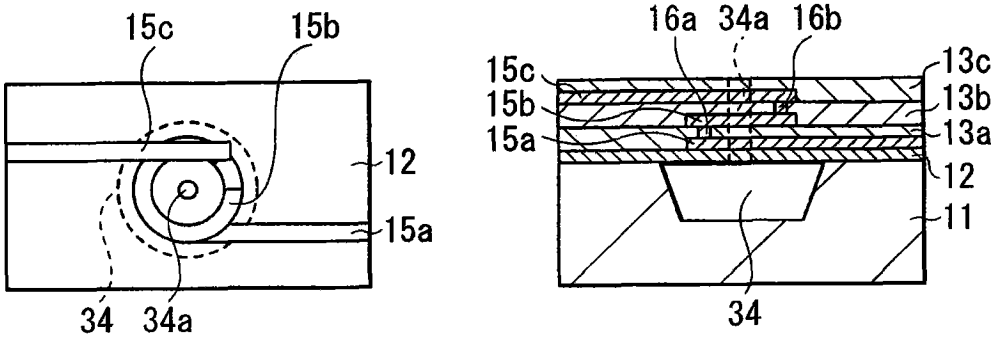


图 11D

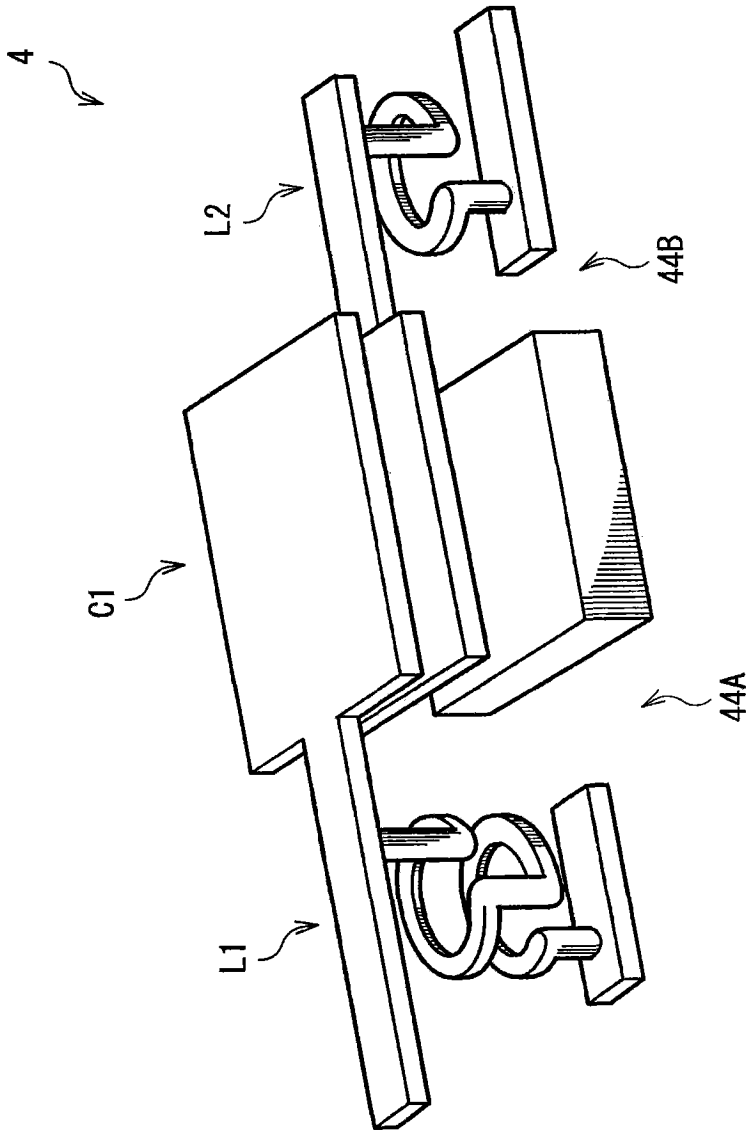


图 12

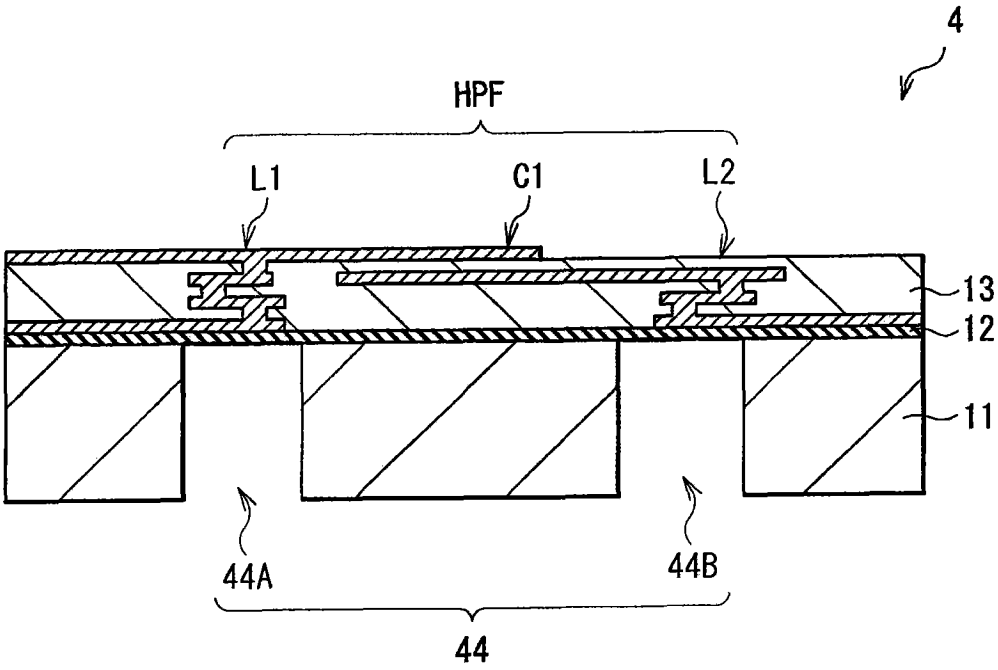


图 13

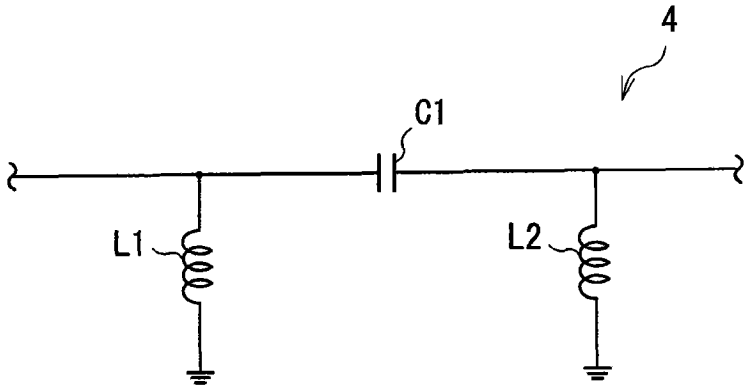


图 14

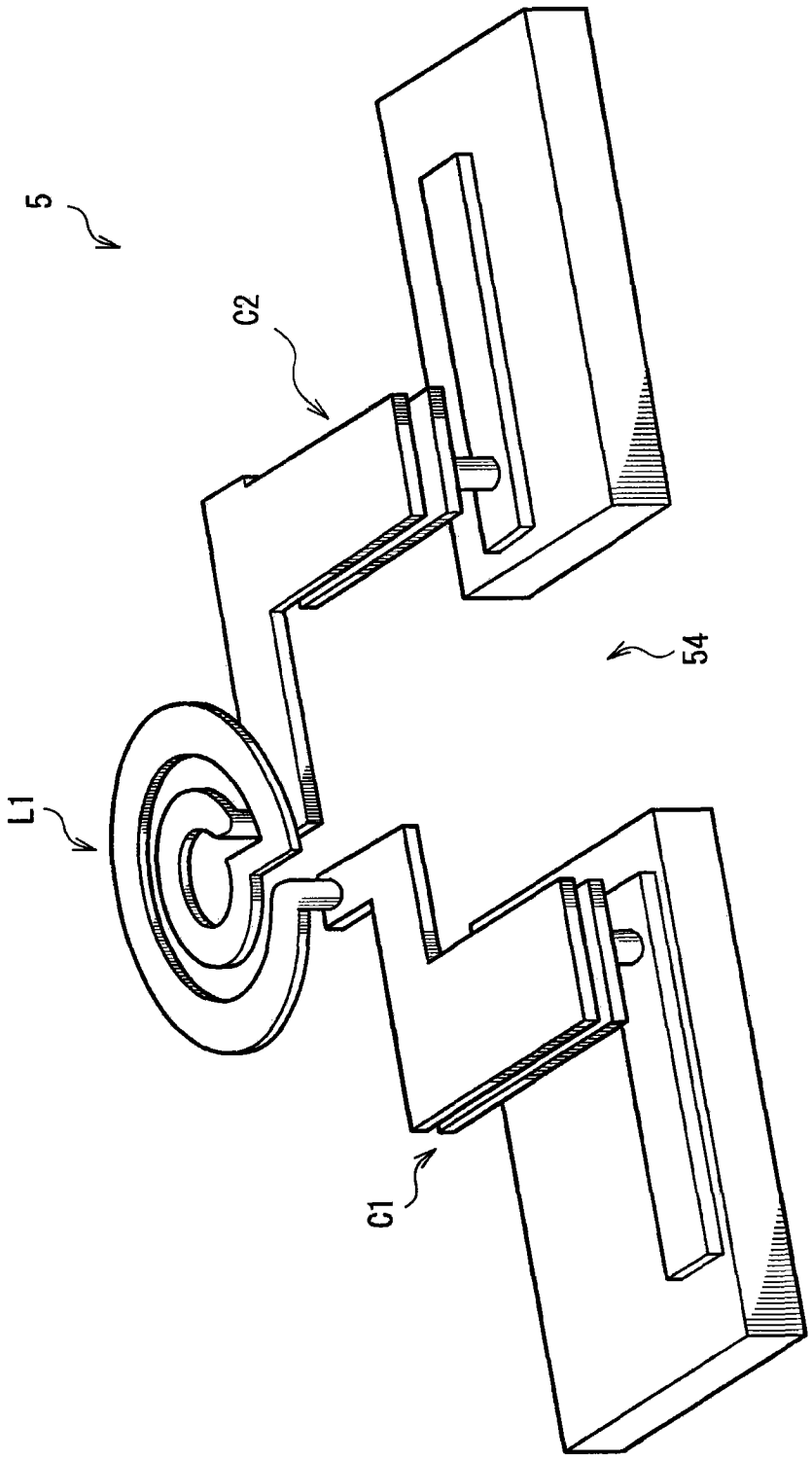


图 15

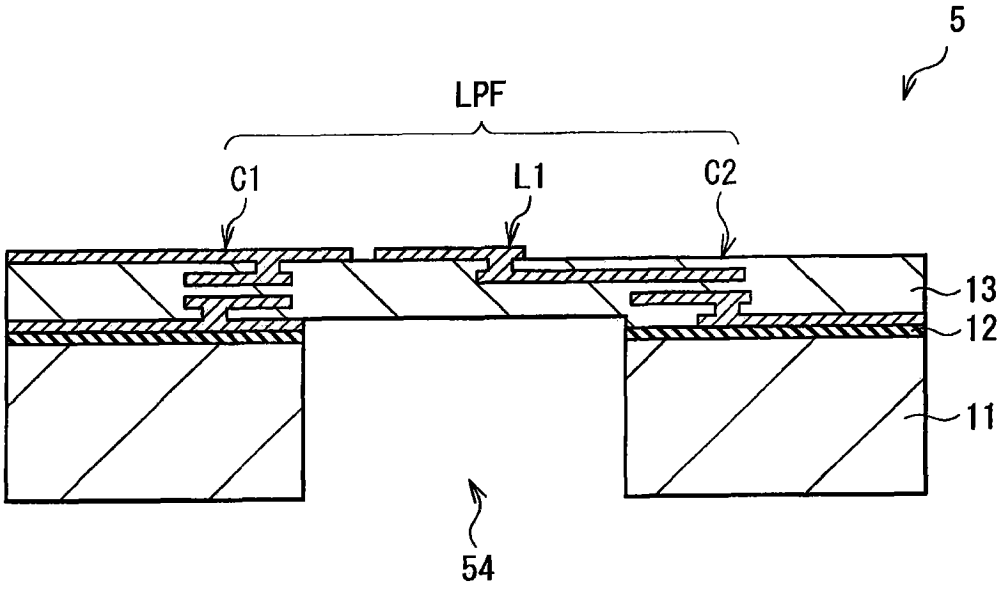


图 16

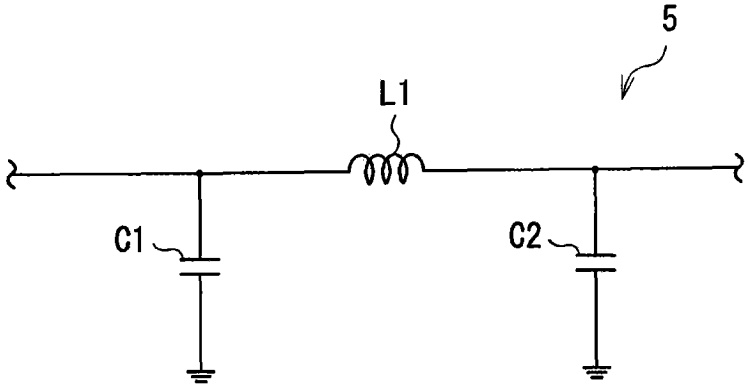


图 17

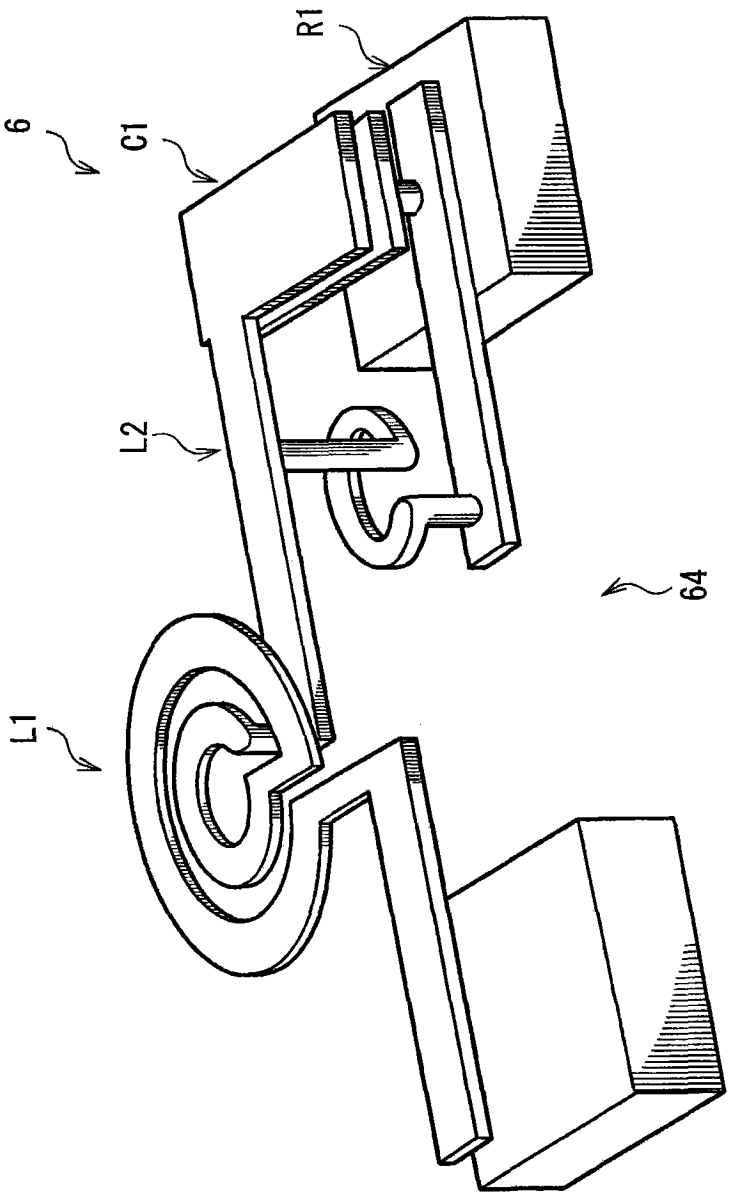


图 18

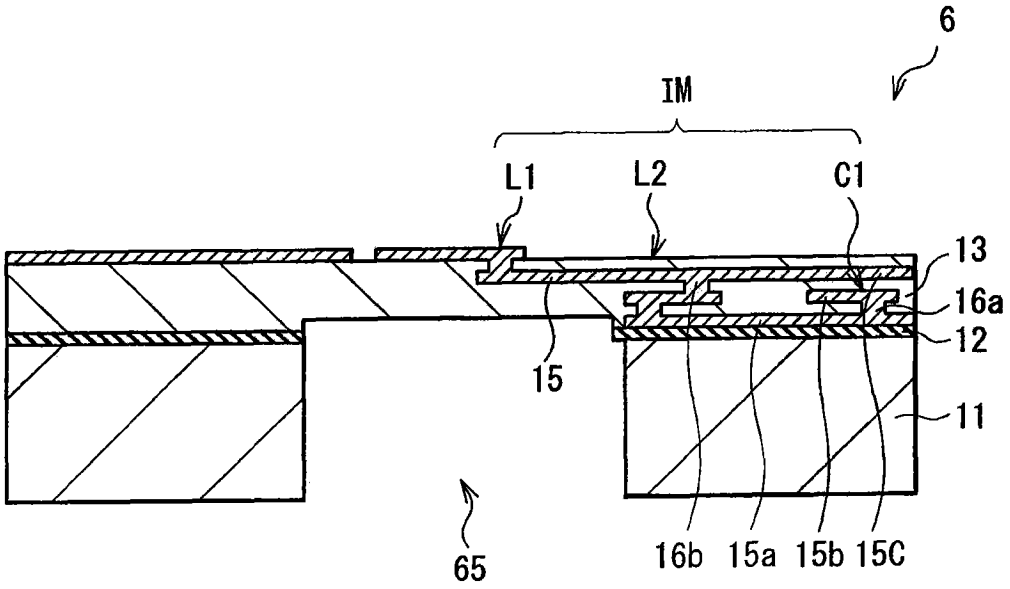


图 19

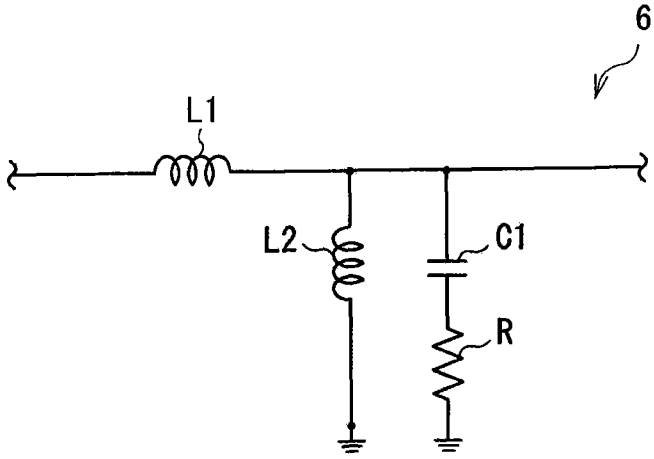


图 20

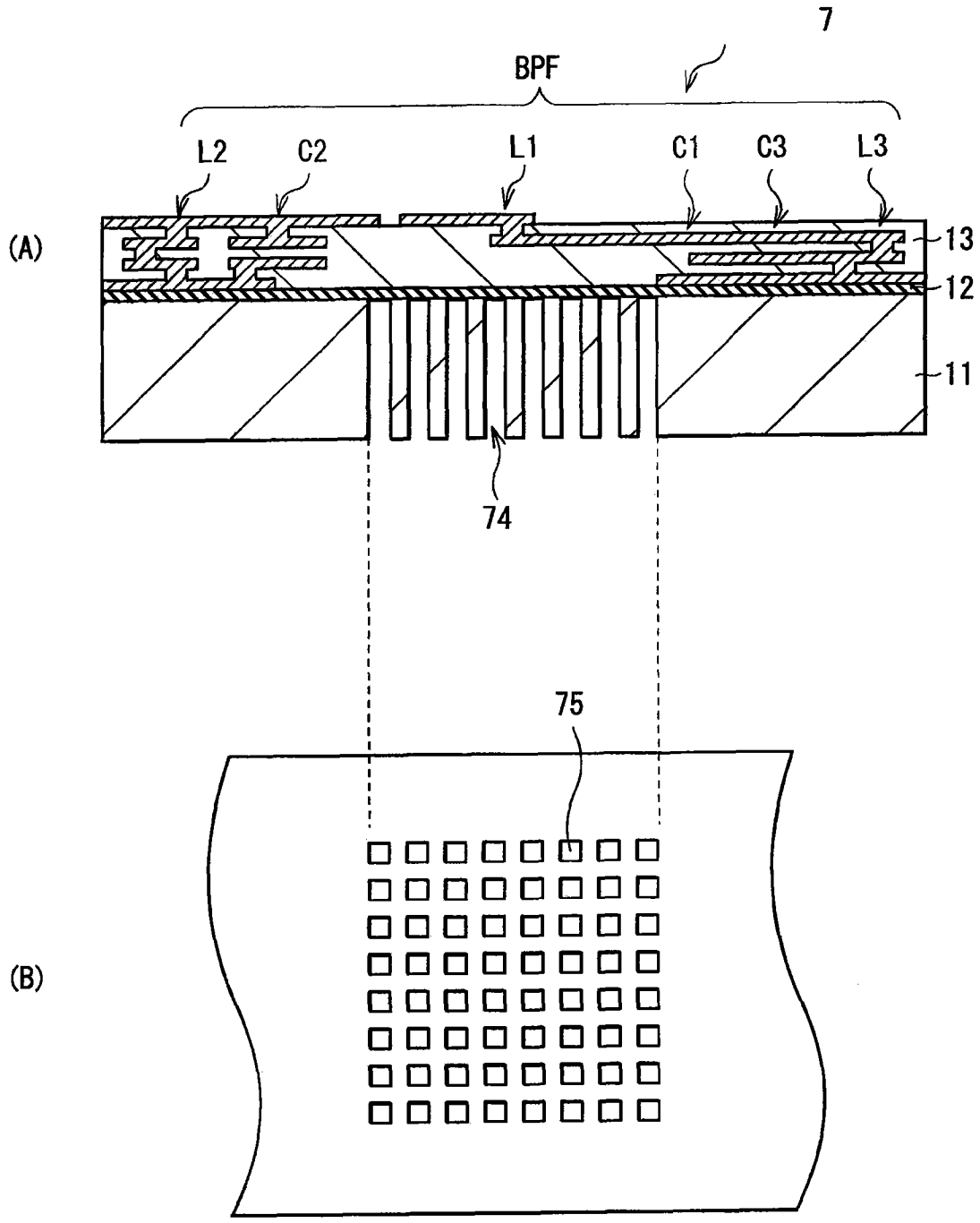


图 21