

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年8月16日(2024.8.16)

【国際公開番号】WO2023/189082

【出願番号】特願2024-511492(P2024-511492)

【国際特許分類】

H 0 1 L 2 1 / 3 3 8 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 3 3 7 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 0 6 (2 0 0 6 . 0 1)

H 0 1 L 2 1 / 2 8 (2 0 0 6 . 0 1)

H 0 1 L 2 9 / 4 1 (2 0 0 6 . 0 1)

10

【 F I 】

H 0 1 L 2 9 / 8 0 H

H 0 1 L 2 9 / 8 0 F

H 0 1 L 2 9 / 8 0 P

H 0 1 L 2 9 / 0 6 3 0 1 F

H 0 1 L 2 1 / 2 8 3 0 1 B

H 0 1 L 2 9 / 4 4 Y

20

【手続補正書】

【提出日】令和6年6月21日(2024.6.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板と、

前記基板の上方に設けられた I I I 族窒化物半導体からなるチャンネル層と、

前記チャンネル層の上方に設けられた、前記チャンネル層よりバンドギャップの大きい I I I 族窒化物半導体からなるバリア層と、

前記バリア層の上方に、前記基板の平面視における第1方向において、互いに間隔を空けて設けられたソース電極およびドレイン電極と、

前記第1方向において、前記ソース電極と前記ドレイン電極との間で、各々に対して間隔を空けて設けられたゲート電極と、

前記ゲート電極と前記ソース電極および前記ドレイン電極との間で、前記バリア層の上方に設けられた絶縁層と、を備え、

前記絶縁層は、最下層にシリコン窒化物からなる第1絶縁層と、前記第1絶縁層の上方にシリコン酸化物からなる第2絶縁層と、を含み、

40

前記ゲート電極は、

前記バリア層とショットキー接合した接合部と、

前記第1方向において、前記接合部よりも前記ソース電極側および前記ドレイン電極側の各々に張り出した張り出し部と、を含み、

前記絶縁層は、前記基板の主面に直交する第2方向における前記張り出し部と前記バリア層との間で、

前記接合部と前記ドレイン電極との間の前記絶縁層の前記接合部側端に設けられた第1サイドウォールと、

前記接合部と前記ソース電極との間の前記絶縁層の前記接合部側端に設けられた第2

50

サイドウォールと、を含み、

前記張り出し部は、

前記平面視における前記第 1 サイドウォールの前記接合部側端である第 1 位置から、前記第 1 サイドウォールの前記ドレイン電極側端である第 2 位置までの区間の第 1 電界プレートと、

前記平面視における前記第 2 位置から、前記張り出し部の前記ドレイン電極側端である第 3 位置までの区間の第 2 電界プレートと、を含み、

前記第 2 電界プレートと前記バリア層との間には、積層された前記第 1 絶縁層と前記第 2 絶縁層とが設けられ、

前記第 1 方向および前記第 2 方向の各々に平行で、かつ、前記接合部を通る断面において、

前記第 1 サイドウォールの上面の前記第 1 位置における接線は、前記主面に対する第 1 仰角の傾きを有し、

前記第 1 電界プレートの下面最高位置は、前記第 1 位置から見て、前記主面に対する第 2 仰角の傾きを有し、

前記第 2 電界プレートの下面最低位置の前記ドレイン電極側端は、前記第 1 位置から見て、前記主面に対する第 3 仰角の傾きを有し、

前記第 2 仰角は、前記第 3 仰角より大きく、

前記第 2 電界プレートの下面は、前記ゲート電極から前記ドレイン電極への方角で、前記バリア層との間隔が単調増加する傾斜面を含み、

前記断面において、前記第 2 電界プレートの下面最低位置の前記ドレイン電極側端から、前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端を見たときの、前記主面に対する仰角を第 5 仰角とした場合、前記第 5 仰角は、前記第 2 仰角より小さく、

前記第 2 絶縁層は、前記平面視で、前記第 2 電界プレートの下面最低位置に重なっている、

半導体装置。

【請求項 2】

基板と、

前記基板の上方に設けられた III 族窒化物半導体からなるチャンネル層と、

前記チャンネル層の上方に設けられた、前記チャンネル層よりバンドギャップの大きい III 族窒化物半導体からなるバリア層と、

前記バリア層の上方に、前記基板の平面視における第 1 方向において、互いに間隔を空けて設けられたソース電極およびドレイン電極と、

前記第 1 方向において、前記ソース電極と前記ドレイン電極との間で、各々に対して間隔を空けて設けられたゲート電極と、

前記ゲート電極と前記ソース電極および前記ドレイン電極との間で、前記バリア層の上方に設けられた絶縁層と、を備え、

前記絶縁層は、最下層にシリコン窒化物からなる第 1 絶縁層と、前記第 1 絶縁層の上方にシリコン酸化物からなる第 2 絶縁層と、を含み、

前記ゲート電極は、

前記バリア層とショットキー接合した接合部と、

前記第 1 方向において、前記接合部よりも前記ソース電極側および前記ドレイン電極側の各々に張り出した張り出し部と、を含み、

前記絶縁層は、前記基板の主面に直交する第 2 方向における前記張り出し部と前記バリア層との間で、

前記接合部と前記ドレイン電極との間の前記絶縁層の前記接合部側端に設けられた第 1 サイドウォールと、

前記接合部と前記ソース電極との間の前記絶縁層の前記接合部側端に設けられた第 2 サイドウォールと、を含み、

前記張り出し部は、

10

20

30

40

50

前記平面視における前記第 1 サイドウォールの前記接合部側端である第 1 位置から、前記第 1 サイドウォールの前記ドレイン電極側端である第 2 位置までの区間の第 1 電界プレートと、

前記平面視における前記第 2 位置から、前記張り出し部の前記ドレイン電極側端である第 3 位置までの区間の第 2 電界プレートと、を含み、

前記第 2 電界プレートと前記バリア層との間には、積層された前記第 1 絶縁層と前記第 2 絶縁層とが設けられ、

前記第 1 方向および前記第 2 方向の各々に平行で、かつ、前記接合部を通る断面において、

前記第 1 サイドウォールの上面の前記第 1 位置における接線は、前記主面に対する第 1 仰角の傾きを有し、 10

前記第 1 電界プレートの下面最高位置は、前記第 1 位置から見て、前記主面に対する第 2 仰角の傾きを有し、

前記第 2 電界プレートの下面最低位置の前記ドレイン電極側端は、前記第 1 位置から見て、前記主面に対する第 3 仰角の傾きを有し、

前記第 1 サイドウォールの上面最高位置は、前記第 2 サイドウォールの上面最高位置より下方に位置する、

半導体装置。

【請求項 3】

前記第 2 電界プレートの下面は、前記ゲート電極から前記ドレイン電極への方 20
向で、前記バリア層との間隔が単調増加する傾斜面を含む、

請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 サイドウォールより前記ソース電極側の前記張り出し部は、前記第 1 サイドウォールの上面最高位置より下方に位置しない、

請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記断面において、前記第 2 電界プレートの下面最低位置の前記ドレイン電極側端から、前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端を見たときの、前記主面に対する仰角を第 5 仰角とした場合、前記第 5 仰角は、前記第 2 仰角より小さい、 30

請求項 3 に記載の半導体装置。

【請求項 6】

前記傾斜面は、前記主面に対する傾斜角が $45 \text{度} \pm 5 \text{度}$ の範囲内である少なくとも 1 つの傾斜面を含む、

請求項 1 または 5 に記載の半導体装置。

【請求項 7】

前記断面において、前記第 1 位置から、前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端を見たときの、前記主面に対する仰角を第 4 仰角とした場合、前記第 3 仰角は、前記第 4 仰角より大きい、

請求項 1 または 5 に記載の半導体装置。 40

【請求項 8】

前記第 2 絶縁層は、前記平面視で、前記第 2 電界プレートの下面最低位置に重なっている、

請求項 5 に記載の半導体装置。

【請求項 9】

前記断面において、前記第 1 位置から、前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端を見たときの、前記主面に対する仰角を第 4 仰角とした場合、前記第 4 仰角は、前記第 3 仰角より大きい、

請求項 1 または 5 に記載の半導体装置。

【請求項 10】 50

前記第 2 電界プレートの下面は、前記第 1 絶縁層に接触する、
請求項 1 または 5 に記載の半導体装置。

【請求項 1 1】

前記断面において、前記第 1 位置から、前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端を見たときの、前記主面に対する仰角を第 4 仰角とした場合、前記第 4 仰角は、前記第 3 仰角と等しい、

請求項 1 または 5 に記載の半導体装置。

【請求項 1 2】

前記ゲート電極の上方に設けられ、前記ソース電極と同電位設定されたソース電界プレートを備え、

前記断面において、前記ソース電界プレートは、前記第 1 位置と前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端とを結ぶ仮想線より下方に突出しない、

請求項 4 に記載の半導体装置。

【請求項 1 3】

前記断面において、前記ソース電界プレートの表面は、前記仮想線に接する、

請求項 1 2 に記載の半導体装置。

【請求項 1 4】

基板と、

前記基板の上方に設けられた III 族窒化物半導体からなるチャンネル層と、

前記チャンネル層の上方に設けられた、前記チャンネル層よりバンドギャップの大きい III 族窒化物半導体からなるバリア層と、

前記バリア層の上方に、前記基板の平面視における第 1 方向において、互いに間隔を空けて設けられたソース電極およびドレイン電極と、

前記第 1 方向において、前記ソース電極と前記ドレイン電極との間で、各々に対して間隔を空けて設けられたゲート電極と、

前記ゲート電極と前記ソース電極および前記ドレイン電極との間で、前記バリア層の上方に設けられた絶縁層と、

前記ゲート電極の上方に設けられ、前記ソース電極と同電位設定されたソース電界プレートと、を備え、

前記絶縁層は、最下層にシリコン窒化物からなる第 1 絶縁層と、前記第 1 絶縁層の上方にシリコン酸化物からなる第 2 絶縁層と、を含み、

前記ゲート電極は、

前記バリア層とショットキー接合した接合部と、

前記第 1 方向において、前記接合部よりも前記ソース電極側および前記ドレイン電極側の各々に張り出した張り出し部と、を含み、

前記絶縁層は、前記基板の主面に直交する第 2 方向における前記張り出し部と前記バリア層との間で、

前記接合部と前記ドレイン電極との間の前記絶縁層の前記接合部側端に設けられた第 1 サイドウォールと、

前記接合部と前記ソース電極との間の前記絶縁層の前記接合部側端に設けられた第 2 サイドウォールと、を含み、

前記張り出し部は、

前記平面視における前記第 1 サイドウォールの前記接合部側端である第 1 位置から、前記第 1 サイドウォールの前記ドレイン電極側端である第 2 位置までの区間の第 1 電界プレートと、

前記平面視における前記第 2 位置から、前記張り出し部の前記ドレイン電極側端である第 3 位置までの区間の第 2 電界プレートと、を含み、

前記第 2 電界プレートと前記バリア層との間には、積層された前記第 1 絶縁層と前記第 2 絶縁層とが設けられ、

前記第 1 方向および前記第 2 方向の各々に平行で、かつ、前記接合部を通る断面におい

10

20

30

40

50

て、

前記第 1 サイドウォールの上面の前記第 1 位置における接線は、前記主面に対する第 1 仰角の傾きを有し、

前記第 1 電界プレートの下面最高位置は、前記第 1 位置から見て、前記主面に対する第 2 仰角の傾きを有し、

前記第 2 電界プレートの下面最低位置の前記ドレイン電極側端は、前記第 1 位置から見て、前記主面に対する第 3 仰角の傾きを有し、

前記第 2 仰角は、前記第 3 仰角より大きく、

前記第 2 電界プレートの下面は、前記ゲート電極から前記ドレイン電極へ方向で、前記バリア層との間隔が単調増加する傾斜面を含み、

前記第 2 サイドウォールより前記ソース電極側の前記張り出し部は、前記第 1 サイドウォールの上面最高位置より下方に位置せず、

前記断面において、前記ソース電界プレートは、前記第 1 位置と前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端とを結ぶ仮想線より下方に突出せず、

前記断面において、前記ソース電界プレートの表面は、前記仮想線に接する、
半導体装置。

【請求項 15】

前記断面において、前記第 2 電界プレートの下面最低位置の前記ドレイン電極側端から、前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端を見たときの、前記主面に対する仰角を第 5 仰角とした場合、前記第 5 仰角は、前記第 2 仰角より小さい、

請求項 14 に記載の半導体装置。

【請求項 16】

前記断面において、前記第 1 位置から、前記第 2 電界プレートの下面最高位置の前記ドレイン電極側端を見たときの、前記主面に対する仰角を第 4 仰角とした場合、前記第 4 仰角は、前記第 3 仰角と等しい、

請求項 14 に記載の半導体装置。

10

20

30

40

50