(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 105870115 A
(43)申请公布日 2016.08.17

(21)申请号 201610204089.2

(22)申请日 2016.04.01

(71)申请人 无锡麟力科技有限公司
地址 214000 江苏省无锡市锡山区锡山经济开发区芙蓉中3路99号瑞云3座

(72)发明人 刘桂芝 马丙乾 付强

(74)专利代理机构 北京联瑞联丰知识产权代理事务所(普通合伙) 11411
代理人 黄冠华

(51)Int.Cl.
H01L 25/16(2006.01)
H01L 23/49(2006.01)
H01L 23/367(2006.01)

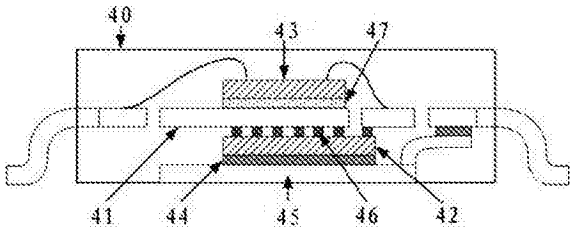
权利要求书1页 说明书3页 附图8页

(54)发明名称

一种多芯片3D封装结构

(57)摘要

本发明公开了一种多芯片3D封装结构，包括塑封体(40)，该塑封体(40)内封装有框架基岛(41)，该框架基岛(41)的正面至少贴装有一个控制芯片(43)，且所述控制芯片(43)与框架基岛(41)之间设置有绝缘胶(47)；所述框架基岛(41)的背面至少贴装有一个功率芯片(42)，且所述功率芯片(42)与框架基岛(41)之间均匀设置有多个铜柱(46)；所述功率芯片(42)的另一面通过焊料与散热片贴装在一起；其中，所述控制芯片(42)上的功能脚位与所述框架基岛(41)上的框架脚位相连接。本发明将使用Flip-chip工艺贴装功率芯片，避免使用焊线连接，有效降低了大电流回路的内阻，提高了电气效率。



CN 105870115 A

1.一种多芯片3D封装结构，其特征在于，包括塑封体(40)，该塑封体(40)内封装有框架基岛(41)，该框架基岛(41)的正面至少贴装有一个控制芯片(43)，且所述控制芯片(43)与框架基岛(41)之间设置有绝缘胶(47)；所述框架基岛(41)的背面至少贴装有一个功率芯片(42)，且所述功率芯片(42)与框架基岛(41)之间均匀设置有多个铜柱(46)；所述功率芯片(42)的另一面通过焊料(44)与散热片(45)贴装在一起。

一种多芯片3D封装结构

技术领域

[0001] 本发明涉及一种多芯片3D封装结构。

背景技术

[0002] 目前,常见的多芯片封装主要又下面几种:

[0003] 1、多芯片贴装在同一个基岛上,使用导线将芯片与引脚相连接。如图1a至图1d所示:该封装结构是将多个芯片使用装片胶贴装在同一基岛上,通常两个芯片分别为功率芯片12和控制芯片13。控制芯片13衬底为低电位,功率芯片12衬底为高电位,两者衬底电位存在电压差。功率芯片12衬底上的高电位一般都需要使用导电胶与框架基岛粘连,通过基岛引出高电位。此时控制芯片13就需要采用绝缘胶与基岛进行电气隔离。由于绝缘胶的厚度难以控制,并且框架表面镀层容易出现尖凸导电颗粒,从而使得控制芯片13衬底与框架基岛出现漏电的现象,影响产品性能和可靠性。另外,功率芯片12表面使用导线与引脚相连接,大电流回路中存在焊线连接,内阻较大,影响电气效率。

[0004] 其主要缺点是:高电位区域与低电位区域之间使用绝缘胶隔离,存在漏电风险;大电流回路中存在焊线连接,内阻较大。

[0005] 2、多个芯片进行堆叠封装,使用导线将芯片与引脚相连接。如图2a至2c所示:

[0006] 该封装结构是多芯片进行堆叠装片,功率芯片22使用装片胶贴装在框架基岛21上,再使用绝缘胶将控制芯片23贴装在功率芯片22上方,再通过焊线将两颗芯片进行电气连接,形成堆叠装片的结构。这种封装结构必须要求功率芯片22面积足够大,能够满足贴装控制芯片23大小的要求,并且要求这些面积上不能够进行焊线。由于功率芯片22使用焊线连接,存在较大的焊线内阻,使得大电流回路中存在焊线连接,内阻较大,影响电气效率。

[0007] 其主要缺点是:大电流回路中存在焊线连接,内阻较大;功率芯片面积必须要比控制芯片面积大。

[0008] 3、多芯片多基岛封装,使用导线将芯片与引脚相连接。如图3a至3c所示:

[0009] 这种封装结构是将功率芯片32和控制芯片33分别贴装在单独的框架基岛31上,再使用焊线将其连接。这种多基岛结构的芯片与框架通常是包封在塑封体内部的,从而使得芯片的热阻较高,散热效果不佳。其中的功率芯片32使用焊线连接,存在较大的焊线内阻,影响电气效率。

[0010] 其主要缺点是:没有散热片,散热效果不佳;大电流回路中存在焊线连接,内阻较大。

发明内容

[0011] 本发明目的是针对现有技术存在的缺陷提供一种多芯片3D封装结构。

[0012] 本发明为实现上述目的,采用的技术方案如下:一种多芯片3D封装结构,包括:塑封体40,该塑封体40内封装有框架基岛41,该框架基岛41的正面至少贴装有一个控制芯片43,且所述控制芯片43与框架基岛41之间设置有绝缘胶47;所述框架基岛41的背面至少贴

装有一个功率芯片42，且所述功率芯片42与框架基岛41之间均匀设置有多个铜柱46；所述功率芯片42的另一面通过焊料44与散热片45贴装在一起。

[0013] 本发明的有益效果：

[0014] 1、本发明将使用Flip-chip工艺贴装功率芯片，避免使用焊线连接，有效降低了大电流回路的内阻，提高了电气效率。

[0015] 2、本发明采用在框架基岛双面装片的技术，充分利用了基岛空间，有效节约框架基岛的面积，节约了材料成本。

[0016] 3、本发明采用在框架基岛正反面分布贴装控制芯片和功率芯片，有效的分离低电位芯片和高电位芯片，解决了高压绝缘的问题。

[0017] 4、本发明采用贴装散热片方式并将散热片裸露在塑封体表面，有效提高了封装体的散热性能。

附图说明

[0018] 图1a为传统多芯片同基岛封装结构平面示意图。

[0019] 图1b为传统多芯片同基岛封装结构截面示意图。

[0020] 图1c为传统多芯片同基岛封装结构的高低电位区域示意图。

[0021] 图1d为传统多芯片同基岛封装结构的大电流区域示意图。

[0022] 图2a为传统多芯片堆叠封装结构平面示意图。

[0023] 图2b为传统多芯片堆叠封装结构截面示意图。

[0024] 图2c为传统多芯片堆叠封装结构的大电流区域示意图。

[0025] 图3a为传统多芯片多基岛封装结构平面示意图。

[0026] 图3b为传统多芯片多基岛封装结构截面示意图。

[0027] 图3c为传统多芯片多基岛封装结构的大电流区域示意图。

[0028] 图4a为本发明3D封装结构平面示意图。

[0029] 图4b为本发明3D封装结构截面示意图。

[0030] 图4c为本发明3D封装结构的高低电位区域示意图。

[0031] 图4d为本发明3D封装结构的大电流区域示意图。

[0032] 图4e为本发明3D封装结构中散热片不裸露在塑封体表面时的封装示意图。

[0033] 图4f为本发明3D封装结构采用多个功率芯片封装示意图。

[0034] 图4g为本发明3D封装结构采用多个控制芯片封装示意图。

具体实施方式

[0035] 图4a、图4b所示，公开了一种多芯片3D封装结构，该结构实现的工艺将Bumping工艺、Flip-chip工艺、Clip工艺、装片胶工艺和焊线工艺相结合，将多芯片贴装在框架基岛的两侧，最终得到一种新的3D封装结构。

[0036] 上述工艺得到的3D封装结构，具体包括：塑封体40，该塑封体40内封装有框架基岛41，该框架基岛41的正面至少贴装有一个控制芯片43，且所述控制芯片43与框架基岛41之间设置有绝缘胶47；所述框架基岛41的背面至少贴装有一个功率芯片42，且所述功率芯片42与框架基岛41之间均匀设置有多个铜柱46；所述功率芯片42的另一面通过焊料44与散热

片45贴装在一起。其中，为使得封装结构更加紧凑，所述控制芯片42上的功能脚位最好与所述框架基岛41上的框架脚位相连接。

[0037] 该工艺具体包括如下步骤：

[0038] a)使用Bumping工艺在功率芯片的正面生长多个铜柱；

[0039] b)使用Flip-chip工艺将功率芯片装贴在框架基岛的背面；

[0040] c)用Clip工艺将散热片贴装在功率芯片的背面；

[0041] d)使用装片胶工艺将控制芯片装贴在框架基岛的正面；

[0042] e)使用焊线将控制芯片上的功能脚位与框架脚位相连接；

[0043] f)将焊好线的框架放到经过处理的模具中，使散热片紧贴模具进行塑封；

[0044] g)将塑封后的产品电镀后切筋成型。

[0045] 本发明在框架基岛两面分布贴装高电位芯片和低电位芯片，使高电位与低电位有效的隔离；如图4c所示。

[0046] 本发明将使用Flip-chip工艺贴装功率芯片，避免使用焊线连接，有效降低了大电流回路的内阻，提高了电气效率，如图4d所示。

[0047] 另外，在本发明的上述封装工艺中，工序b)和工序c)可以互换顺序，同样可以实现该3D封装结构。互换后的封装工艺流程如下：

[0048] a)使用Bumping工艺在功率芯片正面生长多个铜柱；

[0049] b)使用焊料工艺将功率芯片贴装在散热片上；

[0050] c)使用Flip-chip工艺将贴好散热片的功率芯片装贴在框架基岛的背面；

[0051] d)使用装片胶工艺将控制芯片装贴在框架基岛的正面；

[0052] e)使用焊线将控制芯片上的功能脚位与框架脚位相连接；

[0053] f)将焊好线的框架放到经过处理的模具中使散热片紧贴模具进行塑封；

[0054] g)将塑封后的产品电镀后切筋成型。

[0055] 其中，当功率芯片没有散热要求时，工序f)中散热片可以不贴附在塑封体表面，如图4e所示。

[0056] 其中，框架基岛两侧的控制芯片和功率芯片的数量不仅限于一个，可以多个，这时工艺流程中的相关工序可以多次重复进行，如图4f和图4g所示。另外，封装体类型可以依据需求而不同，如SOP、DFN、QFN等。

[0057] 以上所述仅为本发明的较佳实施例，并不用以限制本发明，凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

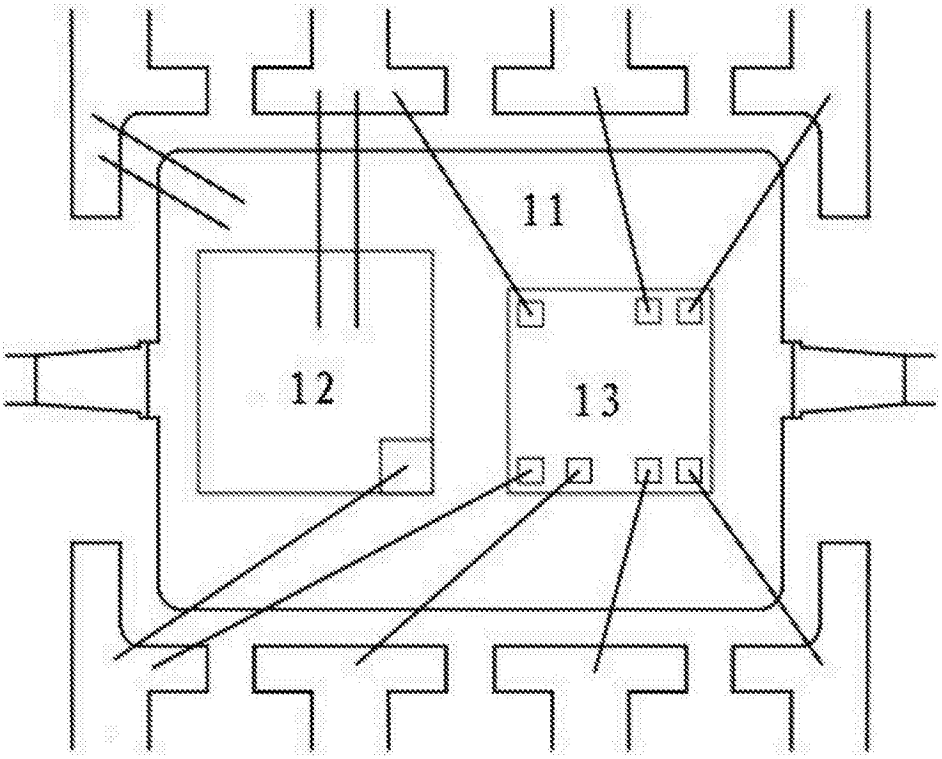


图1a

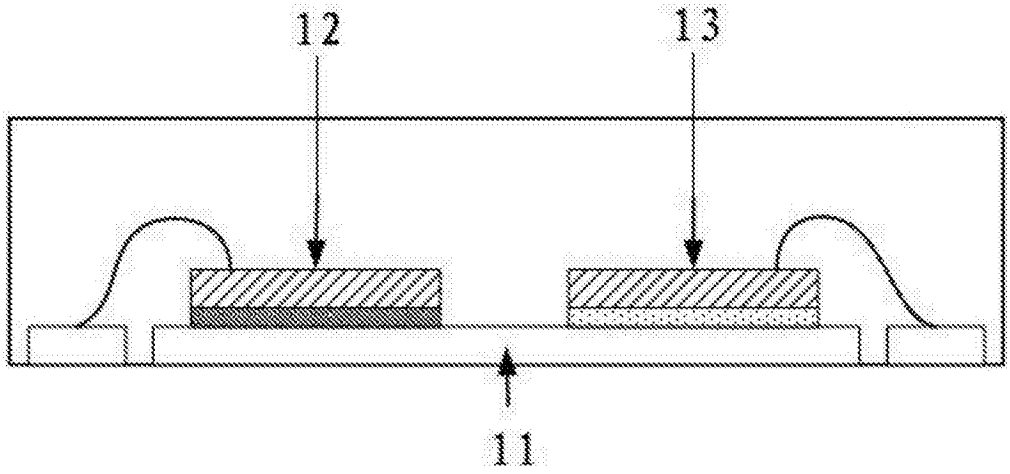


图1b

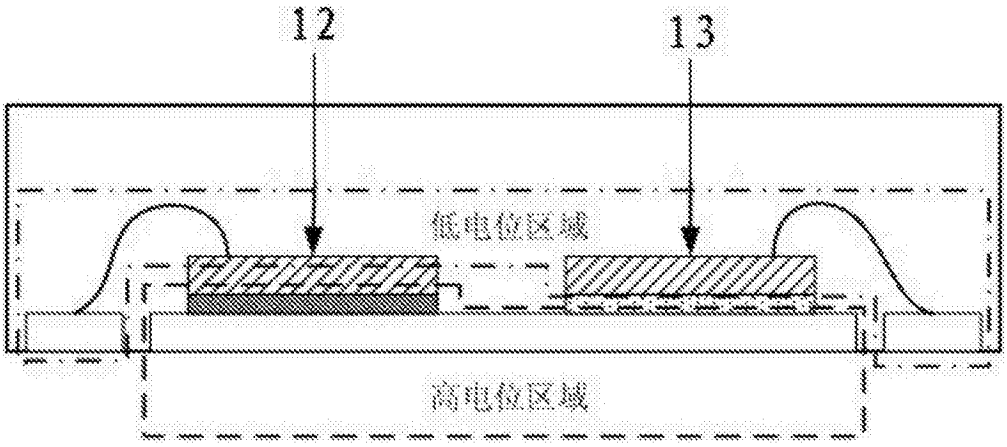


图1c

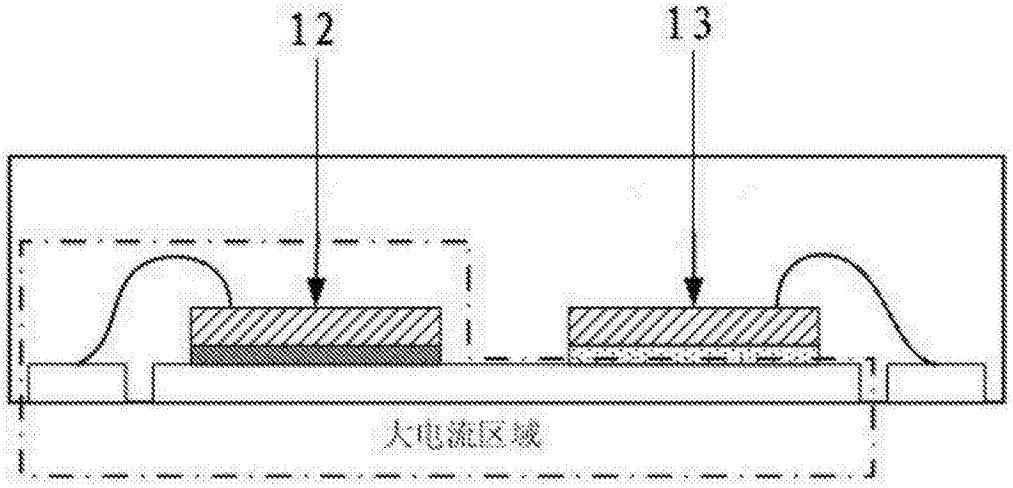


图1d

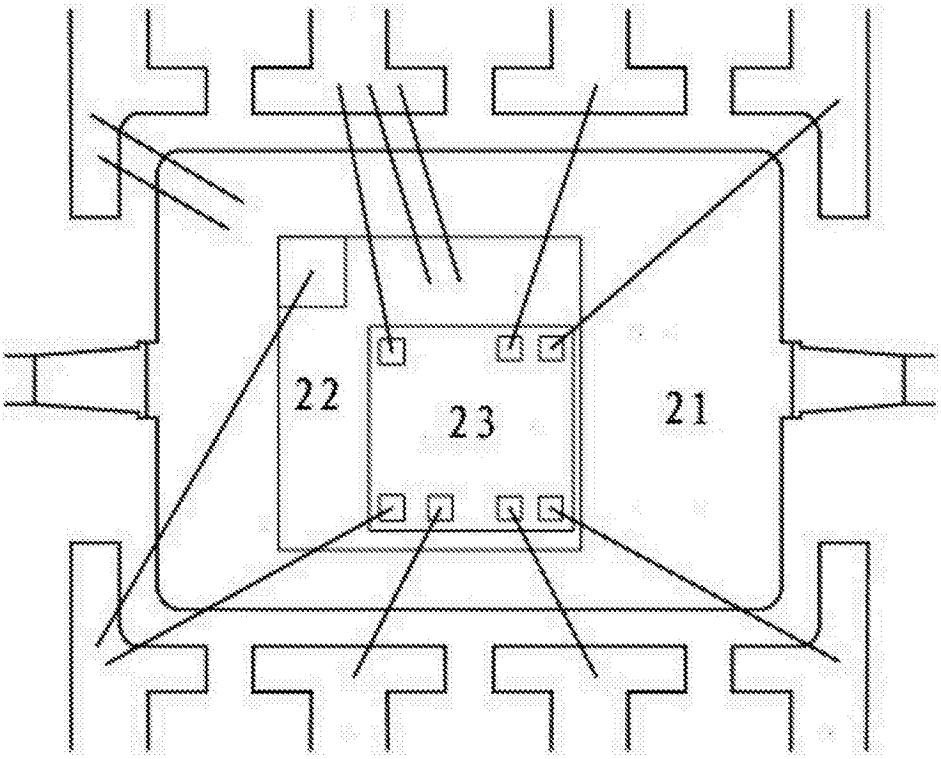


图2a

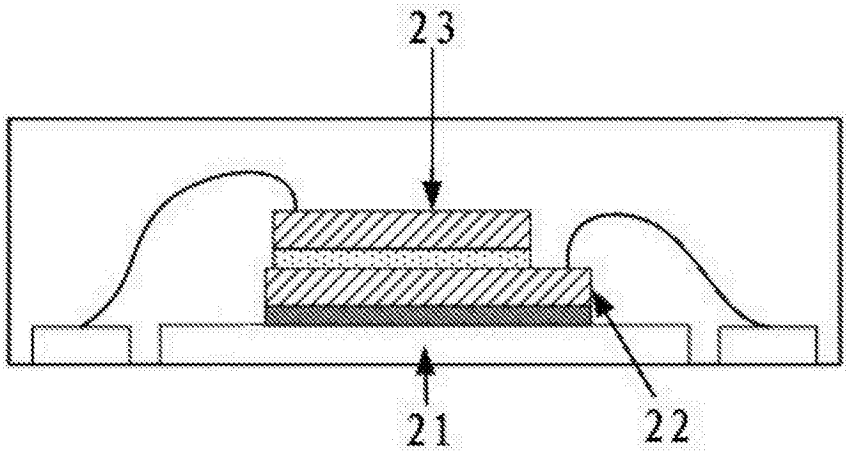


图2b

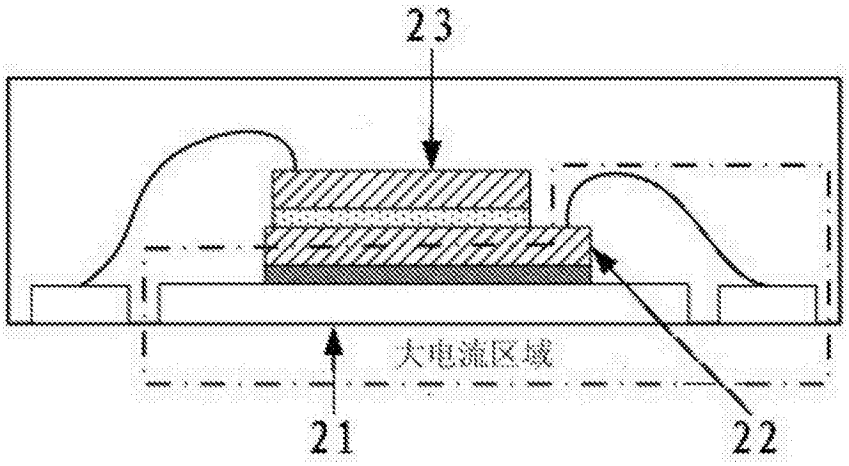


图2c

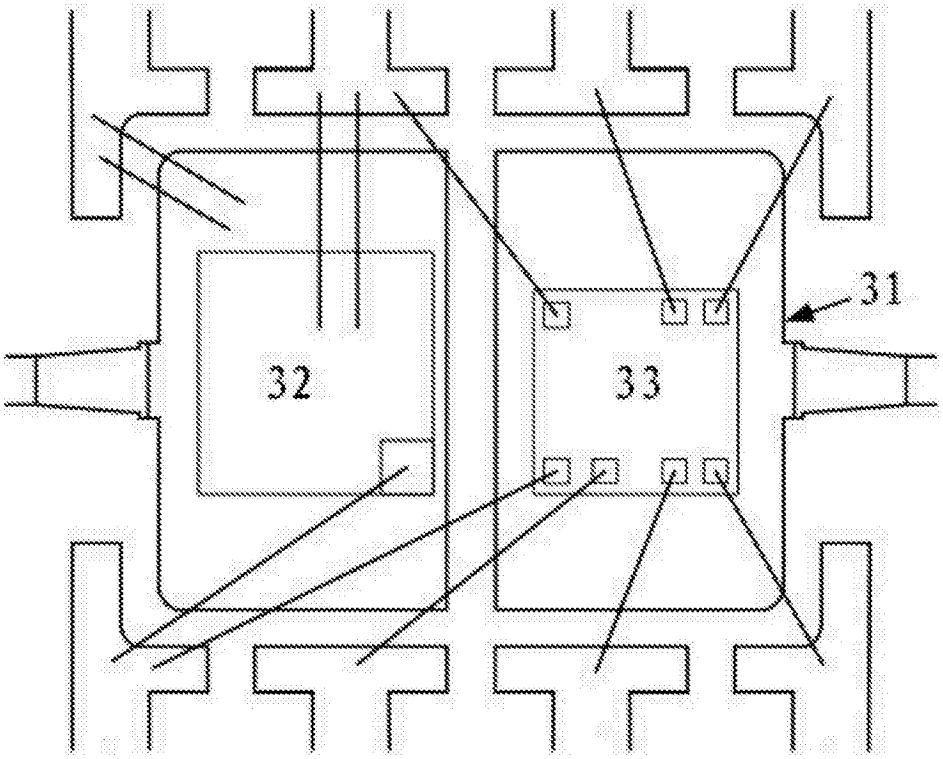


图3a

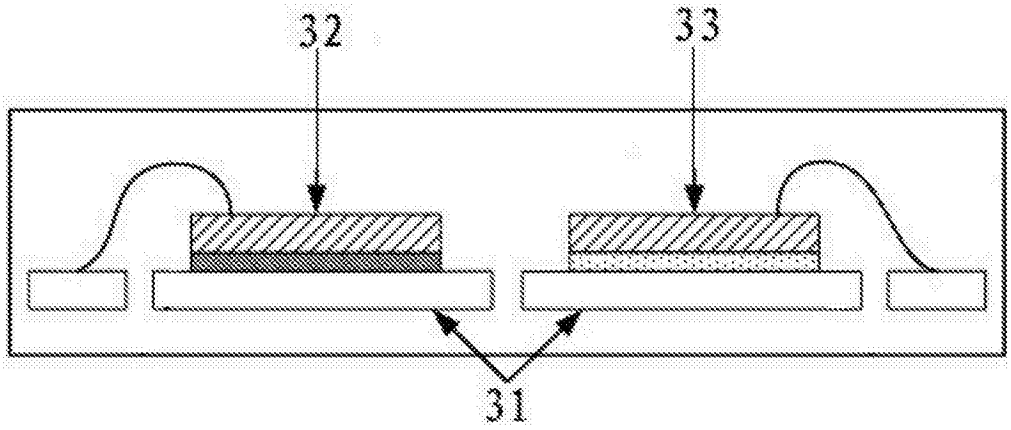


图3b

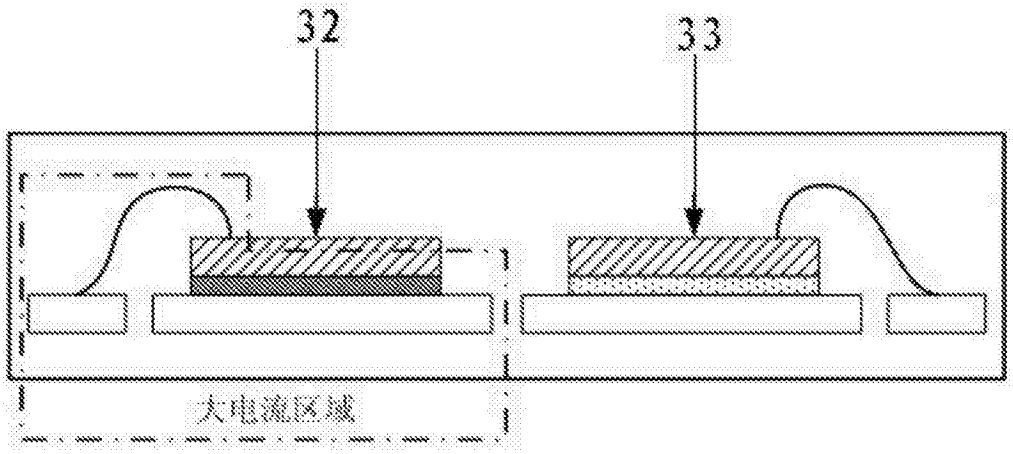


图3c

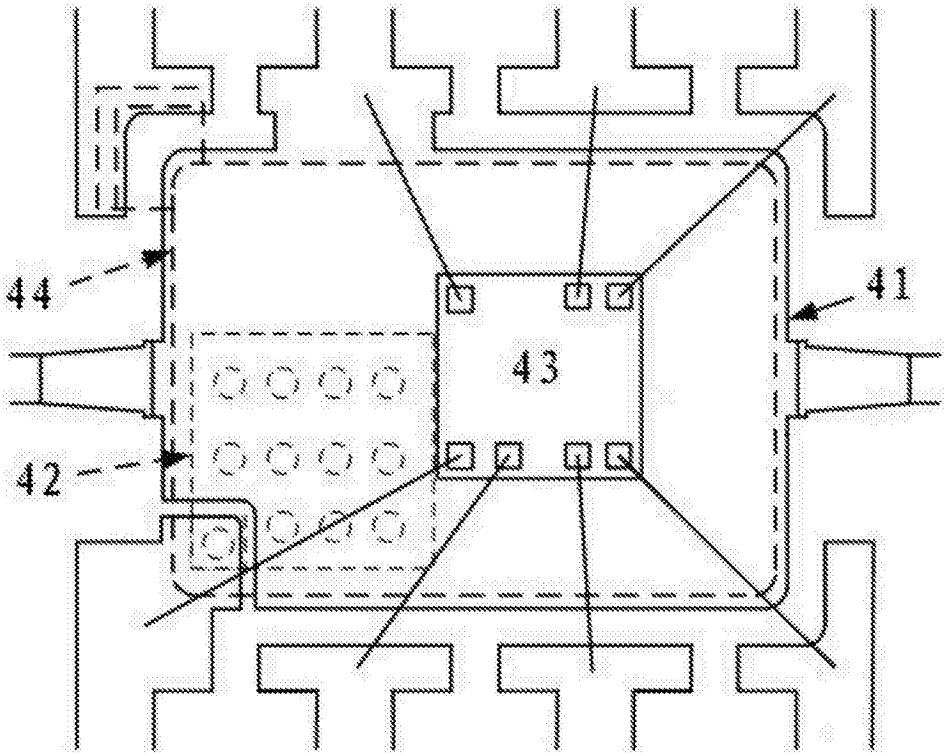


图4a

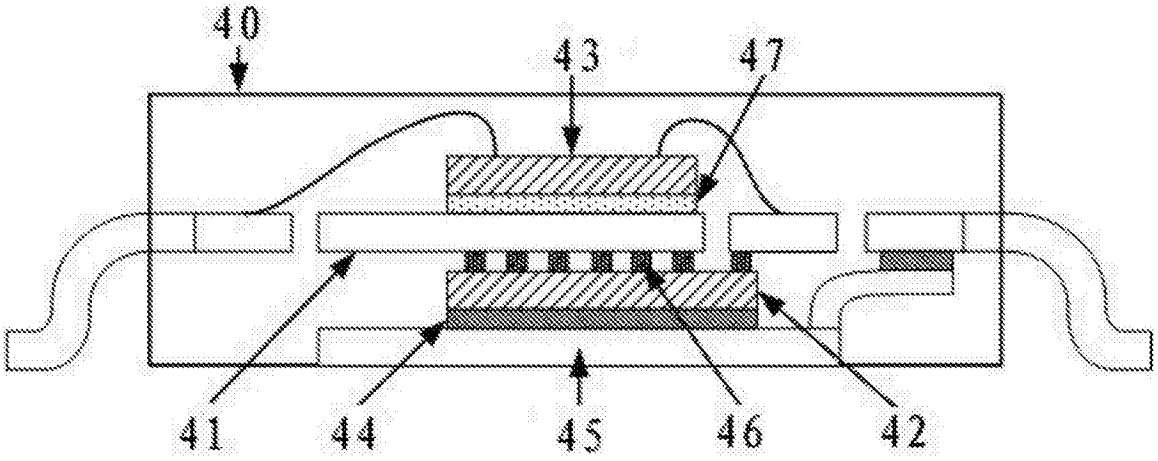


图4b

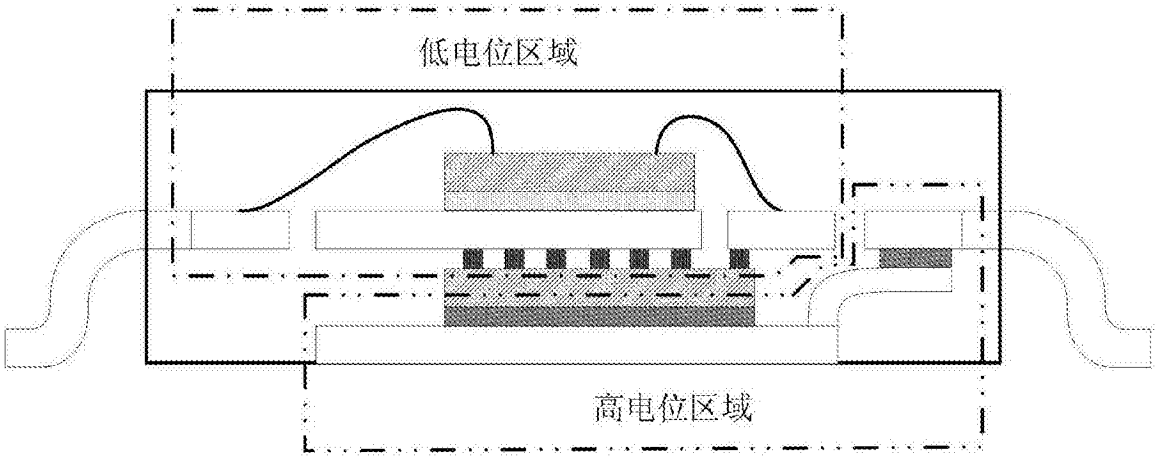


图4c

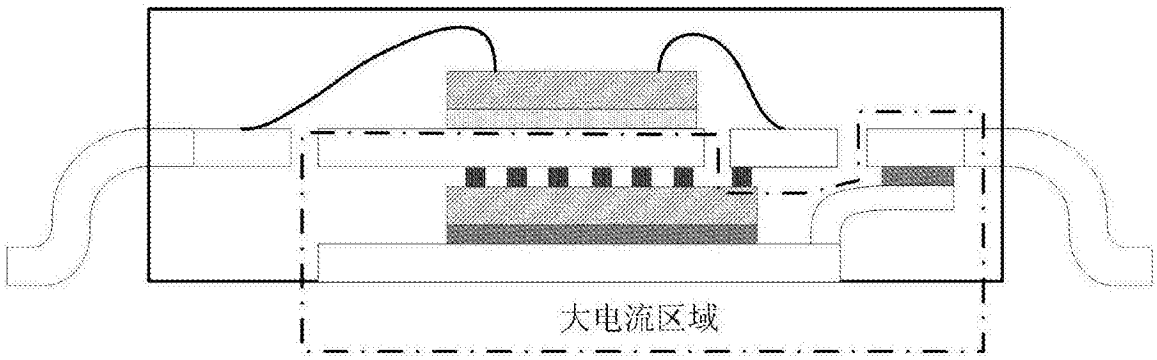


图4d

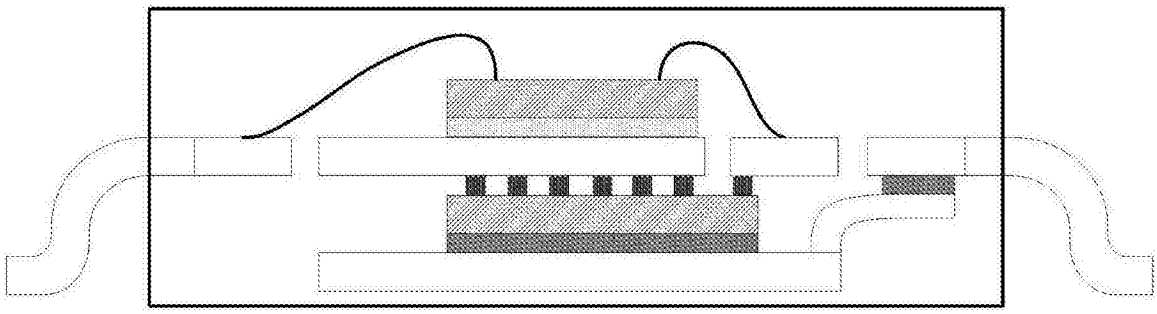


图4e

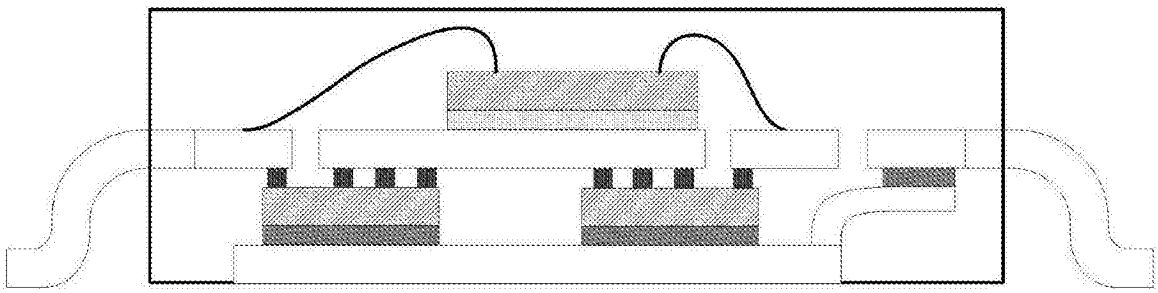


图4f

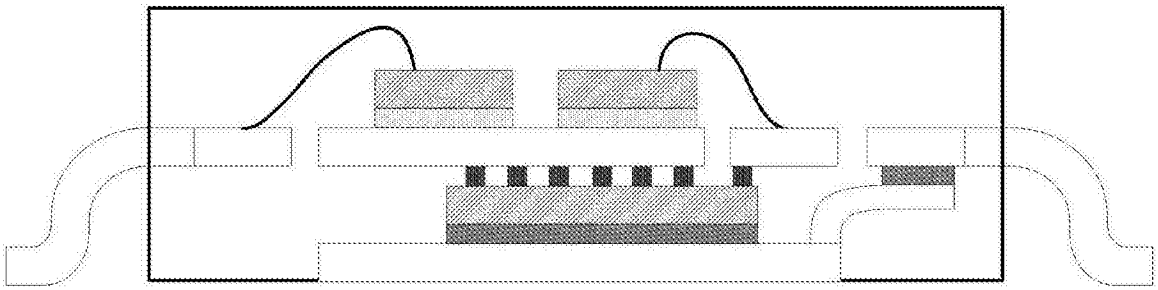


图4g