

發明專利說明書

107年9月26日修正替換頁

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：097105559

※申請日期：97年02月18日

※IPC分類：G11C 11/34 (2006.01)

一、發明名稱：

(中) 記憶體系統中的時脈模式測定

(英) Clock mode determination in a memory system

二、申請人：(共 1 人)

1. 姓名：(中) 考文森智財管理公司

(英) CONVERSANT INTELLECTUAL PROPERTY MANAGEMENT INC.

代表人：(中) 1. 福佛 馬修

(英) 1. FAUVEL, MATTHEW

地址：(中) 加拿大安大略省渥太華瑪奇路390號100室

(英) 390 March Road, Suite 100, Ottawa, Ontario K2K 0G7, Canada

國籍：(中英) 加拿大 CANADA

三、發明人：(共 2 人)

1. 姓名：(中) 彼得 吉林翰

(英) GILLINGHAM, PETER B.

國籍：(中) 加拿大

(英) CANADA

2. 姓名：(中) 格拉翰 艾倫

(英) ALLAN, GRAHAM

國籍：(中) 加拿大

(英) CANADA

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2007/02/16 ; 60/902,003 有主張優先權

五、中文發明摘要

發明名稱：記憶體系統中的時脈模式測定

本文說明一種記憶體系統的時脈模式架構。記憶體系統包括任何數目之彼此串聯的記憶體裝置，其中各記憶體裝置接收一時脈信號。該時脈信號可以以與記憶體裝置並列的方式或是透過一共同時脈輸入逐記憶體裝置串列的方式提供。在各記憶體裝置中的時脈模式架構電路被設定成並列模式，用以接收該並列時脈信號，且設定成串列模式，用以接收來自習知記憶體裝置之來源同步時脈信號。視該設定的操作模式而定，資料輸入電路可針對對應資料信號模式來架構，且該對應時脈輸入電路將會被致能或去能。該並列模式及串列模式係藉著感測提供給各記憶體裝置之參考電壓的電壓位準。

六、英文發明摘要

發明名稱：

CLOCK MODE DETERMINATION IN A MEMORY SYSTEM

A clock mode configuration circuit for a memory device is described. A memory system includes any number of memory devices serially connected to each other, where each memory device receives a clock signal. The clock signal can be provided either in parallel to all the memory devices or serially from memory device to memory device through a common clock input. The clock mode configuration circuit in each memory device is set to a parallel mode for receiving the parallel clock signal, and to a serial mode for receiving a source synchronous clock signal from a prior memory device. Depending on the set operating mode, the data input circuits will be configured for the corresponding data signal format, and the corresponding clock input circuits will be either enabled or disabled. The parallel mode and the serial mode is set by sensing a voltage level of a reference voltage provided to each memory device

七、指定代表圖：

(一)、本案指定代表圖為：第 (3C) 圖

(二)、本代表圖之元件代表符號簡單說明：

104, 106, 108, 110 : 記憶體裝置

200 : 串列記憶體系統

202 : 記憶體控制器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明係大致有關於記憶體系統中的時脈模式測定。

【先前技術】

快閃記憶體是一種廣泛用作為諸如數位相機及攜帶式數位音樂播放器等消費性電子產品的大量儲存單元的一般使用型非揮發性記憶體。由 2 堆疊晶粒組成之目前可取得的快閃記憶體組件的密度可達到 32Gbits (4GB)，其因為快閃記憶體組件的大小一般較小的而適於常見的通用序列匯流排快閃記憶體驅動器 (USB flash drives)。

8 百萬像素相機及具有音樂及視訊能力的攜帶式數位娛樂裝置的到來已經激起對儲存大量資料的超高容量的需求，而單一快閃記憶體裝置可能無法滿足此需求。因此，多個快閃記憶體裝置結合成一記憶體系統以有效增加可用的儲存容量。舉例來說，此種應用可能需要 20GB 的快閃記憶體儲存密度。

圖 1 係與主機系統 12 整合的習知技術快閃記憶體系統 10 之方塊圖。快閃記憶體系統 10 包括與主機系統 12 通訊的記憶體控制器 14、及多個非揮發性記憶體裝置 16。主機系統 12 包括諸如微控制器、微處理器或電腦系統的處理裝置。圖 1 之快閃記憶體系統 10 係建構成為包括一通道 18，其中記憶體裝置 16 與通道 18 並聯。熟悉此技藝之人士應瞭解到記憶體系統 10 可具有多於或小於四

個與其連接的記憶體裝置。

通道 18 包括一組共同匯流排，其包括與所有它的對應記憶體裝置連接的資料及控制線。各記憶體裝置被記憶體控制器 14 所提供的個別的晶片選擇（致能）信號 CE#1、CE#2、CE#3 及 CE#4 致能/去能。“#”指出信號是有效低邏輯位準（active low logic level）信號。記憶體控制器 14 負責基於主機系統 12 的運算透過通道 18 發出命令及資料到被選定的記憶體裝置。來自記憶體裝置 14 的讀取資料輸出透過通道 18 被傳送回記憶體控制器 14 及主機系統 12。快閃記憶體系統 10 的運算可以非同步或同步。圖 1 說明使用時脈 CLK 同步系統的例子，其與各記憶體裝置 16 平行設置以便同步化在通道 18 上的資料傳送。快閃記憶體系統 10 一般被稱為多點分支（multi-drop）組態，其中記憶體裝置 16 與通道 18 並聯。

在快閃記憶體系統 10 中，非揮發性記憶體裝置 16 可以（但不一定）實質上彼此相同，且通常實施為 NAND（反及）快閃記憶體裝置。熟悉此技藝之人士應瞭解到快閃記憶體被組織成記憶體組（bank），且各記憶體組可組織成記憶體區塊（block）以便有助於區塊抹除（block erasure）。大部分商業可取得的 NAND 快閃記憶體裝置被組態成具有二記憶體組（banks）的記憶體。

有些特定的問題會不利地衝擊到系統的效能。快閃記憶體系統 10 的組態對實際效能造成限制。有大量的平行通過該系統，且串訊（crosstalk）、信號扭曲（signal

skew) 、 以 及 同 時 切 換 雜 訊 (SSN ; simultaneous switching noise) 將 會 降 低 該 等 信 號 的 信 號 完 整 性 (signal integrity) 。 當 爲 了 信 號 傳 輸 而 在 快 閃 記 憶 體 控 制 器 與 快 閃 記 憶 體 裝 置 間 之 每 一 信 號 路 徑 頻 繁 地 充 電 及 放 電 時 ， 此 種 組 態 中 之 電 力 消 耗 變 成 一 個 問 題 。 當 系 統 時 脈 頻 率 增 加 時 ， 電 力 消 耗 也 將 增 加 。

由 於 單 一 記 憶 體 裝 置 的 磁 碟 容 量 相 對 於 長 的 信 號 路 徑 的 負 載 而 言 較 小 ， 對 於 可 與 通 道 並 聯 的 記 憶 體 數 目 亦 有 實 際 的 限 制 。 再 者 ， 隨 著 記 憶 體 裝 置 數 目 增 加 ， 需 要 更 多 的 晶 片 致 能 信 號 (CE#) ， 且 時 脈 信 號 CLK 將 需 要 繞 到 額 外 的 記 憶 體 裝 置 ， 且 因 爲 是 繞 到 記 憶 體 裝 置 而 要 更 長 時 間 。 由 於 廣 泛 的 時 脈 分 配 所 造 成 的 時 脈 效 能 問 題 係 眾 所 周 知 ， 需 要 解 決 。 因 此 ， 爲 了 顧 及 具 有 大 數 目 的 記 憶 體 裝 置 是 的 記 憶 體 系 統 ， 必 須 使 用 有 更 多 通 道 的 控 制 器 ， 或 / 及 該 系 統 將 需 要 以 較 低 頻 率 的 時 脈 。 具 有 多 個 通 道 及 額 外 的 晶 片 致 能 信 號 的 控 制 器 會 增 加 系 統 的 成 本 。 否 則 ， 該 系 統 侷 限 於 少 量 的 記 憶 體 裝 置 。

因 此 ， 需 要 一 種 能 提 供 記 憶 體 系 統 架 構 ， 其 能 高 速 操 作 而 又 能 克 服 與 具 有 彼 此 並 聯 的 記 憶 體 裝 置 的 習 知 技 術 記 憶 體 系 統 相 關 的 問 題 。

【發明內容】

在 第 一 態 樣 中 ， 提 供 一 種 接 收 時 脈 及 輸 入 資 料 的 半 導 體 裝 置 。 該 半 導 體 裝 置 包 括 可 組 態 的 輸 入 電 路 以 第 一 模

式運作，用以接收該時脈與該輸入資料的同時發生（coincident）緣，以及用以提供位於供取樣該輸入資料用的資料有效窗內移位的時脈緣。該可組態的輸入電路可以第二模式運作，用以接收該時脈與該輸入資料的非同時發生（non-coincident）緣，用以取樣該輸入資料。在本態樣的實施例中，該半導體裝置更包括輸入腳用以提供電壓給可組態的輸入電路來設定該第一模式及第二模式。該輸入腳包括參考電壓腳，其被設定成用以設定第二模式之低及高電源位準其中之一，以及用以設定該第一模式之參考電壓位準。該參考電壓位準可在該低與高電源位準之間，且被該可組態的輸入電路使用以感測該輸入資料的邏輯位準。

在本觀點的又一實施例中，可組態的輸入電路包括單端輸入緩衝器及差動輸入緩衝器。該單端輸入緩衝器係耦合到資料輸入腳，用以接收該輸入資料，且在該第二模式被致能且在該第一模式被去能。差動輸入緩衝器係耦合到該資料輸入腳，用以接收該輸入資料，且在該第一模式被致能，用以感測與該電壓有關的該輸入資料的邏輯位準。或著，該可組態的輸入電路包括時脈合成器，用以回應該時脈而提供該移位時脈緣。該時脈合成器包括移位鎖定迴路（delay locked loop）及相鎖迴路（phase locked loop）其中之一，或是該時脈合成器可在該第二模式被去能。

在該第二態樣中，本發明提供可組態的記憶體裝置。該可組態的記憶體裝置包括模式設定器、時脈開關、以及

可組態的資料輸入/輸出緩衝器。該模式設定器感測參考電壓輸入埠之電壓位準並提供對應於該感測到的電壓位準的模式選擇信號。該時脈開關耦接到時脈輸入埠，用以接收並列互補時脈信號及串列互補時脈信號的至少其中之一。該時脈開關回應該模式選擇信號的第一邏輯狀態而產生對應於該並列互補時脈信號互補內部時脈信號，或是回應該模式選擇信號的第二邏輯狀態而產生對應於該串列互補時脈信號互補內部時脈信號。該可組態的資料輸入/輸出緩衝器耦合到資料輸入埠及該參考電壓輸入埠，用以回應該模式選擇信號的第二邏輯狀態而感測在資料輸入埠接收到之與該電壓位準相關的資料。在本態樣的實施例中，該模式設定器包括感測電路及門鎖。該感測電路將該電壓位準與一預設參考電壓比較，並提供對應於與該預設參考電壓相關的該電壓準位的感測輸出。該門鎖門鎖該感測輸出並提供具有該第一邏輯狀態與該第二邏輯狀態其中之一的模式選擇信號。

在該目前的實施例中，該感測電路包括參考電壓電路及比較器。該參考電壓電路提供該預設參考電壓且該比較器提供該感測輸出以回應該電壓準位及該預設參考電壓。該參考電壓電路包括耦合於 VDD 與 VSS 之間的分壓器、以及用以在一預定時間週期後透過該分壓器切斷電流的關電裝置。該模式設定器包括延遲電路，用以當重置信號被驅動至無效邏輯狀態時，在該預定時間週期之後關閉該關電裝置。該延遲電路包括 n 位元計數器，其當該重置信號

處於該無效邏輯狀態時被致能，用以驅動最高有效位元至有效邏輯狀態。當時脈信號的 2^n 有效緣被計數時，該最高有效位元被驅動至該有效邏輯狀態，使得該延遲電路產生對應於處於該有效邏輯狀態之最高有效位元的去能信號，用以關閉該關電裝置。

在本態樣的又一實施例中，該時脈開關包括時脈輸入緩衝器、時脈產生器及時脈輸出緩衝器。該時脈輸入緩衝器回應該模式選擇信號之該第一邏輯狀態而提供該緩衝的並列互補時脈信號，並回應該模式選擇信號之該第二邏輯狀態而提供對應於該串列互補時脈信號的該感測的時脈信號。該時脈產生器產生該互補內部時脈信號，以回應該模式選擇信號處於該第一邏輯狀態時的該緩衝的並列互補時脈信號，或是當該模式選擇信號處於該第二邏輯狀態時的該感測的時脈信號。當該模式選擇信號處於該第二邏輯狀態時，該時脈透輸出緩衝器過時脈輸出埠來驅動該互補內部時脈信號。該時脈輸入緩衝器包括比較器及一對緩衝器。該比較器回應處於該第二邏輯狀態的模式選擇信號而被致能，用以提供該感測的時脈信號，以回應該串列互補時脈信號。該對緩衝器回應處於該第二邏輯狀態的模式選擇信號而被致能，用以提供該緩衝的並列互補時脈信號，以回應該並列互補時脈信號。該時脈輸出緩衝器包括一對驅動器，其回應處於該第二邏輯狀態的模式選擇信號而被致能，用以透過該時脈輸出埠驅動內部時脈信號。

在又一實施例中，該時脈產生器包括時脈合成器及時

脈開關。該時脈合成器提供第一時脈信號及相對該第一時脈信號被移位 180 度的第二時脈信號，以回應該感測的時脈信號。當該模式選擇電路處於該第二邏輯狀態時，該時脈開關傳遞該第一時脈信號及該第二時脈信號作為該互補內部時脈信號。該時脈合成器可以是相鎖迴路及延遲鎖定迴路的其中之一。該時脈合成器提供第三時脈信號及第四時脈信號，其中該第三時脈信號相對於該第一時脈信號被移位 90 度，而該第四時脈信號相對於該第三時脈信號被移位 180 度。該時脈產生器更包括相位選擇器電路，用以選擇性地將該互補內部時脈信號或該第三及第四時脈信號傳遞至該時脈輸出緩衝器。

根據另一實施例，該可組態的資料輸入/輸出緩衝器包括資料輸入緩衝器，用以選擇性地提供輸入資料，其對應於產生自該資料與該電壓位準間的比較的感測資料；或是提供對應於該資料的緩衝資料，以回應該模式選擇信號。該資料輸入緩衝器包括比較器及緩衝器。當該模式選擇信號處於該第二邏輯狀態時，該比較器被致能，用以回應該電壓位準及該資料的電壓而提供該輸入資料。當該模式選擇信號處於該第一邏輯狀態時，該緩衝器被致能。該可組態的資料輸入/輸出緩衝器可進一步包括資料開關，用以選擇性地將該輸入資料及局部讀取資料傳遞到一資料輸出緩衝器。

在第三態樣中，本發明提供一種用以組態記憶體裝置之時脈操作模式的方法，該記憶體裝置接收用以感測輸入

資料的參考電壓。該方法包括設定該參考電壓位準；比較該參考電壓與預設參考電壓，用以產生與該參考電壓相關之對應於該參考電壓的模式選擇信號；以及組態時脈輸入緩衝器以回應該模式選擇信號而接收並列互補時脈信號或串列互補時脈信號。在本態樣的實施例中，該比較步驟包括門鎖該模式選擇信號，且該比較的步驟包括失能用以在預定延遲之後比較該參考電壓與該預設參考電壓的感測電路。該預定延遲係藉著在解宣告一重置信號之後計數 2^n 時脈緣來決定，且該預設參考電壓於該重置信號被解宣告時提昇至電源。

在本態樣之另一實施例中，該組態的步驟包括致能接收串列互補時脈信號的比較器，及去能接收列時脈信號的緩衝器，以回應該模式選擇信號的第一邏輯狀態。該致能的步驟包括致能用以產生第一時脈信號及相對於該第一時脈信號位移 180 度的第二時脈信號的時脈合成器，以回應來自該比較器的感測時脈信號。致能時脈合成器的步驟包括提供該第一時脈信號與該第二時脈信號其中之一作為內部時脈信號，以及對應於並列互補時脈信號的緩衝並列互補時脈信號，以回應該模式選擇信號。該時脈合成器產生第三時脈信號第四時脈信號，其中該第三時脈信號相對於該第一時脈信號位移 90 度且該第四時相對於該第三時脈信號位移 180 度。該組態步驟包括選擇性地傳遞該等內部時脈信號及該第三及第四時脈信號，以回應該相位選信號。

在第四觀點中，該本發明提供可組態的記憶體系統，以便並列時脈信號及串列時脈信號其中之一操作。該記憶體系統包括記憶體控制器及至少一串列記憶體裝置。該至少一記憶體裝置具有時脈輸出埠、參考電壓輸入埠、模式設定器、以及串列時脈信號。該時脈輸入埠接收該並列時脈信號及該串列時脈信號其中之一。該參考電壓輸入埠接收被設定成預定電壓位準與電壓位準其中之一的參考電壓。該模式設定器比較該參考電壓與預定電壓位準，以及產生對應於該比較的結果的模式選擇信號。該時脈開關係耦合到該時脈輸入埠，用以產生對應於該並列時脈信號與該串列互補時脈信號其中之一的互補內部時脈，以回應該模式選擇信號。

【實施方式】

一種能解決圖 1 快閃記憶體系統 10 的許多效能問題的記憶體系統是一種在環狀拓樸組態中記憶體裝置彼此且與記憶體控制器串聯的系統。圖 2A 及 2B 是說明串列記憶體系統的概念性質的方塊圖。圖 2A 是接收並列時脈信號的串列記憶體系統方塊圖，而圖 2B 是圖 2A 之接收來源同步時脈信號的同一系統的方塊圖。

於圖 2A 中，串連記憶體系統 20 包括記憶體控制器 22，其有至少一串互通道輸出埠 S_{out} 及一串列輸入埠 S_{in} ；以及串聯的憶體裝置 24、26、28 及 30。雖然未顯示於圖 2A，各憶體裝置具有一 S_{in} 輸入埠及一 S_{out} 輸出埠。

輸入及輸出埠對應到將該記憶體裝置介接到與之整合的系統的實體接腳或連接。於一實施例中，記憶體裝置可以是快閃記憶體裝置。或者，記憶體裝置可以是 DRAM、SRAM 或其它型式的記憶體裝置，假設其具有與特定命令架構相容的輸入/輸出介面，用以執行命令或通過命令及資料到下一個記憶體裝置。圖 2 A 目前的例子包括四記憶體裝置，但替代實施例可包括單一記憶體裝置，或任何適合數目的記憶體裝置。於是，倘若記憶體裝置 24 是串列記憶體系統 100 的第一個裝置，因為其連接到 Sout，則記憶體裝置 30 是第 N 或最後一個裝置，因為其連接到 Sin，其中 N 是大於零的整數。記憶體裝置 26 到 28 接著插介於第一與最後記憶體裝置間的串聯記憶體裝置間。各記憶體裝置可於系統開機初始化之際取得不同的識別 (identification; ID) 號碼、或裝置位址 (DA)，故其可個別定址的。共同擁有的美國專利申請案第 11/622,828 號，名稱“APPARATUS AND METHOD FOR PRODUCING IDS FOR INTERCONNECTED DEVICES OF MIXED TYPE”、美國專利申請案第 11/750,649 號，名稱“APPARATUS AND METHOD FOR ESTABLISHING DEVICE IDENTIFIERS FOR SERIALY INTERCONNECTED DEVICES”、美國專利申請案第 11/692,452 號，名稱“APPARATUS AND METHOD FOR PRODUCING DEVICE IDENTIFIERS FOR SERIALY INTERCONNECTED DEVICES OF MIXED TYPE”、美國專利申請案第

11/692,446 號，名稱“APPARATUS AND METHOD FOR PRODUCING IDENTIFIERS REGARDLESS OF MIXED DEVICE TYPE IN A SERIAL INTERCONNECTION”、美國專利申請案第 11/692,326 號，名稱“APPARATUS AND METHOD FOR IDENTIFYING DEVICE TYPE OF SERIALY INTERCONNECTED DEVICES”、以及美國專利申請案第 11/771,023 號，名稱“ADDRESS ASSIGNMENT AND TYPE RECOGNITION OF SERIALY INTERCONNECTED MEMORY DEVICES OF MIXED TYPE”，描述用以產生及指定裝置位址給串列記憶體系統的串聯記憶體裝置的方法。

記憶體裝置 24 至 30 被視為串聯，因為一記憶體裝置的資料輸入是連接到前一記憶體裝置的資料輸出，從而形成串聯組態，在鏈中的第一及最後的記憶體裝置是例外。記憶體控制器 22 的通道包括資料、位址、命令及控制資訊，由連接到導線的不同的接腳或相同接腳所提供。例如，任何適合的資料寬度的資料通道、資料及位址資訊，而控制通道會承載命令。圖 2 A 的實施例包括一通道，其該一通道包括 Sout 及對應的 Sin 埠。然而，記憶體控制器 22 可以包括任何適合數目的通道，用以顧及到不同的記憶體裝置鏈。在圖 2 A 的例子中，記憶體控制器 22 提供時脈信號 CLK，與所有的記憶體裝置並聯。

在一般運算中，記憶體控制器 22 透過它的 Sout 埠發出命令，其包括運算碼（operation code；op 碼）、裝置

位址、讀取或規劃用的選擇性位址資訊、以及規劃用資料。該命令可當作串列位元串流命令封包 (serial bitstream command packet) ，其中該封包可以是邏輯細分 (logically subdivided) 成預定大小的區段。各區段可以是例如一位元組的大小。一串列位元串流是隨時間提供一序列或系列的位元。該命令被第一記憶體裝置 24 接收，記憶體裝置 24 比較該裝置位址與其指定的位址。倘若位址匹配，則記憶體裝置 24 執行該命令。否則，該命令被通過到它自己的輸出埠 Sout 到下一記憶體裝置 26，其中相同的程序被重複。最後，具有匹配裝置位址的記憶體裝置，稱為選定的記憶體裝置，將會執行由命令指定的運算。倘若該命令是讀取資料命令，則選定的記憶體裝置將會透過它的輸出埠輸出該取資料，其串列地通過插介的記憶體裝置值到其到達記憶體控制器 22 的 Sin 埠。由於命令及資料是以串列位元串流的形式提供，各個記憶體裝置使用該時脈，用以時脈進/出 (clocking in/out) 該等串列位元及用以同步化內部記憶體裝置運算。此時脈被系統 20 中的所有記憶體裝置所使用。

串列記憶體系統 20 的效能優於顯示於圖 10 之並列記憶體系統 10 的效能。並列分佈的時脈線可提供相當鬆弛的時脈頻率，從而允許記憶體系統 20 以使用低電壓 CMOS 未終結的 (unterminated) 全幅信號位準能被用來提供健全 (robust) 的資料通訊。此亦稱為 LVTTTL 信號。例如，假設使用 66 MHz 時脈且串列記憶體系統 20 包括

四個記憶體裝置，採用雙資料率（DDR）信號的串列記憶體系統的其中之一的每腳資料率將會約為 133 Mbps。

圖 2B 的系統 40 類似於圖 2A 的系統 20，除了時脈信號 CLK 是以與各記憶體裝置串列方式自替代記憶體控制器 42 所提供以外。各 44、46、48 及 50 會被組態以接收該來源同步時脈信號 CLK。於串列記憶體系統 40 的實際實施例中，時脈信號 CLK 從一記憶體裝置經由短信號線傳遞到另一記憶體裝置。因此沒有與並列分佈結構相關的時脈效能問題，且 CLK 可在高頻下運算。於是，串列記憶體系統 40 能以較大於圖 2 A 之串列記憶體系統 20 的速度運算。例如，高速收發器邏輯（high speed transceiver logic；HSTL）信號能被用來提供高效能資料通訊。在 HSTL 信號格式中，各記憶體裝置將會接收用來決定進入資料信號的邏輯狀態的參考電壓。另一類似的信號格式是 SSTL 信號格式。於是在串列記憶體系統 20 及 40 之記憶體裝置中的資料及時脈輸入電路的組態彼此不同。

雖然高速串列記憶體系統適於較新的運算裝置，但可存在不需要高速運算的運算系統，但仍能自串列記憶體系統的高記憶體容量獲益。例如，串列記憶體系統可以是模組化的，如共同持有的美國專利申請第 11/843,440，其中額外的記憶體裝置可加到該記憶體系統以便擴展總記憶體容量。另一方面，以高速的記憶體系統取代現存較慢速度的串列記憶體系統可能不符經濟效益。因此，二種型式的記憶體裝置對升級或組裝二種型式的串列記憶體系統而言

必須要都可取得的。然而，熟於此技者當瞭解到欲製造二種不同型式是不符經濟效率的，其中一型式的組態用以與記憶體控制器 22 介接，而另一型式的組態用以與記憶體控制器 42 介接。

因此，提供一種可組態的記憶體裝置時脈模式組態電路，用以允許可組態的記憶體裝置同時用於並列時脈記憶體系統及串列時脈記憶體系統二者。此一記憶體系統包括任何數目之彼此互相串聯的可組態記憶體裝置，其中各可組態的記憶體裝置接收時脈信號。該時脈信號可以並列所有可組態記憶體裝置或透過同一時脈輸出與一個一個的記憶體裝置串列的方式提供。在各可組態的記憶體中的該時脈模式組態電路被設定成並列模式，用以接收並列時脈信號，以及串列模式，用以自習知技術記憶體裝置或記憶體控制器的來源同步時脈信號。視該設定操作模式而定，該資料輸入電路將針對對應資料信號格式被組態，且該對應時脈輸入電路將會被致能或去能。並列模式及串列模式係藉著感測提供給各記憶體裝置的參考電壓。

圖 3A 及 3C 係使用相同型式記憶體裝置的串列記憶體系統的方塊圖，其包括時脈模式組態電路的實施例，其細節稍後描述。圖 3A 之串列系統的記憶體裝置接收串列時脈而圖 3C 之串列記憶體系統的記憶體裝置接收並列時脈。在圖 3A 及 3C 的系統實施例中，顯示有四個記憶體裝置於環狀拓樸中與記憶體控制器串聯，然而，任一系統可包括任何適合數目的記憶體裝置。圖 3A 及 3C 的串列

記憶體系統說明同一型式的記憶體裝置可同時用於並列時脈系統及串列來源同步時脈系統，假設記憶體裝置具有時脈模式組態電路。

於圖 3A 中，系統 100 包括記憶體控制器 102 及四記憶體裝置 104、106、108 及 110。記憶體控制器 102 提供並列控制信號給記憶體裝置。此等包括晶片致能信號 CE# 及重置信號 RST#。在一使用 CE# 的例子中，當 CE# 在低邏輯位準時，裝置被致能。一旦記憶體裝置開始一程式或抹除運算，CE# 可被解宣告 (deasserted)、或驅動到高邏輯位準。在一使用 RST# 的例子中，當 RST# 在低邏輯位準時，記憶體裝置被設定成重置模式。在該重置模式中，電源允許被穩定且裝置本身好運算藉於初始化所有有限的狀態機器並將任何組態及狀態暫存器重置到它們預設 (default) 狀態。記憶體控制器 102 包括時脈輸出埠 CKO# 及 CKO 用以提供補償時脈信號 CK 及 CK#、以及時脈輸入埠 CKI# 及 CKI 用以收來自該系統最後記憶體裝置的補償時脈信號。各記憶體裝置可包括時脈合成器，諸如 DLL 或 PLL 用以產生被接收之時脈的相位。特定的相位用以將時脈緣中心化於輸入資料有效窗之內以確保可靠的運算。各記憶體裝置具有時脈輸出埠 CKO# 及 CKO 用以傳遞補償時脈信號到下一記憶體裝置的時脈輸入埠、以及時脈輸入埠 CKI 及 CKI# 用以接收來自記憶體控制器 102 或先前記憶體裝置的補償時脈信號。最後記憶體裝置 110 提供回到記憶體控制器 102 的時脈信號。

記憶體控制器 102 的通道包括由資料輸出埠 Q_n 及資料輸入埠 D_n 組成的資料通道、以及由命令選通輸入 CSI、命令選通輸出 CSO (CSI 的回應)、資料選通輸入 DSI、以及資料選通輸出 DSO (DSI 的回應) 組成的控制通道。輸出埠 Q_n 及輸入埠 D_n 可以是一位元的寬度，或是 n 位元的寬度，其中 n 是正整數，視想要的組態而定。例如，倘若 n 是 1，則一位元組的資料在時脈的八個資料門鎖緣之後被接收。資料門鎖時脈緣可以是例如於單一資料率 (SDR) 運算中的上升時脈緣，或是例如於雙資料率 (DDR) 運算中的上升及下降緣。倘若 n 是 2，則一位元組的資料在時脈的四個資料門鎖緣之後被接收。倘若 n 是 4，則一位元組的資料在時脈的二個資料門鎖緣之後被接收。記憶體裝置可針對 Q_n 及 D_n 的任何寬度被靜態地組態或動態地組態。因此，在 n 是大於 1 的組態中，記憶體控制器提供並列位元串流的資料。CSI 是用於出現於輸入埠 D_n 上的門鎖命令資料，且具有對應於被接收命令資料之長度的脈衝持續時間。更精確而言，命令及寫入資料將會有由數個時脈周期量測的持續時間，且 CSI 信號的脈衝持續時間將會有對應的持續時間。DSI 是用以致能被選定的記憶體裝置的輸出埠 Q_n 緩衝器以便輸出讀取資料，且具有對應於被要求讀取資料的脈衝持續時間。

由於目前所述的圖 3A 的實施例用於高速運算，故使用諸如 HSTL 信號格式的高速信號格式。於是，參考電壓 V_{REF} 被提供給各記憶體裝置，被各記憶體裝置使用來決

定接收於 D_n 、CSI 及 DSI 輸入埠的信號的邏輯位準。參考電壓 V_{REF} 可被例如在印刷電路板上的另一電路所產生，且基於 HSTL 信號的電壓擺動而被設定到預定電壓位準。例如， V_{REF} 可被設定成 HSTL 信號的最大電壓位準中點電壓。根據本實施例，將 V_{REF} 設定成前述預定電壓位準將會該在第一操作模式，其中該輸入電路被設定以接收 HSTL 輸入介信號且適當的內部時脈電路將被產生。該第一操作模式可稱為高速操作模式。

在圖 3A 的使用實施例中，各記憶體裝置被定位於印刷電路板上，使得輸入與輸出埠間的距離及信號軌跡被最小化。或者，四個記憶體裝置可被實施於系統級封裝 (SIP)，其進一步最小化信號軌跡長度。記憶體控制器 102 及記憶體裝置 104 到 110 串聯以便形成環狀拓樸，代表最後記憶體裝置 110 將其輸出提供回記憶體控制器 102。因此，熟悉此技藝之人士會瞭解到在記憶體裝置 110 與記憶體控制器 102 間的距離容易被最小化。

圖 3B 是顯示串列記憶體系統 100 中各記憶體裝置之輸入信號與輸出信號間的一般時序關係，以及亦顯示一些內部信號。在此圖中，假設內部閘延遲 (gate delay) 是最小，雖然在實施系統中可以顧及到顯著的延遲且不會影響到功能。接收的輸入時脈 CKI 及 CKI#、輸入資料 D_n 、輸出時脈 CKO 及 CKO#、以及輸入資料 D_n 的信號軌跡顯示於圖 3B，以及被接收的輸入時脈的內部產生的 90、180、270 及 360 度相位。由於記憶體裝置操作於雙資料率，

接收的資料被緩衝進入內部單一資料率，即使資料串流 D_E 及內部單一資料率奇數資料串流 D_O。於圖 3B 的例子中，資料“A”、“B”、“C”、“D”及“E”串列設置於記憶體裝置的 D_n 輸入，且各具有對應於 CKI 及 CKI#之上升及下降緣的資料輸入有效窗。換言之，資料“A”、“C”、及“E”被門鎖於內部 90 度時脈的上升緣且設於 D_E 資料串流上。資料“B”及“D”被門鎖於內部 270 度時脈的上升緣且設於 D_O 資料串流上。假設在 D_n 接收的輸入資料係僅通過到 Q_n 輸出，雙資料率輸出資料 Q_n 產生自門鎖於 270 度時脈輸出的各上升緣的偶數 D_O 資料以及產生自門鎖於 90 度時脈輸出的各上升緣的奇數 D_O 資料。如圖 3B 所示，CKO 對應到 270 度時脈輸出，而 CKO#對應到 90 度時脈輸出。

在圖 3C 的實施例中，各記憶體裝置具有相同的串列輸入/輸出介面，其包括 RST#、CE#、CKI 及 CKI#輸入埠用以接收來自記憶體控制器 202 之對應信號。串列輸入/輸出介面更包括資料輸入埠 D_n、資料輸出埠 Q_n、SCI、DSI、CSO 及 DSO 埠。如圖 3C 所示，各記憶體裝置的輸入埠 D_n、CSI 及 DSI 係分別連接到先前記憶體裝置的 Q_n、CSO 及 DSO 輸出埠。於是，記憶體裝置被視為彼此串聯，因為每個可傳遞命令及讀取資料到鏈接的下一記憶體裝置。

於圖 3C 中，串列記憶體系統 200 包括記憶體控制器 202 及圖 3A 之相同的記憶體裝置 104、106、108 及 110

。記憶體控制器 202 將被組態成提供類似功能給圖 3A 繪示的記憶體控制器 102 的功能，除了時脈信號是並列提供以外，因此各記憶體裝置的時脈輸出埠 CKO#及 CKO 是未連接的。再者，用於資料及選通信號的信號格式是不同的，例如，是全幅未終結 LVTTL 信號格式。在低時脈頻率時，LVTTL 信號不使用參考電壓 VREF，因此 VREF 被設定成有別於由於圖 3 A 之實施例中使用的預定位準的電壓位準。例如，例如，VREF 可被設定成 VDD 或 VSS。根據本實施例，設定 VREF 成 VSS 或是某有別於前述預定電壓位準的電壓將會設定該時脈模式組態電路於第二操作模式中，其中輸入電路被設定以接收 LVTTL 輸入信號且適當的內部時脈電路會被產生。第二操作模式可稱為低速度操作模式。於是，使用現存記憶體裝置的 VREF 輸入來設時脈模式組態電路的操作模式的優點在於，組態記憶體裝置在記憶體控制器不需要額外的腳及對應邏輯。各記憶體裝置基於 VREF 的電壓位準自行組態，從而減少在記憶體控制器中的負擔 (overhead)。再者，相同的時脈輸入埠 CKI 及 CKI#可接收並列時脈信號或串列時脈信號，使記憶體裝置的腳數減至最少。

圖 3D 是顯示在串列記憶體系統 200 中各記憶體裝置之輸入信號與輸出信號間的一般時序關係的時序圖，亦顯示一些內部信號。在此圖中，假設內部閘延遲 (gate delay) 是最小，雖然在實施系統中可以顧及到顯著的延遲且不會影像到功能。接收的輸入時脈 CKI 及 CKI#、輸

入資料 D_n 、輸出時脈 CKO 及 $CKO\#$ 、輸入資料 D_n 以及輸出資料 Q_n 的信號軌跡顯示於圖 3B。記憶體裝置沒有內部時脈合成器，且沒有輸出時脈 CKO 及 $CKO\#$ 。記憶體裝置操作於雙資料率，因此接收的資料被緩衝進入單一資料率偶數資料串流 D_E 以及單一資料率奇數資料串流 D_O 。於圖 3D 的例子中，資料“A”、“B”、“C”、“D”及“E”串列設置於記憶體裝置的 D_n 輸入， CKI 及 $CKI\#$ 之上升及下降緣在各資料輸入有效窗中心。在本例中，內部讀取資料“ C_i ”及“ D_i ”會經由 RD_E 及 RD_O 被提供到記憶體裝置的輸出電路，以回應於被記憶體裝置接收的讀取命令。於是，有一偶數輸出資料串流 Q_E 及奇數輸出資料串流 Q_D 會提供來自 RD_E 及 RE_O 的內部讀取資料或來自 D_E 及 D_O 的外部資料在 Q_n 輸出上。更精確而言，來自來自 RD_E 及 RE_O 的資料將會提供於 Q_E 及 Q_O 以在高邏輯位準回應並致能信號 EN_E 及 EN_O 。

資料“A”、“C”、及“E”被門鎖於 CKI 的各上升緣且設於 D_E 資料串流上。資料“B”及“D”被門鎖於 $CKI\#$ 各上升緣且設於 D_O 資料串流上。當 EN_E 及 EN_O 在無效低邏輯位準，資料“A”及“B”將會分別門鎖在 CKI 及 $CKI\#$ 的上升緣且設於 D_E 及 D_O 上。在 $CKI\#$ 的上升緣上， D_E 上的資料“A”被門鎖且設於 Q_E 上，而在 D_O 上的資料“B”被門鎖於 CK 各上升緣且設於 Q_O 上。資料“A”及“B”接著會分別設於 CKI 及 $CKI\#$ 的上升緣上的 Q_n 輸出上。當 EN_E 高時，資料“ C_i ”及“ D_i ”被門鎖並設於 $CKI\#$ 上升緣上

的 Q_E 。接著，當 EN_O 高時，在 RD_O 上的資料“ D_i ”被門鎖並設於 CKI 上升緣上的 Q_O 。資料“ C_i ”及“ D_i ”接著會分別設於 CKI 及 $CKI\#$ 的上升緣上的 Q_n 輸出上。當 EN_E 及 EN_O 降到低邏輯位準時，外部資料“ E ”將被門鎖在 Q_E 上且傳遞到 Q_n 。透過該裝置的輸出路徑的延遲、以下裝置的互連、以及以下裝置的輸入路徑將會移位該 Q_n 資料串流，使得在以下裝置中的 CKI 的上升緣落在接收的 D_n 資料串流位元 B 及 D_i 以內。熟於此技者會確使來自串列輸出 Q_n 到串列輸入 D_n 的延遲路徑小於半個時脈週期。

根據一範例實施例，圖 3 A 的記憶體裝置 104、106、108 及 110 可以是具有設計來與其它記憶體裝置串列互連的輸入/輸出介面之任何型式的記憶體裝置。雖然記憶體裝置 104、106、108 及 110 可實施為快閃記憶體裝置，但它們亦可實施為 DRAM、SRAM 或其它適合型式的揮發或非揮發性記憶體裝置。更精確而言，其它記憶體型態可適於與串列輸入/輸出介面操作且被組態以接收 LVTTTL 輸入信號或 HSTL 輸入信號。

圖 4 是說明用於圖 3A 及 3C 之具有核心及輸入/輸出介面的通用記憶體裝置的概念組織的方塊圖。記憶體裝置 300 包括記憶體核心，其包括記憶體陣列組 302 及 304、以及用以存取記憶體陣列組 302 及 304 的控制及原有的控制及 I/O 電路 306。熟於此技藝之人士會瞭解到記憶體陣列可組織成單一記憶體組或二或多個記憶體組。記憶體核

心可以例如是 DRAM、SRAM、NAD 快閃記憶體、或 NOR 快閃記憶體。當然，可使用任何適合的新興記憶體以及其對應的控制電路。於是，視記憶體核心的型式，電路區塊 306 可包括錯誤校正邏輯、電壓產生器、再新邏輯及執行該記憶體型式特有的運算所需的其它電路區塊。

通常，藉宣告 (asserting) 內部控制信號，記憶體裝置使用命令解碼器用以回應接收到的命令初始化相關電路。它們亦將包括用以接收及門鎖資料、命令及位址的周知的 I/O 電路。根據本實施例，現有的 I/O 電路以串列介面及控制邏輯區塊 308。在本例中，串列介面及控制邏輯區塊 308 接收 RST#、CE#、CK#、CK、CSI、DSI 及 Sin 輸入並提供 Sout、CSO、DSO、CKO 及 CKO#輸出。

介面及控制邏輯區塊 308 負責種種功能，如共同持有的美國專利申請案 11/324,023 號。介面及控制邏輯區塊 308 的範例功能包括設定裝置識別符號，將資料傳遞到下一串聯的記憶體裝置、且解碼用以執行特有運算的命令。此電路串列地接收命令，且預設以便除了特別用以控制核心之現存原有的命令以外，尚包括該記憶體裝置之串列運算特定的額外命令。例如，可要求狀態暫存器資訊以存取記憶體裝置的狀態。

因此，圖 3A 及 3C 的系統能包括記憶體裝置型式的混合，其各對主機系統提供不同的優點。此一具有混合型式的記憶體裝置的組態描述於共同持有的美國專利申請案第 11/771,023，名稱為“ADDRESAS ASSIGNMENT AND

TYPE RECOGNITION OF SERIALY INTERCONNECTED MEMORY DEVICES OF MIXED TYPE”、以及共同持有的美國專利申請案第 11/771,241 號，名稱爲“SYSTEM AND METHOD OF OPERATING MEMORY DEVICES OF MIXED TYPE”。例如，高速的 DRAM 可用於快取運算而非揮發性快閃記憶體可用於低功率大量領料儲存裝置。不管使用的記憶體裝置型式爲何，各記憶體裝置可被個別定址以便對命令有作用，因爲介面及控制邏輯區塊 308 根據預定的協定接收命令。根據一實施例，前述時脈模式組態電路被實施於介面及控制邏輯區塊 308 中。

圖 5 是說明根據一實施例的時脈模式的方塊圖，其產生要被可組態輸入/輸出緩衝器之實施例使用的信號。時脈模式組態電路及組態輸入緩衝器可用於前述的串列介面及控制邏輯區塊 308。時脈模式組態電路包括記憶體系統 400 及時脈開關電路 402。模式設定器 400 產生具有高邏輯位準或低邏輯位準的模式信號 MODE（模式）以回應參考電壓 VREF 的電壓位準。如前述，VREF 被記憶體裝置使用以決定高速度輸出信號的邏輯位準，諸如那些用 HSTL 信號格式者。本實施例中，VREF 會被設定成某在高與低電壓源位準（諸如 HSTL 信號格式的 VDD/2）間的預定的電壓位準，接著就不需要 VREF 電壓，且 VREF 腳可連接到任一電壓源位準（VDD 或 VSS）。從此，HSTL 及 LVTTTL 信號格式會被用以描述實施例操作，且當記憶體裝置要接 LVTTTL 信號時，VREF 會被設成 VSS。時脈開

關電路 402 負責基於並列時脈信號或來源同步串列時脈信號其中之一來致能內部時脈信號的產生，以回應由模式設定器 400 提供的模式信號 MODE。稍後有時脈開關電路 402 組件進一步的討論。

圖 5 之可組態的輸入/輸出緩衝器被實施為可組態的資料輸入/輸出緩衝器 404，其會感測 HSTL 或 LVTTTL 輸入信號並傳遞接收自記憶體裝置的輸入信號或內部資料到輸出埠 Q_n 。可組態的資料輸入/輸出緩衝器 404 將使用由時脈開關電路 402 提供之內部產生的時脈信號以便根據選定的輸入信號格式維持同步化操作。雖然圖 5 只顯示一個組態的輸入/輸出緩衝器，但熟於此技者當了解亦有一個組態的輸入/輸出緩衝器給輸出信號 DSI 及 CSI。

在本實施例中，在預定電位準，典型為 $V_{DD}/2$ ，之 V_{REF} 會對應於串列的操作時脈模式，而在 V_{SS} 位準的 V_{REF} 會對應於並列的操作時脈模式。此表示於記憶體系統的組裝期間，若各記憶體裝置接收圖 3A 的串列的時脈信號時，則 V_{REF} 會被設定成預定的電壓位準。於是，會使用 HSTL 信號格式。另一方面，若各記憶體裝置接收圖 3C 的並列的時脈信號時，則 V_{REF} 會被設定成 V_{SS} 。接著反而會使用 LVTTTL 信號格式。因此， V_{REF} 被模式設定器 400 感測以設定信號 MODE 為對應於串列的操作時脈模式的第一邏輯狀態，或是對應於並列的操作時脈模式的第二邏輯狀態。

了解 MODE 信號，現回到時脈開關電路 402，時脈開

關電路 402 包括時脈輸入緩衝器 406、時脈產生 408 以及時脈輸出緩衝器 410。時脈輸入緩衝器 406 連接到時脈輸入埠 CK 及 CK#，並基於二差動時脈輸入 CK 及 CK#或是不同的緩衝版本的 CK 及 CK#產生單端時脈信號，以回應模式信號 MODE 的邏輯狀態。例如，單端時脈信號於 MODE 處於第一邏輯狀態時產生。時脈產生器 408 接收單端時脈信號或緩衝版本的 CK 及 CK#任一者以提供二內部時脈相位，用於內部操作及產生適當輸出時序。內部時脈信號 CKI 及 CKI#分配給記憶體裝置的內部電路，以及組態的輸入/輸出緩衝器。時脈輸出緩衝器 410 接收內部時脈信號 CKI 及 CKI#，並當 MODE 處於第一邏輯狀態時透過 CKO 及 CKO#輸出埠驅動它們。當 MODE 在對應於並列的操作模式的第二邏輯狀態時，時脈輸出緩衝器 410 被去能，因為不需要供該串列時脈給下一個記憶體裝置。

可組態的資料輸入/輸出緩衝器 404 包括資料輸入緩衝器 412、資料開關 414 以及資料輸出緩衝器 416。資料輸入緩衝器 412 接收輸入資料 D_n 及參考電壓 VREF，其係當 MODE 在第一邏輯位準時被使用。緩衝的輸入信號 Din 接著提供給資料開關 414，其將 Din 或原有的資料任一從記憶體裝置傳遞到資料輸出緩衝器 416。在本例中的原有的資料包括偶數資料 RD_e 及奇數資料 RD_o，因為資料提供在時脈信號的上升及下降緣上。信號 EN_o 及 EN_e 被用來選擇 Din 或 RD_e 及 RD_o 二者以傳遞到資料輸出緩衝器 416。再者，要注意串列資料 D_n 設在時脈信號的

上升及下降緣。選擇哪個資料傳遞會視被記憶體裝置接收的命令而定。不管是哪一情形，資料被同步化到內部時脈信號 CKI 及 CKI# 並傳遞到資料輸出緩衝器作為偶數及奇數資料 Dout_e 及 Dout_o 位元的資料以回應該時脈並透過資料輸出埠驅動。

圖 5 之時脈模式組態電路提供的優點在於不需要額外的封裝腳，因為 VREF 現在用於二個不同的目的。若各記憶體裝置被分別封裝，則封裝大小藉由縮減腳數來減至最小。熟於此技者當了解較小封裝大小會將所需之上面整合有記憶體系統的印刷電路板面積減至最小。或者，圖 3 A 及 3 C 所示之串列記憶體系統的記憶體裝置可一起被封裝成系統級封裝 (SIP)。再度，減少的腳數會使封裝大小減至最少。被連接到 VREF 輸入埠的模式設定器 400 提供此優點。進一步的優點在於單一記憶體組件能正確地操作於高效能的來源同步化時脈組態中，且以縮減的功率消耗操作於低效能並列時脈組態，如稍後說明者。

圖 6 係根據一實施例之模式設定器 400 的電路圖。模式設定器 400 會感測 VREF 電壓位準並驅動信號 MODE 到第一邏輯位準或第二邏輯位準任一。在此特定例中，第一及第二邏輯位準可分別對應到 VDD 及 VSS。模式設定器 400 包括感測電路 500、閘鎖 502 以及數位延遲電路 504。感測電路 500 包括在 VDD 與 VSS 間串聯的電阻器元件 506、508、關電裝置 510，以及比較器 512。在本實施例中，關電裝置 510 實施為 n 通道電晶體具有接收致能信號

EN 的閘極端子。電阻器元件 506、508 的共用端子連接到比較器 512 的其中一輸入，而比較器 512 的第二輸出接收參考電壓 V_{REF} 。電阻器元件 506、508 形成參考電壓電路。電阻器元件 506、508 的比率可依被要偵測的 V_{REF} 的值來設定。例如， V_{REF} 的穩定電壓位準是 $V_{DD}/2$ ，則電阻器元件 506 可被設成 $3R$ 而電阻器元件 508 可被設成 R 。於是，共用的端子“x”會約在 $V_{DD}/4$ 。比較器 512 可以任何已知電路實施，且在本例中，包括可選用的致能輸入，用以接收該致能信號 EN。

閘鎖 502 可以任何已知電路實施，且在本例中可選擇地接收致能信號 EN。當閘鎖致能輸入是高時，出現在 D 輸入的信號被提供在 Q 輸出。當閘鎖致能輸入電晶體從高到低時，D 輸入的狀態被閘鎖且提供到輸出 Q。數位延遲電路 504 包括計數器 514、NOR 邏輯閘 516 以及反相器 518。計數器 514 是 n 位元計數器，當 n 可以是任何大於 1 的整數，只會有其連接到反相器 518 的輸入的最高位元輸出 (MSB)。當 $RST\#$ 在低邏輯位準時，計數器被重置使得所有的位元，包括 MSB 輸出，被設定成 0 (V_{SS})。MSB 亦連接到 NOR 邏輯閘 516 的其中一輸入，而其輸入收時脈信號 CK。因此，當重置，MSB 在本例中的 V_{SS} 。當 $RST\#$ 藉著設定成高邏輯位準時，計數器可被允許增加計數隨著時脈 CK 的每個上升及下降。當 MSB 開到 1 (V_{DD})，則關電裝置 510 經由反相器 518 被關閉，比較器 514 經由 NOR 閘被失能以凍結計數器 514。在計數器提供

的延遲，MODE 穩定設定在 VDD 或 VSS。

模式設定器 400 的操作現將參照圖 7 的序列圖說明。在時 t_1 ，RST# 在 VDD，導致計數器 514 驅動 MSB 到 VDD。EN 接著被被反相器 518 驅動至 VSS，其關閉關電裝置 510 以允許節點“x”以浮至 VDD，而電路被失能的優點在於不管 VREF 的值為何，當比較器 512 及門鎖 502 被致能時，MODE 會馬上預設成 VSS，因為節點“x”永遠大於 VREF。此馬上將記憶體裝置設成並列的操作時脈模式，使得可以開始正常的記憶體操作而無延遲。在時間 t_2 ，RST# 被脈衝到 VSS 以重置 MSB 成 VSS。RST# 返回高釋放計數器 514 以計數預定數目的時脈信號 CK 緣，以允許電路有效時間的類比部分安頓並適當地決定在 VREF 腳的位準，即使 RST# 低位準脈衝是短的。當 MSB 掉至 VSS，EN 被反相器 518 驅至 VDD 以致能分阻器、比較器 512 以及門鎖 502，來評估在 VREF 腳的位準並決定操作的 MODE。因為節點“x”目前浮在 VDD，被致能的比較器 512 會驅動低邏輯輸出，其接著通過門鎖 502，用以設定 MODE 到低邏輯位準。

在本例中，假設 VREF 被組態成約為 $VDD/2$ ，且電阻器元件 506/508 的比率是 $3R/R$ 。雖然電路被致能，在節點“x”的電壓因此設定成約為 $VDD/4$ 的位準。最後，在節點“x”的電壓會被建立在穩定的 $VDD/4$ 位準，如圖 7 在時間 t_3 所示。若 VREF 被設成 VSS，接著在比較器 512 不會發生改變以保持 MODE 在 VSS。另一方面，若 VREF 設

成 $VDD/2$ ，比較器 512 接著會約在時間 t_3 驅動其輸出到 VDD ，使得閘鎖 502 將 $MODE$ 在時 t_3 附近驅至 VDD 。最後，計數器 514 會在時間 t_4 將 MSB 設成 VDD 以驅動 EN 到 VSS 。在 VDD 的 MSB 將致使 NOR 邏輯閘 516 以輸出低邏輯位準信號以有效地終結計數器 514 的計數，從而“凍結”計數器 514。一旦 EN 掉至 VSS 時，關電裝置 510 被關閉且節點“x”最後浮至 VDD 。然而，在 VSS 的 EN 現將失能比較器 512，且閘鎖 502 被防止閘鎖在其 D 輸入的輸出信號的任何改變。因此，藉著關閉感測電路 500 而省電。在操作的同步模式中，正常記憶體操作可只在 PLL 或 DLL 同步化之後開始。此時間不會被浪費，因為於此同步化週期間，在節點“x”的電壓會安定至正確值。

因此，對應於該時間用於計數器 514 將 MSB 切換至 VDD 的時間延遲將會充分長以確保節點“x”及 $VREF$ 已穩定，用以被比較器 512 感測。僅作為例子，— 1ms 的時間延遲可能是由數位延遲電路 504 所提供的充分時間延遲。因此藉著在 MSB 被切換至 VDD 之後關閉關電裝置 510，來自 VDD 的電流路徑透過電阻器元件 506 及 508 被切斷，從而於記憶體裝置的操作期間省電。此時間延遲可基於被施加的時脈頻率及在計數器 514 中的位元數而被選擇。

圖 8A 是圖 5 之可組態的資料輸入/輸出緩衝器 404 的平流電容器 402 的實施例。二個電路可稱為可組態的輸入電路，因為其中一個接收輸入時脈，而另一個接收來自少一輸入資料埠的輸入資料。時脈開關電路 402 是可組態的

以操作於並列或串列時脈模式，以因應於模組信號 MODE 的邏輯狀態，而可組態的資料輸入/輸出緩衝器 404 是可組態的以接收在 HSTL 或 LVTTTL 信號格式中的輸入資料，以回應模組信號 MODE 的邏輯狀態。要注意的是，此 Dn 輸入可接收來自記憶體控制器的寫入資料及命令。為簡化圖 8A 的電路圖，命令資料路徑及輸入寫入資料路徑未顯示。圖 8A 出現的相同參考標號已大致描述於圖 5 中。

現接著說明時脈開關電路 402 的細節。時脈輸入緩衝器 406 包括比較器 700 用以接收來自時脈輸入埠 CKI 及 CKI# 的互補時脈信號，第一緩衝電路 702 接收來自時脈輸入埠 CKI 及第二緩衝電路 704 接收來自時脈輸入埠 CKI# 的互補時脈信號。比較器 700 被 MODE 的一狀態被致能而第一及第二緩衝器 702 及 704 皆被 MODE 的相反狀態致能。因而，只有比較器 700 及緩衝器 702 及 704 的其中之一對任何 MODE 的邏輯狀態而言會是有效的。然而，比較器 700 及緩衝器 702 及 704 的輸出耦合到並列的時脈產生器 408。就所述的例子而言，模式設定器 400 設定 MODE 到對應於串列的操作時脈模式的第一邏輯狀態以及到對應於並列的操作時脈模式的第二邏輯狀態。在第一邏輯狀態的 MODE 會致能比較器 700。於是，在第二邏輯狀態的 MODE 會致能第一及第二緩衝器 702 及 704。

時脈產生器 408 包括相鎖迴路 (PLL) 電路 706，其當 MODE 在第一邏輯狀態時被致能。當被致能時，PLL 電

路 706 將產生相對在其 REF 輸入被接收的時脈信號被位移 90、180、270 及 360 度，其被連接到比較器 700。此位移的時脈輸出自標 90、180、270 及 360 的端子提供。在串列的操作時脈模式中，接收到的輸入時脈暫態及接收到的輸入資料暫態是相符的。PLL 電路 706 用以將內部時脈信號的緣置於輸入資料有效窗內，共可靠的資料擷取。回授輸入 FB 接收 360 度位移的時脈輸出以促進時脈信號的鎖定。熟於此技者應熟悉 PLL 電路操作，時脈會在數個時脈周期之後被鎖定以確保穩定的操作。不是 PLL，反而是延遲的相鎖（DLL）電路能用來取 PLL 電路 706。PLL 及 DLL 二個時脈合成器的例子，其能用於本揭露的實施例。90 及 270 度時脈輸出被供至 2-1 多工器 708 及 710 的第一輸入，二者受到 MODE 的控制。多工器 708 及 710 的第二輸入分別接收緩衝器 702 及 704 的輸出。在並列的操作時脈模式中，接收的輸入時脈暫態會在輸入資料有效窗以內使得不需要相位移時脈。因此，多工器 708 及 710 共同形成開關電路用以選擇性地傳遞來自 PLL 電路 706 及來自緩衝器 702 及 704 的緩衝時脈信號的 90 及 270 度時脈輸出其中之一，以回應 MODE。在本例中，當 MODE 在第一邏輯位準時，PLL 電路 706 被致能且多工器 708 及 710 會受控以傳遞 90 及 270 度時脈輸出作為內部時脈信號 CK 及 CK#。另一方面，當 MODE 在第二邏輯位準時，PLL 電路 706 被失能且多工器 708 及 710 會受控以傳遞來自緩衝器 702 及 704 的時脈信號作為內部時脈信號

CK 及 CK#。於是，關閉不被使用的 PLL 將會減少功率消耗。

雖未在圖 8A 明白說明，互補內部時脈信號 CK 及 CK# 被分配到其它在記憶體裝置內的電路。時脈產生器 408 的選用特性在於相位選擇器電路，其包括多工器 712 及 714。多工器 712 及 714 的第一輸入分別接收內部時脈信號 CK 及 CK#，而第二輸出接收來自 PLL 電路 706 的 360 及 180 度的時脈輸出。多工器 712 及 714 二者受到單一 PHASE (相位) 的控制，其被記憶體裝置的命令解碼器提供。該相位選擇器電路的目的在於中心化提供在輸出埠 CKO 及 CKO# 上的輸出時脈信號與設在輸出埠 Qn 上的輸出資料。在串列連接的記憶體系統中，此特性在系統的最後記憶體裝置中被致能。其優點在於記憶體控制器設計可被簡化，因其不需要 PLL 或 DLL 來可靠地接收來自環內的最後記憶體裝置的資料。記憶體系統中的此特性的應用的進一步細節會稍後說明。時脈輸出緩衝器 410 包括一對驅動器 716 及 718 用以驅動由多工器 712 及 714 的時脈信號驅動到輸出埠 CKO 及 CKO#。二個驅動器 716 及 718 被 MODE 致能，當其在代表例如串列時脈模式的第一邏輯位準時。

因此，回應 MODE，時脈開關電路 402 被組態以產生對於串列提供的來源同步時脈信號或並列時脈信號的內部時脈信號。因為記憶體裝置會在高速度操作以回應高速度來源同步時脈信號，此模式可稱為高速度模式操作。另一

方面，因為串列時脈信號會在低於來源同步時脈的頻率，其它模式可稱為低功率模式的操作，因為諸如比較器 700 的電路、PLL706 及驅動器 716 及 718 將被關閉，且低頻操作減少相對記憶體裝置在高頻操作時的整體功率消耗。在操作的二種模式，內部時脈信號 CK 及 CK# 會被產生用以被其它記憶體裝置的電路使用，諸如由資料輸入緩衝器 412、資料開關 414 及資料輸出緩衝器 416 組成的可組態的資料輸入/輸出緩衝器。

資料輸入緩衝器 412 包括比較器 720、緩衝器電路 722 及資料輸入選擇器 724，其中資料輸入選擇器 724 被實施為 2-1 多工器。比較器 720 具有一輸入連接到輸入埠 D_n ，且第二輸入連接到參考電壓輸入埠 V_{REF} 。緩衝器電路 722 亦連接到輸入埠 D_n 。比較器 720 產生對應於與 V_{REF} 的電壓位準 D_n 的邏輯輸出，而緩衝電路 722 驅動對應於其接收到者的邏輯準位。所有三個電路受到 MODE 控制，且在本例中，其中 MODE 在對應於高速度的操作模式的第一邏輯位準，比較器 720 被致能，緩衝器 722 被致能，且資料輸入選擇器 724 受控制以傳遞比較器 720 的輸出。資料輸入選擇器 724 的輸出稱為 D_{in} 。

由於本實施列的記憶體裝置在於彼此串聯，在 D_n 輸入埠到達的外部資料可選擇性地透過記憶體裝置傳遞到指定的、或定址的記憶體裝置。然而，各記憶體裝置亦提供要透過任何插介的記憶體裝置傳遞到記憶體控制器的局部讀取資料。資料開關 414 的目的在於選擇性地傳遞外部

Dn 資料或局部讀取資料到輸出埠 Qn。資料開關 414 包括外部資料輸入閘鎖 726 及 728、資料輸出選擇器 730 及 732、以及資料輸出閘鎖 734 及 736。在本實施例中，資料閘鎖在內部時脈 CK 的二緣。因此，閘鎖 726 及 728 分別接收 CK，CK#。資料輸出選擇器 730 傳遞來自資料輸入閘鎖 726 或局部偶數讀取資料 RD_e 的閘鎖外部資料的其中之一，以回應選擇信號 EN_e。類似地，資料輸出選擇器 732 傳遞來自外部資料輸入閘鎖 728 或局部奇數讀取資料 RD_o 的閘鎖外部資料的其中之一，以回應選擇信號 EN_o。選擇信號 EN_e 及 EN_o 由記憶體裝置的命令解碼器。

資料輸出閘鎖 734 及 736 閘鎖資料輸出選擇器 730 及 732 以分別因應內部時脈信號 CK 及 CK# 的有效緣。熟於雙資料率操作的此技者了資料開關 414 的操作。資料輸出緩衝器 416 包括實施為 2-1 多工器及驅動器 740 的資料輸出選擇器 738。資料輸出選擇器 738 替代地傳遞資料輸出閘鎖 734 及 736 的輸出以回應 CK，其接著被驅動器 740 提供到埠 Qn。簡言之，當 MODE 設定時，資料輸入緩衝器 412 自動被組態接收對應的資料信號格式，且適當的內部時脈信號時脈開關電路 402 自動產生，用以用於資料開關 414 及資料輸出緩衝器 416。

因此，於環狀拓樸中與記憶體控制器串聯的相同記憶體裝置可被組態以接並列時脈或串列來源同步時脈以回應用於感測資料信號電壓位準的參考電壓，如圖 3A 及 3C

所示。再者，資料輸入電路被自動組態以接收具有對應於卅列時脈及來源同步時脈的信號格式的資料信號。雖未示，但輸出緩衝器驅動力亦能基於 MODE 設定組態，以最佳化於多點分支匯流排及點對點環狀拓樸中的效能及功率。

如前述，各記憶體裝置可包括選用相位選擇器電路，包括顯示於 8A 的多工器 712 及 714。與圖 3A 之記憶體系統時，只有最後記憶體裝置 110 會有 PHASE 設定到一邏輯位準，用以傳遞來自 PLL 706 的 180 及 360 度的時脈輸出。例如，所有的記憶體裝置，除了在環內的最後記憶體裝置以外將會輸出 90 及 270 度的時脈，其與用以產生輸出資料暫態的相同輸出資料。因此，輸出時脈緣及輸出資料緣符合且完全與下一個記憶體裝置的輸入取樣級相容。若控制器不具有 PLL 或 DLL 以位移該輸入時脈緣到輸出資料有效窗的中間，PHASE 位元可被設定以提供已定位於該資料有效窗中間輸出時脈暫態，故控制器可直接與接收的時脈信號取樣接收的資料。於本例中，此等會是 180 及 360 度時脈輸出。信號 PHASE 可以藉載入來自由記憶體裝置接收的命令的單一位元暫存器。此會在系統的開機程序期間被設定，其可以行用以指定位址到各記憶體裝置演繹法的記憶體控制器 202 開始。此演繹法可包括揭露於前述共同持有的美國專利申請案，其針對產生記憶體系統中的記憶體裝置的 ID 號碼。

於 ID 號碼指定期間，所有的記憶體裝置會具有

PHASE 位元，設定以輸出符合時脈及資料緣。在例如本實施例中，此能對應到 PHASE 的預設狀態，其中 90 及 180 度時脈被輸出。若記憶體控制器不具有 PLL 及 DLL，則其無法適當接收資料，直到最後記憶體裝置的 PHASE 已被適當地規劃。然而，由於裝置將不會輸出任何的資料暫態直到它們的裝置位址已被指定，記憶體控制器將會辨識暫態於其資料輸出作為最後記憶體裝置已與裝置位址規劃的指示。一旦系統中的最後記憶體裝置已被記憶體控制器知曉，一命令被發出以設定前述單一位元暫存器，改變 PHASE 的預設狀態成用以傳遞 180 及 360 度時脈輸出者。在此設定產生效果之後，繞該環的全通訊可發生。

圖 8B 時圖 8A 的電路的操作的時序圖。特別是，圖 8B 的時序圖顯示內部產生時脈信號以回應 MODE 及 PHASE 於 CKI 及 CKI#時脈暫態的連續序列期間的不同設定。在同時，在 Qn 輸出埠上的假定資料係顯示以使相對於輸出資料有效窗的對比時序差，以回應不同的 MODE 及 PHASE 的邏輯位準。此時序圖僅說明指示圖 8A 的電路的行為。熟於此技者會了解資料不會於實際使用期間靠近 MODE 及 PHASE 的暫態提供。MODE 及 PHASE 動態暫態會於記憶體系統的重置週期的初始化期間完成。圖 8B 包括 MOD、PHASE、CKI 及 CKI#的信號軌跡，來自時脈合成器 CK、CK#、CKO、CKO#之內部產生的 90、180、270 及 360 度時脈信號。

在時間 t1 與 t2 間的時間週期，當 MODE 在低邏輯位

準時，電路於並列時脈模式中操作。因為 MODE 在低邏輯位準，PLL 電路 706 關閉導致 90、180、270 及 360 度時脈輸出被設定成低邏輯位準。內部時脈 CK 及 CK# 因此分別是緩衝版本的 CKI 及 CKI#。使用顯示圖 8A 的電路，在輸入 D_n（未示）與 Q_n 間的資料傳輸操作將與圖 3D 所示者有相同序列，除了閃鎖操作現回應於 CK 及 CK# 而非直接回應於 CKI 及 CKI#。MODE 在低邏輯位準，時脈輸出緩衝器 410 被失能以保持 CKO 及 CKO# 在低邏輯位準。

在時間 t₂ 與 t₄ 間的時間週期中，當 MODE 在高邏輯位準時，電路操作於串列時脈模式。因為 MODE 在高邏輯位準，PLL 電路 706 被開啓以產生 90、180、270 及 360 度時脈輸出。一前的時序圖假設模式重置 PLL 鎖定是立即的。MODE 在高邏輯位準，內部 CK 及 CK# 將會對應於 90 及 270 度時脈輸出，且時脈輸出緩衝器 410 被致能以便以 CK 及 CK# 驅動 CKO 及 CKO#。使用顯示圖 8A 的電路，在輸入 D_n（未示）與 Q_n 間的資料傳輸操作將與圖 3 B 所示之序列相同，除了閃鎖操作現回應於 CK 及 CK# 而非直接回應於 90 及 270 度時脈輸出。

在時間 t₃ PHAE 在高邏輯位準，但在記憶體裝置的正常操作之前實際使用時 PHASE 設定成高或低邏輯位準。顯示於圖 8B 中的暫態只對比相對於不同邏輯位準的 PHASE 的 Q_n 之輸出資料的 CKO 及 CKO# 上升與下降間的關係。PHASE 設定成高邏輯位準，多工器 712 及 714 會

傳遞 180 及 360 度時脈輸出到時脈輸出緩衝器 410。於是 CKO 及 CKO# 會對應於 180 及 360 度時脈輸出，從而使資料有效窗以內的時脈緣中心化。

圖 3A 及 C 的系統實施例是靜態的，表示一旦被製造或組裝使用便無法改變。根據另一實施例，記憶體系統可動態改變使得記憶體裝置接收並列時脈或串列來源同步時脈。圖 9 是動可組態串列記憶體系統的實施例，其中記憶體控制器提供並列及來源同步時脈以及資料信號於對應於時脈型式的信號格式。記憶體裝置會包括與圖 8A 相同的電路，只有小的修改以接收並列及來源同步時脈信號。

在圖 9，可組態的串列記憶體系統 800 包括記憶體控制器 802 及四個動態可組態記憶體 804、806、806、810。記憶體控制器 802 提供與記憶體控制器 102 徑 202 相同的控制及資料信號，但現透過時脈輸出埠 CKI 及 CKI# 提供並列互補時脈信號，以及透過時脈輸出埠 CK2 及 CK2# 提供互補來源同步時脈。記憶體控制器 802 進一步組態以透過其 Qn、CS0、DS0 輸出埠以動態提供資料及選通信號，以一種對應於並列時脈的信號格式，以及另一種對應於來源同步時脈的信號格式。記憶體控制器 802 更包括串列時脈輸出埠 CKI 及 CKI#，用以接收來自最後記憶體裝置的來源同步時脈。各記憶體裝置類似組態成如圖 3A 及 3C 所示的記憶體裝置，除了各現包括並列輸出時脈埠 CK1CK1 及串列時脈 CKI 及 CKI#。VREF 的位準，各記憶體裝置會選擇性地使用並列時脈或來源同步時脈。

圖 10 是顯示根據替代實施例之時脈開關電路 402 的細節圖。此時脈開關電路顯示圖 8A 顯示之時脈開關電路的修改，元件使用相同的參考標號。與 8A 的實施例唯一不同處在時脈輸入緩衝器 406 現包括比較器、第一緩衝電路 902 及第二緩衝電路 904，以取代圖 8A 的比較器 700、第一緩衝電路 702 及第二緩衝電路 704。比較器 900 具有其輸入連接到時脈輸入埠 CKI 及 CKI#，其專用於接收互補來源同步時脈信號。第一緩衝電路 902 及第二背光單元 904 連接到 CKI 及 CKI#，專用於接收互補的並列時脈信號。現記憶體裝置可實體連接到互補並列及來源同步時脈於同時。VREF 的電壓位準接著決定哪個時脈輸入要使用。於圖 9 及 10 的記憶體系統實施例中，VREF 現可受記憶體控制器的控制，或是受來自與可控制驅動 VREF 至預定電壓位準或供應電壓的記憶體控制器不同的某合適電路的控制。因此示於圖 9 及 10 的記憶體系統可動態地切換以為高速度操作來源同步時脈合作，或是與並列時脈合作，若需要低功率消耗。

圖 11 係被顯示於圖 3A、3C 及 9 記憶體系統的記憶體控制器及記憶體裝置所執行用以設定操作模式的演繹法的流程圖。方法開始於步驟 1000，其中記憶體系統藉宣告重置信號 RST#而開機，或重置。在步驟 1002，記憶體控制器會執行啓動演繹法。在開機或重置，VREF 被設定到電源電壓或預定電壓位準。熟於此技者應了解其它啓動演繹法能以記憶體控制器及記憶體裝置本身來執行。在步

驟 1004，各記憶體裝置接著感測 VREF 的位準，透過它們個別的時脈輸入緩衝器，諸如示於圖 8A 的時脈緩衝器 406。VREF 的位準接著在步驟 1006 被決定，且若其非一參考電壓，則應是 VDD 或 VSS 電壓源，且在步驟 1008，MODE 被設到第一邏輯位準。否則 VREF 是預定參考電壓位準且 MODE 於步驟 1010 被設成第二邏輯位準。

一旦 MODE 已設定，接著所有記憶體裝置會自動組態它們的時脈開關電路及可組態的資料輸入/輸出緩衝器 404，依步驟 1012 先前敘述的方式。一旦記憶體裝置已被組態以接收對應於 MODE 的時脈及資料信號，則如選擇性的步驟，記憶體控制器可發出命令來從預設值切換最後記憶體裝置的 PHASE 到有效位準。參照圖 8A，在啟動或重置記憶體裝置的 PHASE 預設值可以是低邏輯位準以傳遞 CKI 及 CKI#，而有效值可以是 VDD 用以傳遞 PLL 706 的 180 及 360 度時脈輸出。

雖然前述實施例針對串列記憶體裝置，它們可以應用於任何以並列或串列提供的時脈合作的半導體裝置。

於先前說明中，為說明之目的，說明許多細節以便提供本發明實施例通透的了解。然而，熟於此技者應了解並非需要所有細節來實施本發明的實施例。於某些例子中，周知的電氣結構及電路係以方塊圖形式顯示，以便不模糊本發明。例如，關於本發明實是否以軟體常式、硬體電路、韌體或其組合來實施的特定細節並未提供。

本發明可從事實例的特定採用及修改。因此，上述

實施例被視為說明而非限制。

【圖式簡單說明】

現將參照各附圖而僅以舉例方式說明本發明之實施例，其中：

圖 1 係習知技術快閃記憶體系統的方塊圖；

圖 2A 係接收並列時脈信號的串列記憶體系統的概略方塊圖；

圖 2B 係接收串列時脈信號的串列記憶體系統的概略方塊圖；

圖 3A 係根據一實施例接收串列時脈信號之串列記憶體系統的概略方塊圖；

圖 3B 係顯示圖 3A 之記憶體系統的操作的時序圖；

圖 3C 係根據另一實施例之接收並列時脈信號之串列記憶體系統的方塊圖；

圖 3D 係顯示圖 3C 之記憶體系統之操作的時序圖；

圖 4 係記憶體裝置的方塊圖，該記憶體裝置具有原有的核心及串列輸入/輸出介面，適用於圖 3A 及 B 之串列記憶體系統；

圖 5 係說明可用於圖 3A 及 3C 之串列記憶體系統中可組態的輸入電路實施例的方塊圖；

圖 6 係圖 5 之模式設定器之電路概要實施例；

圖 7 係說明圖 6 之模式設定器之操作的序列圖；

圖 8A 係顯示於圖 5 之可組態的輸入電路的概要實施

例；

圖 8B 係顯示圖 8A 之電路之操作的時序圖；

圖 9 係動態可組態的串列記憶體系統之實施例的方塊圖；

圖 10 係用於圖 9 所示之記憶體裝置之替代時脈開關電路實施例的概要實施例；以及

圖 11 係用以架構記憶體裝置之時脈操作模式的方法的流程圖。

【主要元件符號說明】

12：主機系統

14：記憶體控制器

22：記憶體控制器

42：記憶體控制器

102：記憶體控制器

202：記憶體控制器

302：原有的記憶體陣列組

304：原有的記憶體陣列組

306：原有的控制及 I/O 電路

308：介面及控制邏輯

400：模式設定器

406：時脈輸入緩衝器

408：時脈產生器

410：時脈輸出緩衝器

412 : 資料輸入緩衝器

414 : 資料開關

416 : 資料輸出緩衝器

514 : 計數器

802 : 記憶體控制器

十、申請專利範圍

1. 一種用以接收時脈及輸入資料之半導體裝置，包含：

一可操作於第一模式下之可組態輸入電路，用以接收該時脈與該輸入資料之同時發生緣，及用以提供位於一資料有效窗內的移位時脈緣來取樣該輸入資料；該可組態輸入電路可操作於第二模式下以接收該時脈與該輸入資料之非重合緣來取樣該輸入資料。

2. 如申請專利範圍第 1 項之半導體裝置，進一步包含一輸入接腳，用以提供電壓給該可組態輸入電路來設定該第一模式及該第二模式。

3. 如申請專利範圍第 2 項之半導體裝置，其中該輸入接腳包含一參考電壓接腳，其被設定為低與高電力供應位準之一來設定該第二模式以及一參考電壓位準來設定該第一模式。

4. 如申請專利範圍第 3 項之半導體裝置，其中該參考電壓位準係介於該低與高電力供應位準之間且係由該可組態輸入電路所使用以感測該輸入資料之邏輯位準。

5. 如申請專利範圍第 1 項之半導體裝置，其中該可組態輸入電路包含一時脈合成器，用以回應於該時脈而提供該移位時脈緣。

6. 如申請專利範圍第 5 項之半導體裝置，其中該時脈合成器包含延遲鎖定迴路與相位鎖定迴路之一。

7. 如申請專利範圍第 5 項之半導體裝置，其中該時

脈合成器係於第二模式下失效。

8. 如申請專利範圍第 2 項之半導體裝置，其中該可組態輸入電路包括

單端輸入緩衝器，其耦合至用於接收該輸入資料的資料輸入接腳，該單端輸入緩衝器係在該第二模式中致能，且在該第一模式中失能，及

差動輸入緩衝器，其耦合至用於接收該輸入資料的該資料輸入接腳，該差動輸入緩衝器係在該第一模式中致能，用於感測該輸入資料相對於該電壓之邏輯位準。

9. 一種可組態記憶體裝置，包含：

模式設定器，用於感測參考電壓輸入埠的電壓位準，以及用於提供對應於該感測電壓位準之模式選擇信號；

時脈開關，其耦合至用於接收平行補償時脈信號以及串列補償時脈信號中的至少一者之時脈輸入埠，該時脈開關產生補償內部時脈信號，其對應於該平行補償時脈信號以及該串列補償時脈信號之中的一者，該平行補償時脈信號回應於該模式選擇信號的第一邏輯狀態，該串列補償時脈信號回應於該模式選擇信號的第二邏輯狀態；及

可組態資料輸入/輸出緩衝器，其耦合於資料輸入埠以及該參考電壓輸入埠，用於感測在該資料輸入埠上所接收之相對該電壓位準的資料，以回應於該模式選擇信號的第二邏輯狀態。

10. 如申請專利範圍第 9 項之記憶體裝置，其中該模式設定器包括

感測電路，用於比較該電壓位準和預設參考電壓，以及用於提供對應於相對該預設參考電壓的該電壓位準之感測輸出；以及

閃鎖，用於鎖存該感測輸出以及用於提供具有該第一邏輯狀態和該第二邏輯狀態中的一者之模式選擇信號。

11. 如申請專利範圍第 10 項之記憶體裝置，其中該感測電路包括

參考電壓電路，用於提供該預設參考電壓，以及

比較器，用於提供該感測輸出，以回應於該電壓位準和該預設參考電壓。

12. 如申請專利範圍第 11 項之記憶體裝置，其中該參考電壓電路包括耦合於 VDD 和 VSS 之間的分壓器。

13. 如申請專利範圍第 12 項之記憶體裝置，更包括電力關閉裝置，用於在一預設時間週期之後，切斷通過該分壓器的電流。

14. 如申請專利範圍第 13 項之記憶體裝置，其中該模式設定器包括

延遲電路，用於當驅動重置信號為非作用邏輯狀態時，在該預設時間週期之後關掉該電力關閉裝置。

15. 如申請專利範圍第 14 項之記憶體裝置，其中該延遲電路包含：

n 位元計數器，其在該重置信號處於不活動邏輯狀態之時致能，以在一時脈信號的 2^n 主動緣被計數之時驅動一最高有效位元至一主動邏輯狀態，其中 n 係一大於 1 的

整數，該延遲電路對應於處於主動邏輯狀態的該最高有效位元，產生一去能信號以關閉該功率關閉器裝置。

16. 如申請專利範圍第 9 項之記憶體裝置，其中該時脈開關包含：

時脈輸入緩衝器，其用於回應於該模式選擇信號的第一邏輯狀態而提供緩衝之平行補償時脈信號，且用於回應於該模式選擇信號的第二邏輯狀態而提供對應於該串列補償時脈信號的一感測的時脈信號，

時脈產生器，其用於當該模式選擇信號在該第一邏輯狀態之時回應於該等緩衝之平行補償時脈信號之一者而產生該等補償內部時脈信號，及當該模式選擇信號在該第二邏輯狀態之時產生感測的時脈信號，以及

時脈輸出緩衝器，用於當該模式選擇信號在該第二邏輯狀態之時經由時脈輸出埠而驅動該等補償內部時脈信號。

17. 如申請專利範圍第 16 項之記憶體裝置，其中該時脈輸入緩衝器包含：

比較器，其回應於在該第二邏輯狀態的該模式選擇信號的而致能，以提供回應於該串列補償時脈信號的該感測的時脈信號，以及

一對緩衝器，其回應於在該第二邏輯狀態的該模式選擇信號，以提供回應於該等平行補償時脈信號的該等緩衝的平行補償時脈信號。

18. 如申請專利範圍第 16 項之記憶體裝置，其中該

時脈產生器包含：

時脈合成器，其用於回應於該感測的時脈信號而提供一第一時脈信號及一第二時脈信號，其係相關於該第一時脈信號而移位 180 度，以及

開關電路，其用於當該模式選擇信號在該第一邏輯狀態之時，通過該第一時脈信號及該第二時脈信號作為該等補償內部時脈信號，該開關電路當該模式選擇信號在該第二邏輯狀態之時，通過該緩衝的平行補償時脈信號作為該等補償內部時脈信號。

19. 如申請專利範圍第 18 項之記憶體裝置，其中該時脈合成器包含一相鎖回路及一延遲相鎖回路之其中之一者。

20. 如申請專利範圍第 16 項之記憶體裝置，其中該時脈輸出緩衝器包含一對驅動器，其回應於在該第二邏輯狀態的該模式選擇信號而致能，以經由該等時脈輸出埠而驅動該等補償內部時脈信號。

21. 如申請專利範圍第 18 項之記憶體裝置，其中該時脈合成器提供一第三時脈信號及一第四時脈信號，其中該第三時脈信號係關於該第一時脈信號而移位 90 度，且該第四時脈信號係關於該第三時脈信號移位 180 度。

22. 如申請專利範圍第 21 項之記憶體裝置，其中該時脈產生器另外包括相位選擇器電路，供選擇性地將該等補償內部時脈信號及第三與第四時脈信號其中之一者傳遞至該時脈輸出緩衝器。

23. 如申請專利範圍第 9 項之記憶體裝置，其中該可組態的資料輸入/輸出緩衝器包括

資料輸入緩衝器，供選擇性地提供輸入資料和已緩衝資料，該輸入資料對應於在資料和電壓位準之間比較所產生之被感測資料其中之一者，該已緩衝資料對應於回應該模式選擇信號的資料。

24. 如申請專利範圍第 23 項之記憶體裝置，其中該資料輸入緩衝器包括

比較器，當該模式選擇信號在該第二邏輯狀態時，該比較器能提供回應電壓位準的輸入資料和資料的電壓，及

緩衝器，當該模式選擇信號在該第一邏輯狀態時，該緩衝器能提供已緩衝資料。

25. 如申請專利範圍第 23 項之記憶體裝置，其中該可組態的資料輸入/輸出緩衝器另外包括資料開關，供選擇性地將該輸入資料和區域讀取資料其中之一者傳遞至資料輸出緩衝器。

26. 一種用於組態記憶體裝置之時脈作業模式的方法，該記憶體裝置接收參考電壓，用以感測輸出資料，該方法包含：

a) 設定該參考電壓位準；

b) 比較該參考電壓和預設之參考電壓，用以相對於該預設之參考電壓產生對應於該參考電壓的模式選擇信號；和

c) 組態時脈輸入緩衝器，以接收平行補償時脈

信號和串列補償時脈信號其中之一者，回應該模式選擇信號。

27. 如申請專利範圍第 26 項之方法，其中比較包括門鎖該模式選擇信號。

28. 如申請專利範圍第 26 項之方法，其中比較包括使感測電路去能，該感測電路用於在預定的延遲以後，比較該參考電壓和預設之參考電壓。

29. 如申請專利範圍第 28 項之方法，其中，該預定的延遲係藉由在解除確立重置信號之後計算 2^n 時脈緣的數目來予以決定的，其中 n 係一大於 1 的整數。

30. 如申請專利範圍第 29 項之方法，其中，該預設之參考電壓浮接於電壓供應，而同時該重置信號被確立。

31. 如申請專利範圍第 26 項之方法，其中，回應於該模式選擇信號之第一邏輯狀態，組構包含致能接收串列補償時脈信號之比較器，及去能接收並列補償時脈信號之緩衝器。

32. 如申請專利範圍第 31 項之方法，其中，回應於來自該比較器之所感測到的時脈信號，致能包含致能時脈合成器，以產生第一時脈信號及相對於該第一時脈信號而移位 180 度之第二時脈信號。

33. 如申請專利範圍第 32 項之方法，其中，回應於該模式選擇信號，致能該時脈合成器包含將該第一時脈信號和該第二時脈信號以及對應於該等並列補償時脈信號之經緩衝的並列補償時脈信號的其中一者提供作為內部時脈

信號。

34. 如申請專利範圍第 33 項之方法，其中，該時脈合成器產生第三時脈信號和第四時脈信號，其中，該第三時脈信號係相對於該第一時脈信號而移位 90 度，且該第四時脈信號係相對於該第三時脈信號而移位 180 度，並且回應於相位選擇信號，組構包含選擇性地通過該等內部時脈信號及該第三和第四時脈信號的其中一者。

35. 一種記憶體系統，可組構而和並列時脈信號及串列時脈信號的其中一者一起操作，該記憶體系統包括：

記憶體控制器，用以提供該等並列時脈信號及該等串列時脈信號的其中一者；

至少一串列連接之記憶體裝置，該至少一串列連接之記憶體裝置具有

時脈輸入埠，用以接收該等並列時脈信號及該等串列時脈信號的其中一者；

參考電壓輸入埠，用以接收設定於預定的電壓位準和電壓供應位準的其中一者之參考電壓；

模式設定器，用以比較該參考電壓與該預定的電壓位準，且用以產生對應於該比較之結果的模式選擇信號；以及

時脈開關電路，係耦接至該時脈輸入埠，用以產生對應於該等並列時脈信號及該等串列補償時脈信號的其中一者之補償內部時脈信號，以回應於該模式選擇信號。

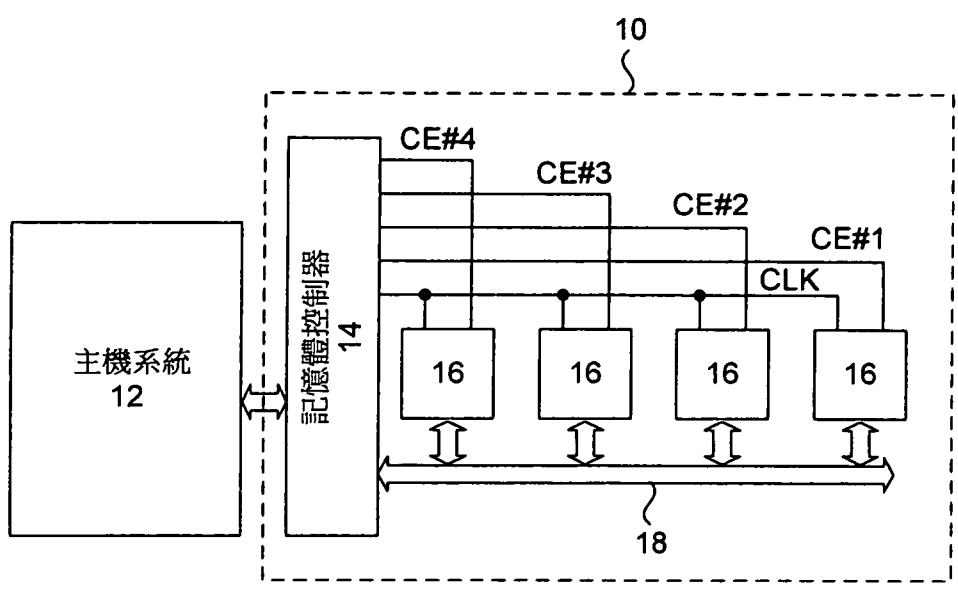


圖 1 (習知技術)

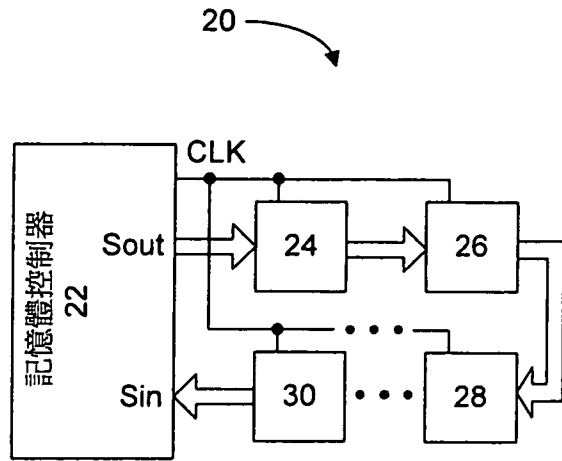


圖 2A

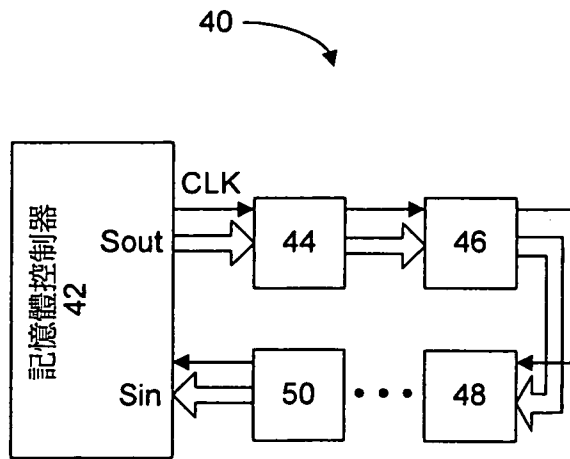


圖 2B

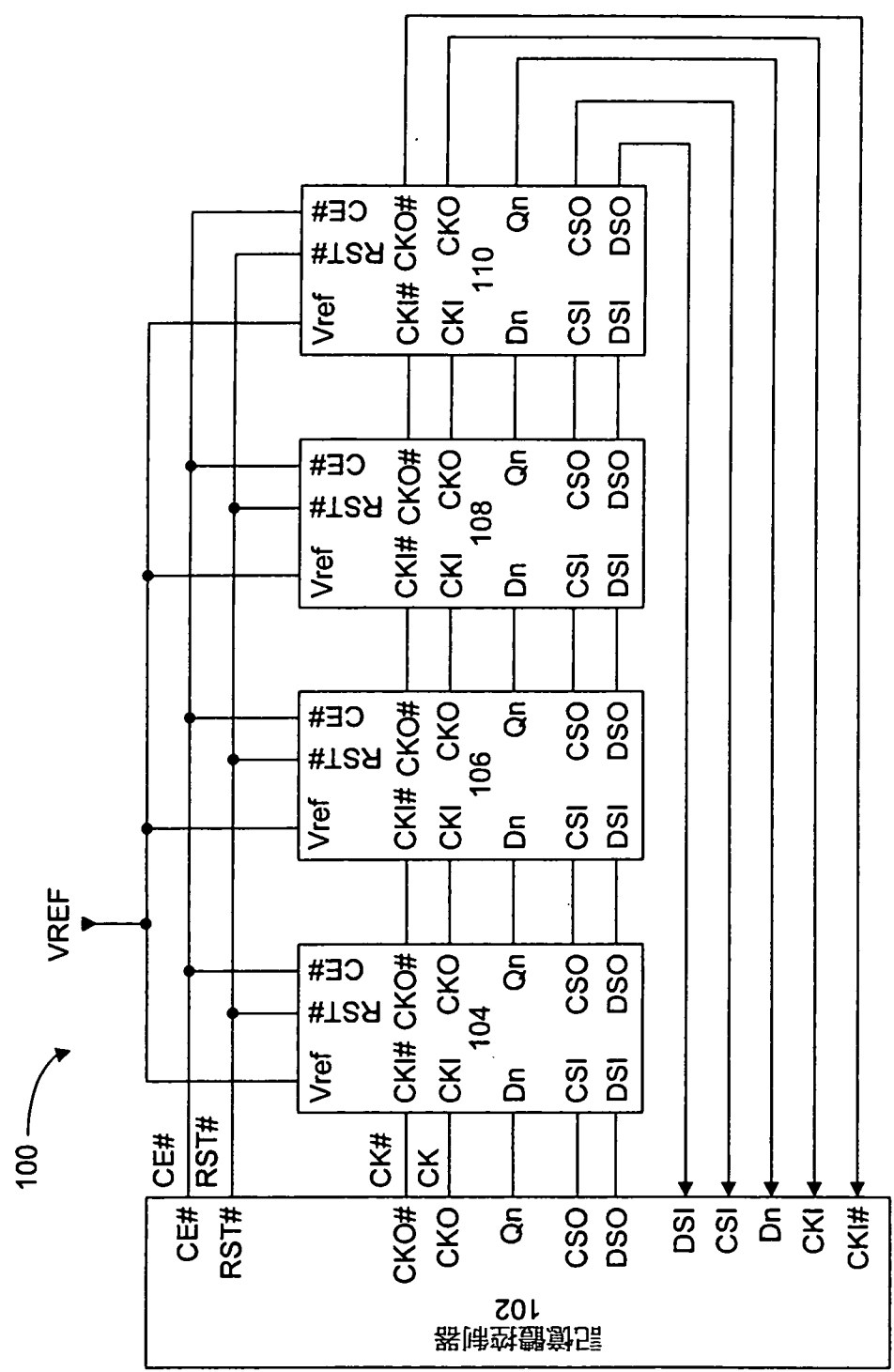


圖 3A

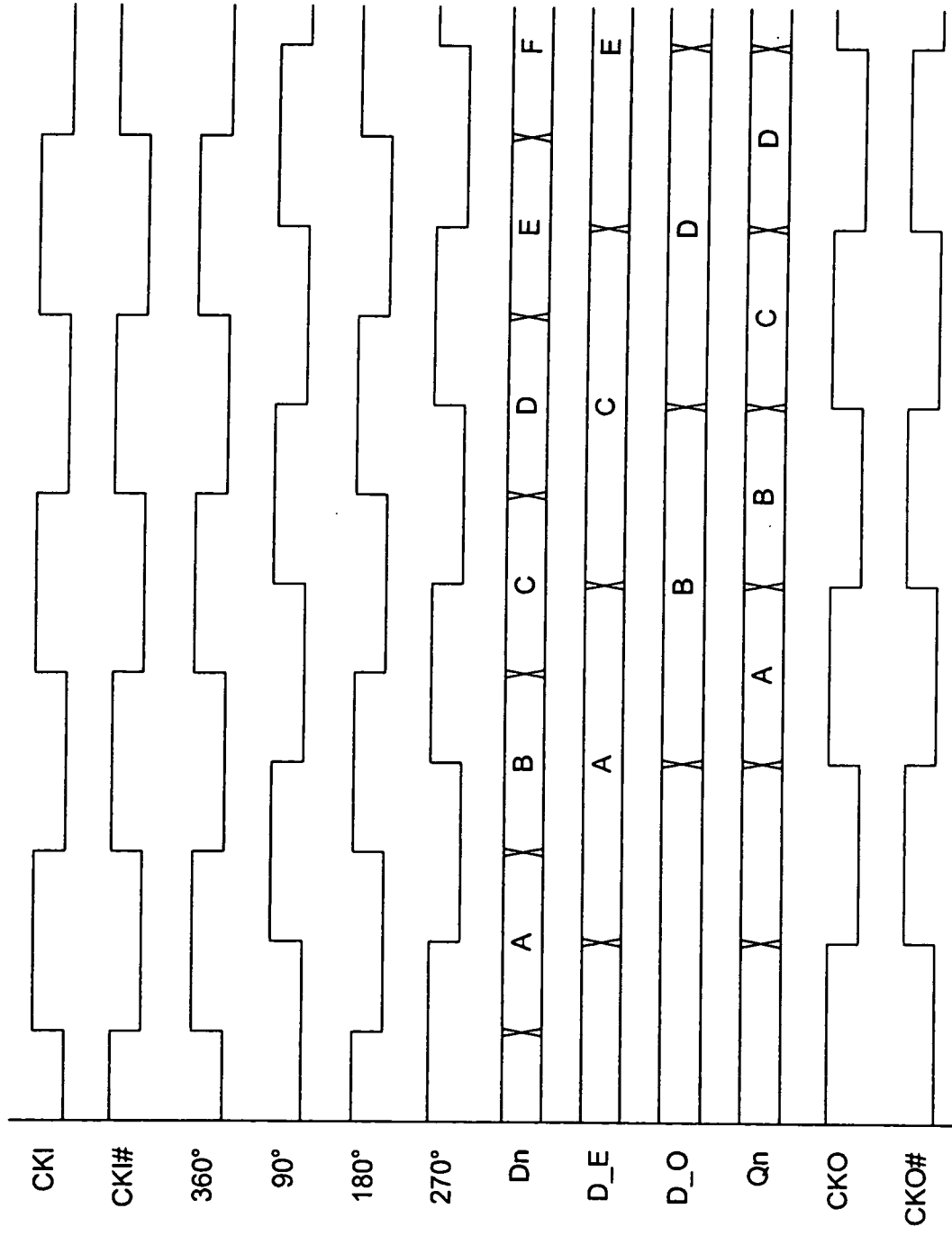


圖 3B

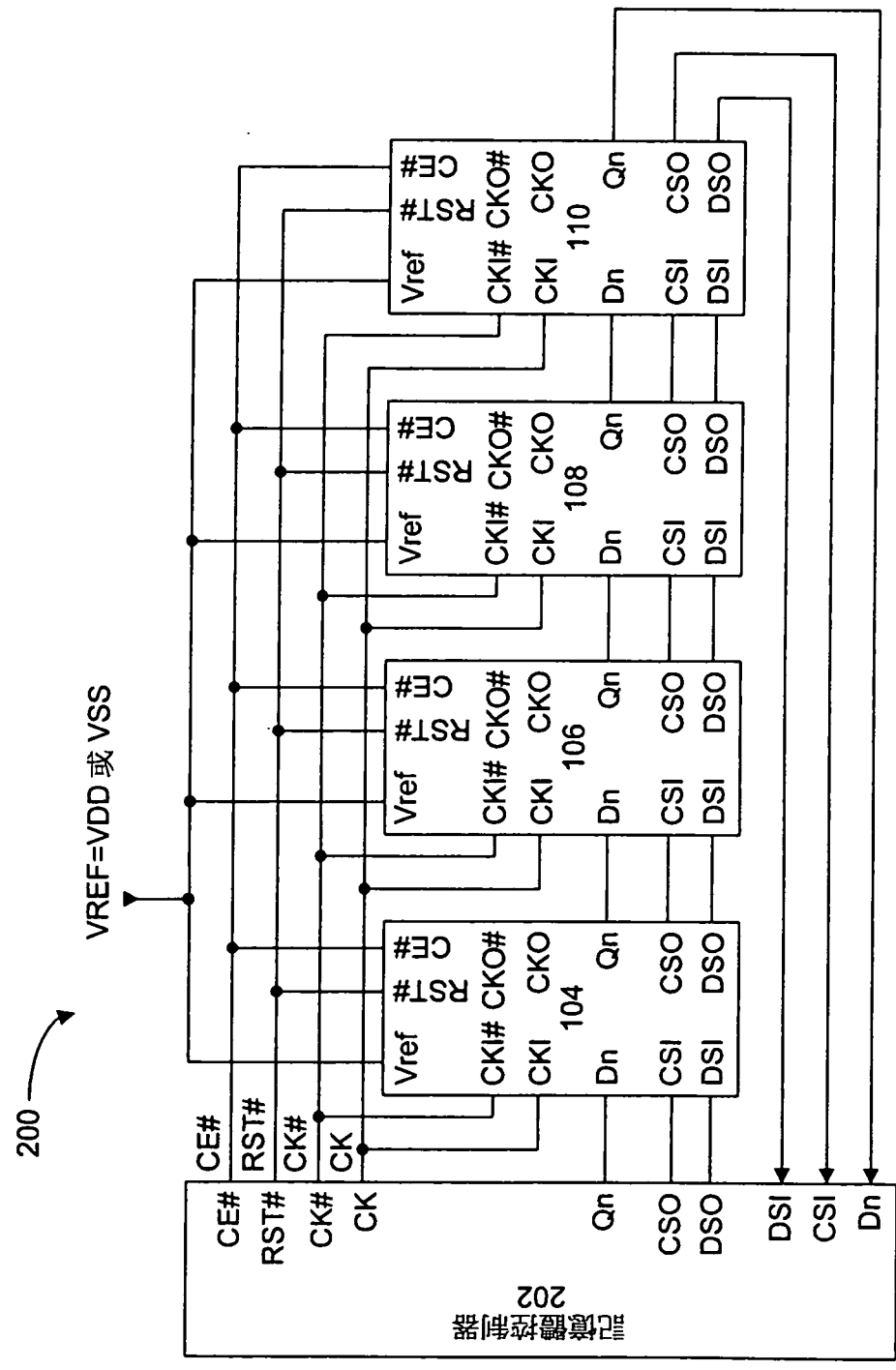


圖3C

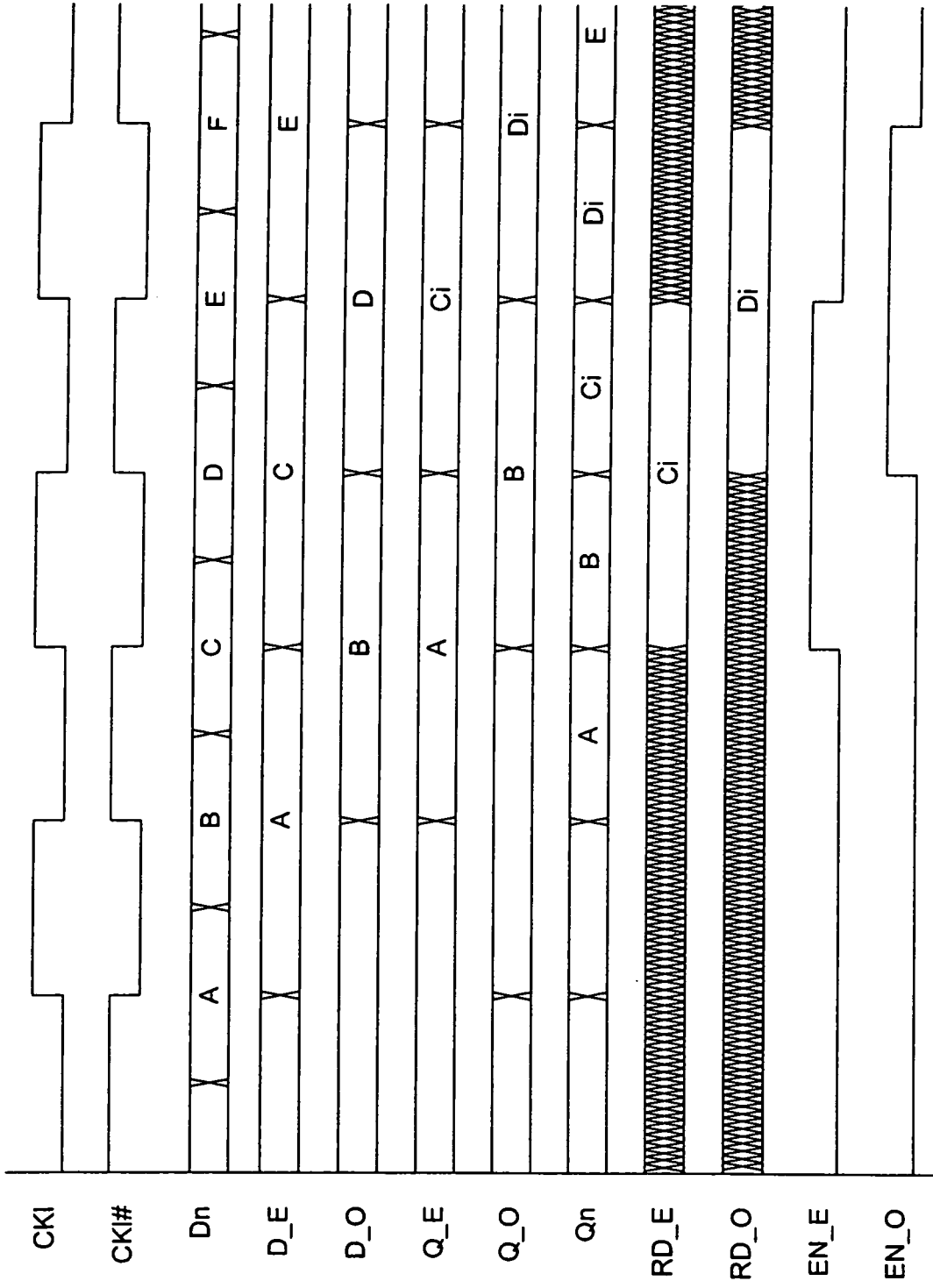


圖3D

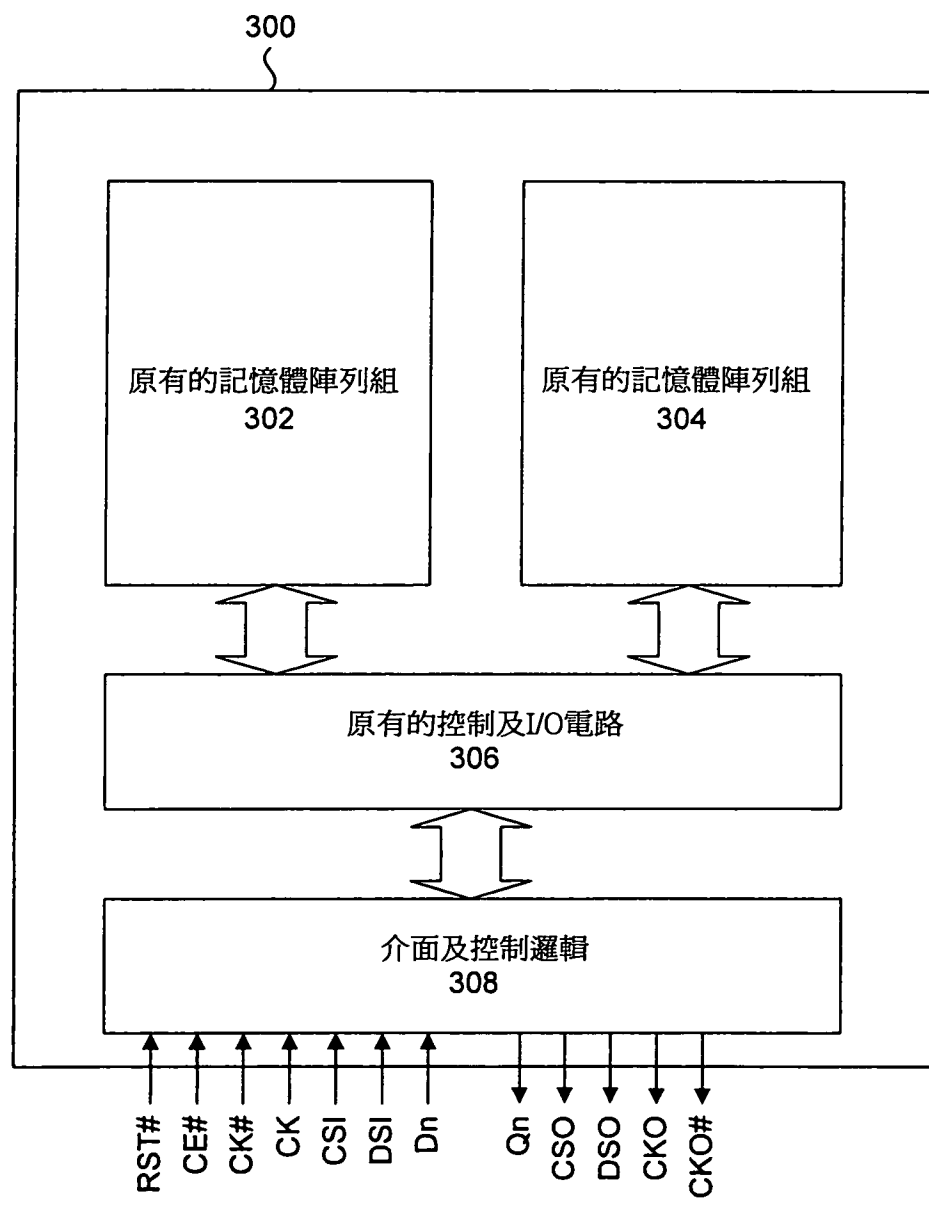


圖4

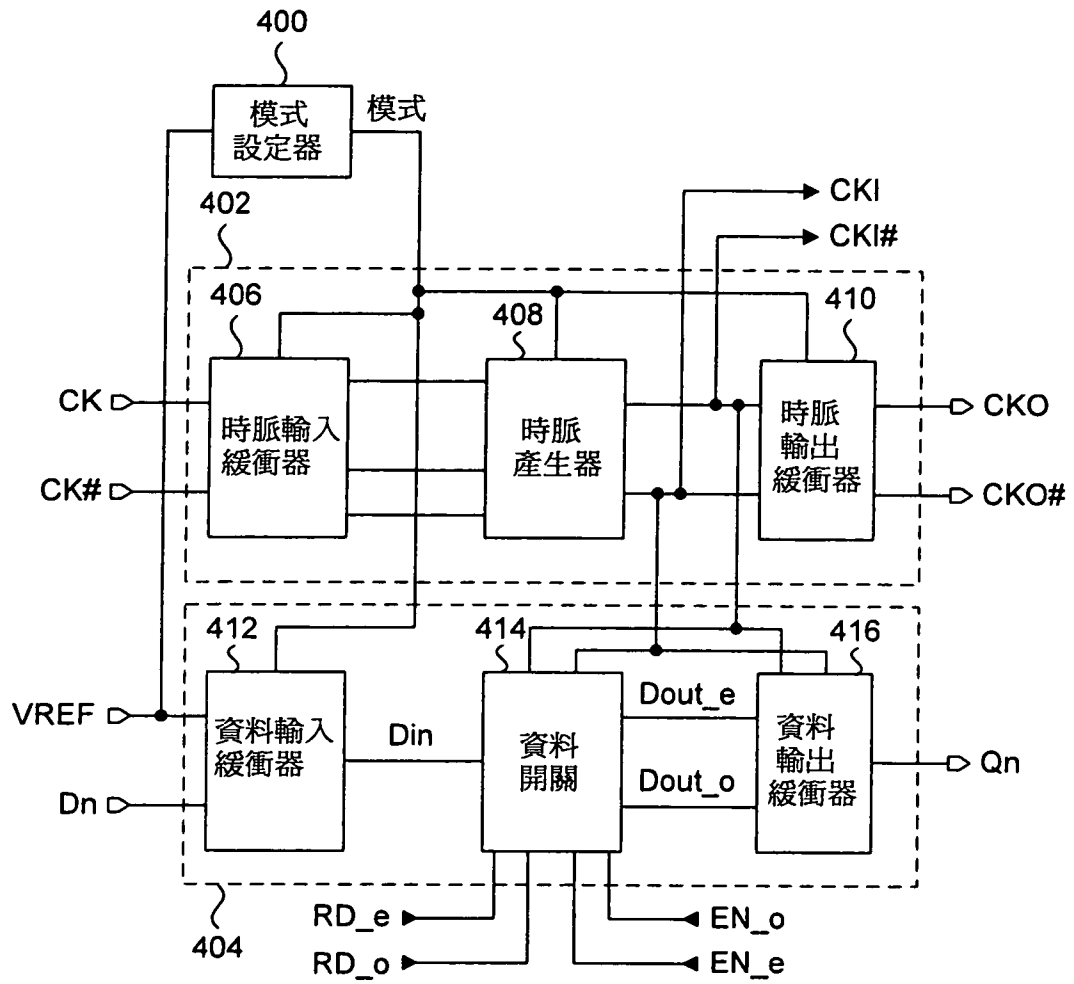


圖5

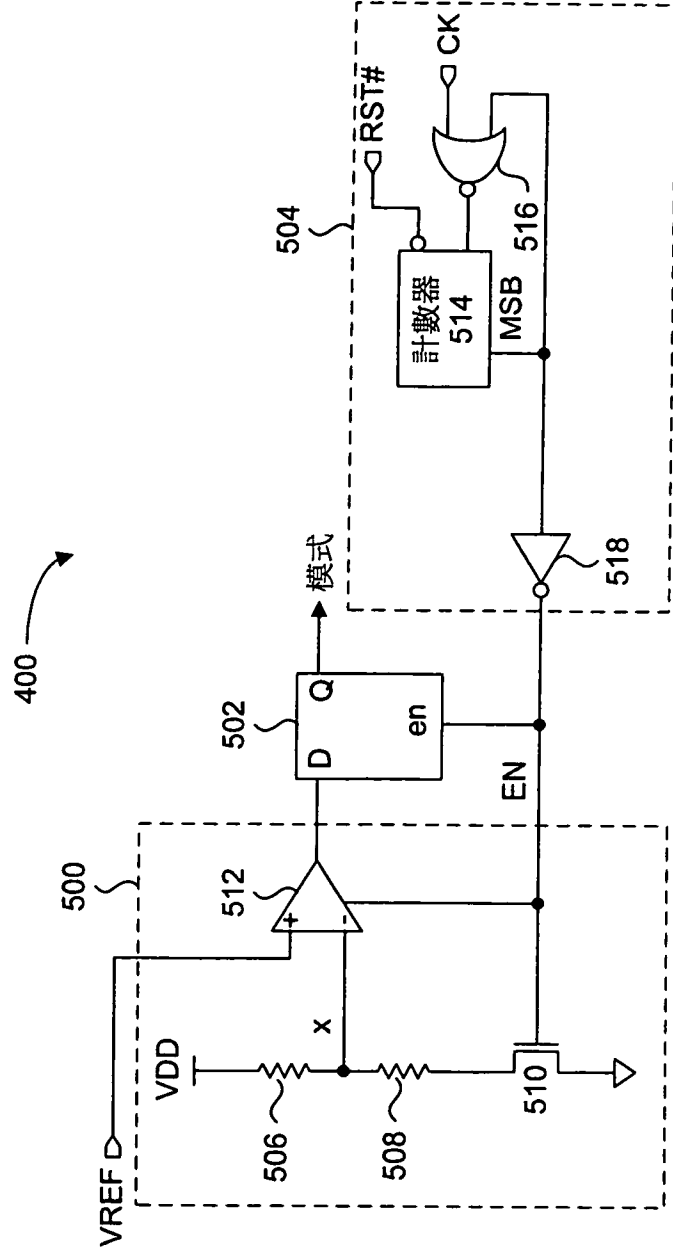


圖6

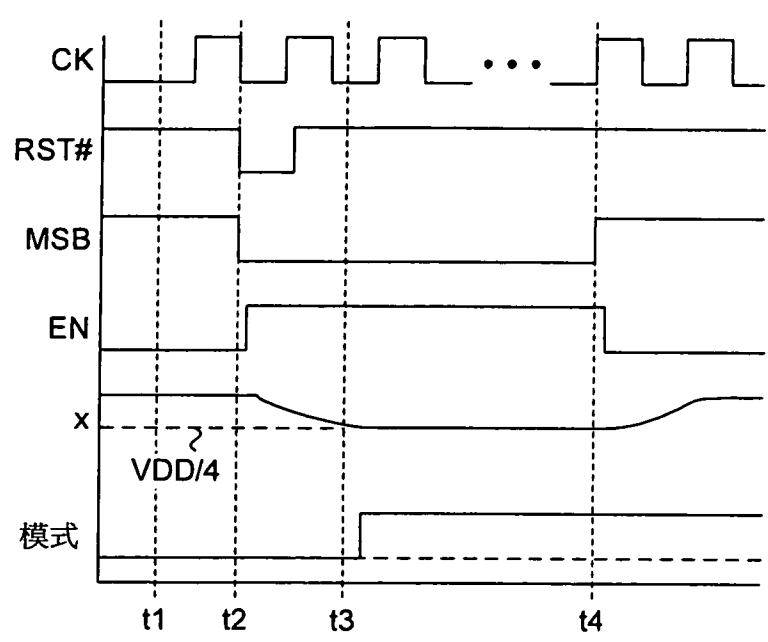


圖 7

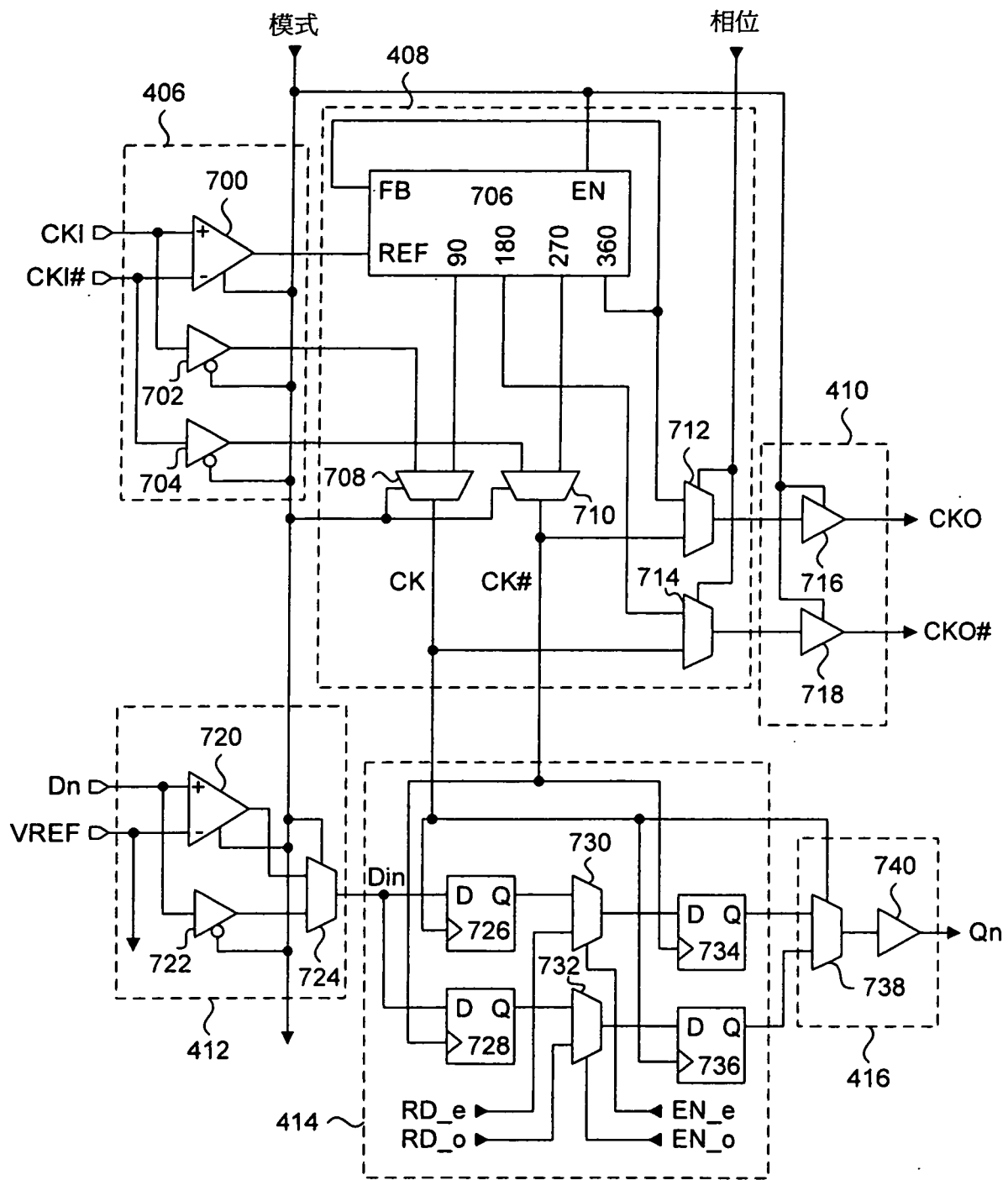


圖 8A

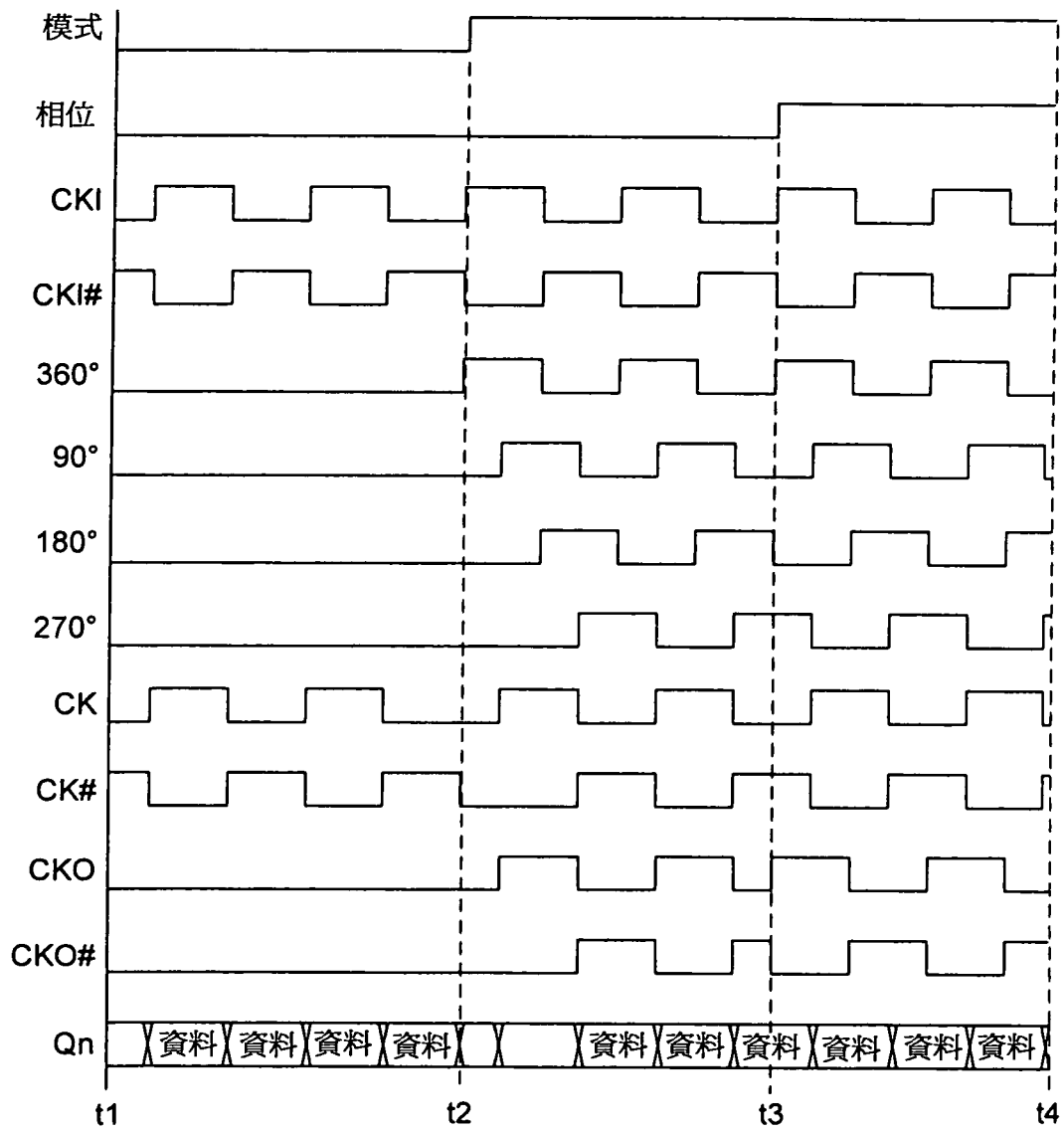


圖 8B

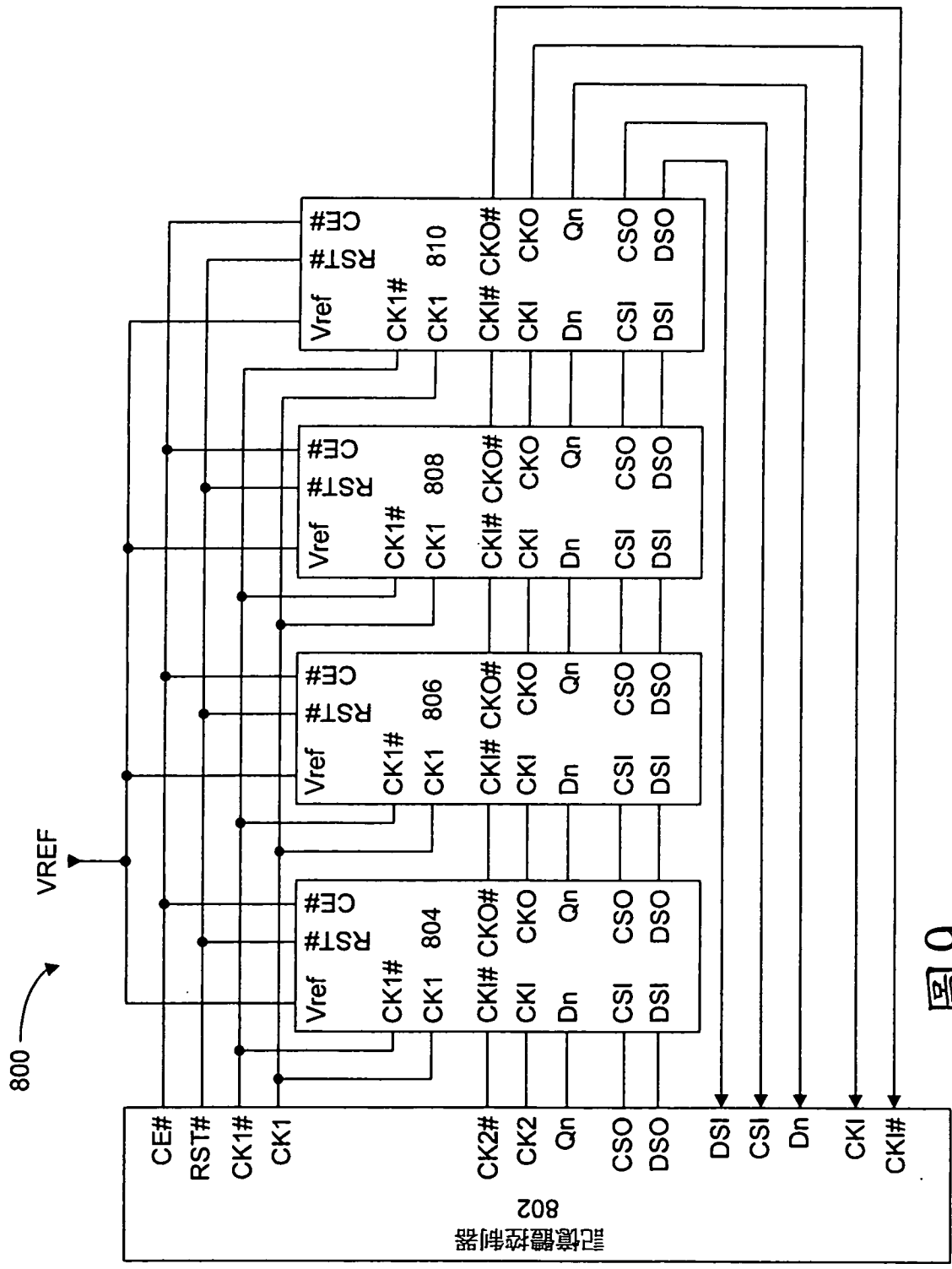


圖9

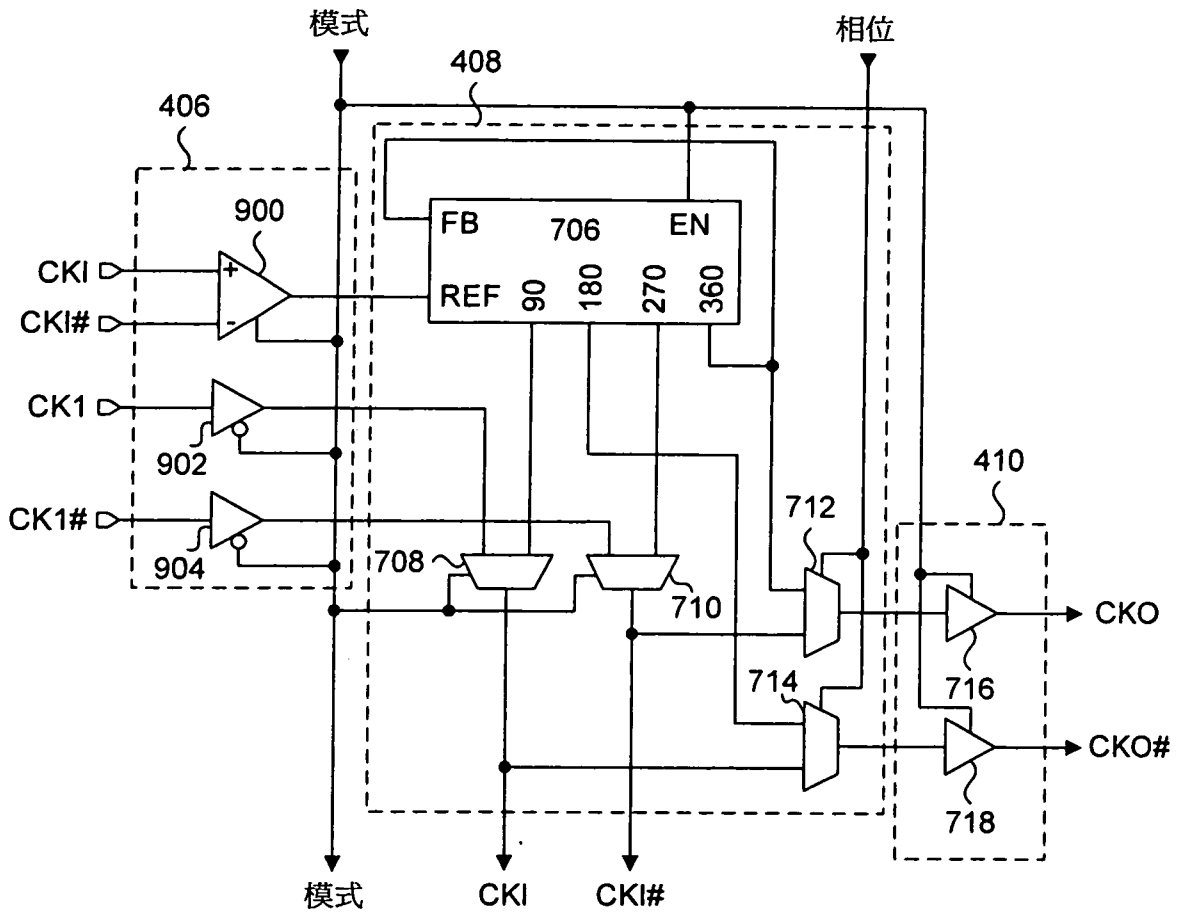


圖 10

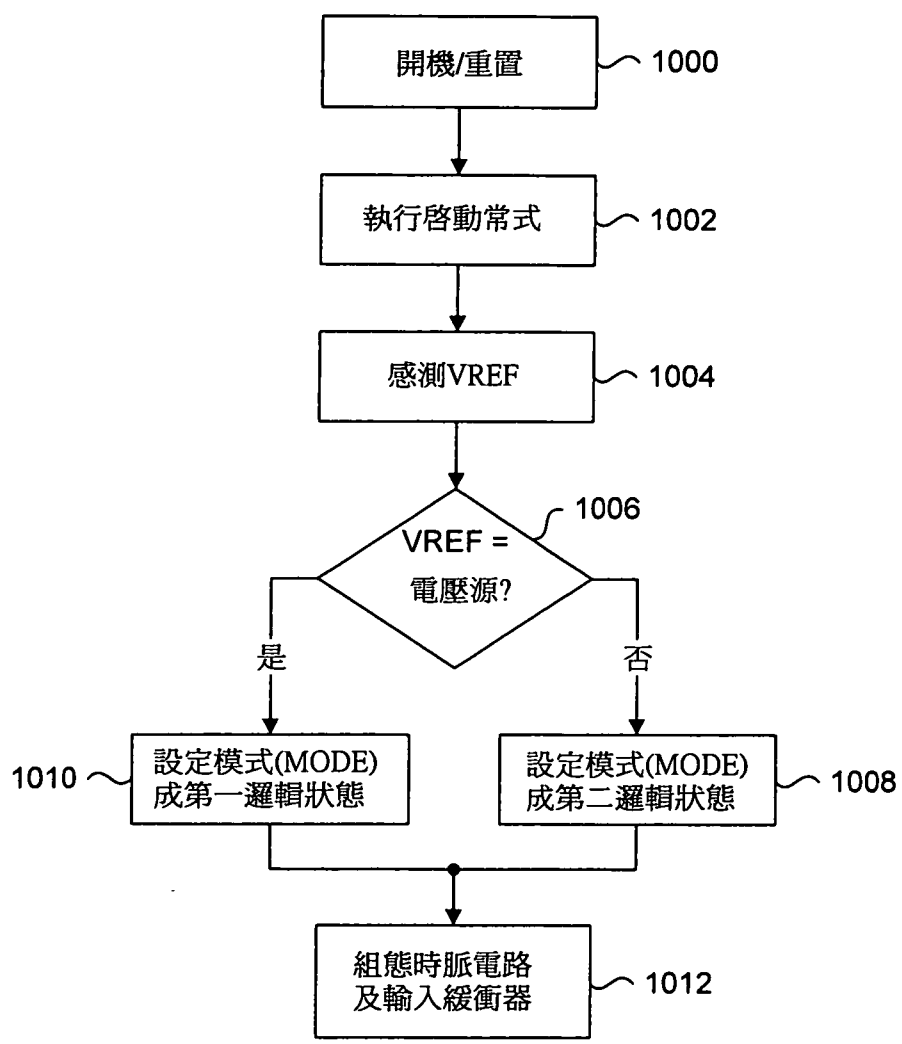


圖 11