(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-236362
(P2004-236362A)
(43)公開日　平成16年8月19日(2004.8.19)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H04N 5/225	H04N 5/225	F	5C122
// H04N 101:00	H04N 101:00		

審査請求 有　請求項の数 3　OL　（全 12 頁）

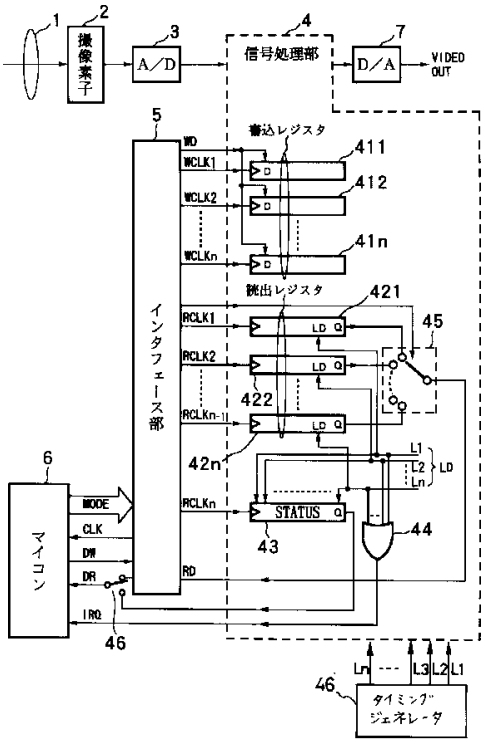
(21)出願番号　特願2004-131793(P2004-131793)
(22)出願日　平成16年4月27日(2004.4.27)
(62)分割の表示　特願平5-149462の分割
原出願日　平成5年6月21日(1993.6.21)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二
(72)発明者　山田　邦彦
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

Fターム(参考)　5C122 DA04 EA68 FB03 FD01 FF01 FF03 HA13 HA35 HA73 HB02

(54)【発明の名称】ビデオカメラ及び映像信号処理方法

(57)【要約】
【課題】　映像信号の処理速度を早くして、例えばカメラの光学系の焦点状態を調節するオートフォーカス等の応答性、あるいは光学系の入射光量を調節するオートアイリス等の応答性を改善したビデオカメラを提供することにある。
【解決手段】　複数ビットのデジタル信号を１ワードのデータとして、マイコン6と信号処理部4の内部データレジスタ411-41n,421-42nとの間で通信するにあたり、外部読出レジスタ421-42nにデータが書き込まれた時に各読み出しレジスタに対応するビットの状態が変化するステータスレジスタ43を備え、マイコンが外部レジスタのアドレスを設定する時、あるいは外部書込レジスタ311-41nにデータを転送するために通信を行う時に、該アドレスまたはデータの転送と同時に前記ステータスレジスタ43をマイコン6から読み出せるようにした。
【選択図】　図９



【特許請求の範囲】
【請求項１】
映像信号をデジタル演算処理するビデオカメラであって、
複数ビットのデジタル信号を１ワードのデータとして、マイコンと信号処理部の内部データレジスタとの間で通信するにあたり、外部読出レジスタにデータが書き込まれた時に各読み出しレジスタに対応するビットの状態が変化するステータスレジスタを備え、
マイコンが外部レジスタのアドレスを設定する時、あるいは外部書込レジスタにデータを転送するために通信を行う時に、該アドレスまたはデータの転送と同時に前記ステータスレジスタをマイコンから読み出せるようにしたことを特徴とするビデオカメラ。
【請求項２】
前記ステータスレジスタは、ビデオカメラの同期信号のタイミング情報を有することを特徴とする請求項１記載のビデオカメラ。
【請求項３】
映像信号をデジタル演算処理する映像信号処理方法であって、
複数ビットのデジタル信号を１ワードのデータとして、マイコンと信号処理部の内部データレジスタとの間で通信するにあたり、外部読出レジスタにデータが書き込まれた時の各読み出しレジスタに対応するビットの状態を記憶させておき、
マイコンが外部レジスタのアドレスを設定する時、あるいは外部書込レジスタにデータを転送するために通信を行う時に、該アドレスまたはデータの転送と同時に前記各読み出しレジスタに対応するビットの状態をマイコンから読み出すことを特徴とする映像信号処理方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、映像信号をデジタル演算処理するビデオカメラ及び映像信号処理方法に関するものである。
【背景技術】
【０００２】
従来の映像信号をデジタル演算処理するビデオカメラ（以下デジタルカメラと称す）における、論理演算部（以下マイコンと称す）と信号処理部との間のデータ通信の例を、図１，図２を用いて説明する。
【０００３】
図１はデジタルカメラの構成を示すブロック図、図２はマイコンとインタフェース間の通信状態を示すタイミング図である。
【０００４】
図１において、１はレンズ、２はレンズ１により投影された被写体像を電気信号に変換する撮像素子、３は撮像素子よりの映像信号をデジタル信号に変換するＡ／Ｄ変換部、４はＡ／Ｄ変換されたデジタル信号を演算処理する信号処理部、５は信号処理部４の内部のデータレジスタを読み出し、あるいは書き込むインタフェース部、６はインタフェース部５が読み出したデータを受けとり、所定の処理を行うか、あるいはインタフェース部に書き込みデータを送るマイコン、７は演算処理された映像信号をアナログ信号に変換するＤ／Ａ変換部である。
【０００５】
信号処理部４において、４１１～４１ｎはインタフェース部５がマイコン６から受けとったデータを書き込む書込レジスタであり、これらのレジスタに収納されるデータは、信号処理部４内において映像信号を処理する過程で必要なデータ（例えばＡＧＣのゲイン，ホワイトバランスのＲ，Ｇ，Ｂの各ゲイン，オートフォーカスの領域設定の値等）である。４２１～４２ｎは信号処理部４の内部の各データを収納しマイコン６に送りだす読出レジスタ、４３は４２１～４２ｎの各読み出しレジスタにデータが収納されたか否かの状態を各レジスタ毎にホールドするステータスレジスタ、４４は各読み出しレジスタのロード

信号Ｌ１～Ｌｎから割り込み信号を得るＯＲ回路、４５はデータセレクタである。以上のレジスタはクロック入力によりデータをシリアルに入出力できるシフトレジスタである。４６は信号処理を行う過程において適当なタイミングで各レジスタにロード信号を発生するタイミングジェネレータである。

【０００６】

レンズ１より投影された被写体像は撮像素子２により電気信号に変換され、Ａ／Ｄ変換部３でデジタル信号に変換されて信号処理部４へ信号として送られる。信号処理部４では、Ａ／Ｄ変換部３より入力されたデジタル信号を信号処理する過程において、必要なデータをマイコン６からインタフェース部５を介して受けとる。マイコン６では前記データを算出するために必要なデータをインタフェース部５を介して信号処理部４から受けとる。

【０００７】

図２はマイコン６とインタフェース部５との間のシリアル通信のタイミング図を表わすものである。この間の通信は、図１にＣＬＫで示すクロックライン、ＤＷで示す書込データライン、ＤＲで示す読出データライン、更にＭＯＤＥで示すデータ読みだしとデータ書き込みとアドレス指定の各モードを選択するＭＯＤＥラインによって行なわれる。

【０００８】

（アドレスの指定）

図２のＡに示すように、マイコン６からインタフェース部５にＭＯＤＥラインを通してアドレス指定のモード情報が出力されると、インタフェース部５ではマイコン６にＣＬＫラインを介してクロック信号を送る。マイコン５ではこのクロックに合わせてＤＷラインを介してアドレス信号（Ａ０～Ａ７）を送る。インタフェース部５でこのアドレス信号を受け取り、インタフェース５内部の不図示のアドレスレジスタにアドレスを設定する。

【０００９】

（データの書き込み）

この後、たとえば図２のＢに示すようにマイコン６からＭＯＤＥラインを介してデータ書き込みモード情報が出力されると、インタフェース部５ではアドレス指定の場合と同様にマイコン６にＣＬＫラインを通してクロック信号を送る。マイコン６ではこのクロックに合わせてＤＷラインを介して書き込みデータ信号（Ｄ０～Ｄ７）を送り、インタフェース部５でこの書き込みデータを受け取る。この時、インタフェース部５では先に設定されたアドレスに基づいてそのアドレスのレジスタに対応する図１のＷＣＬＫ１…ｎに信号を送り、該クロック信号と同期させてＷＤで示す書き込みラインを介して書き込みデータを転送する。

【００１０】

（ステータスデータの読み出し）

図１の信号処理部４の内部において、決められたタイミングに基づき、タイミングジェネレータ４６から発生するロード信号により読みだしレジスタ４２１～４２ｎのどれかに１ロード信号Ｌ１～Ｌｎを介してデータがロードされた場合、このロード信号は一方でＯＲ回路４４を通してマイコン６の割り込み信号となり、更にその読出レジスタに対応したステータスレジスタ４３のビットを立ち上げ、このビットはその読出レジスタにロードされたデータが読みだされるまでホールドされる。さて、ＯＲ回路４４を通ったロード信号は図１に示すＩＲＱラインを介してマイコン６に割り込みをかける。マイコン６は、どの読出レジスタにデータがロードされたかの情報を得るための通信を開始する。

【００１１】

通信は、先ずステータスレジスタ４３のアドレスを設定するため、図２のＡに示すタイミングでステータスレジスタアドレスをＤＷラインを通してインタフェース部５へ送る。次に、マイコン６は図２のＣに示すようにインタフェース部５へＭＯＤＥラインを介してデータへ読み出しモードの情報を送り、インタフェース部５ではこのモードの情報をうけとると、先に送られたアドレスに基づきデータセレクタ４５をステータスレジスタ４３の出力が得られるように設定し、更にステータスレジスタに対応する図１のＲＣＬＫ１…ｎを信号処理部４へ送る。ステータスレジスタ４３はこのクロックに同期してデータをＲＤ

ラインを介してインタフェース部５へ転送する。インタフェース部５では、このデータを受けとると、図２のＣに示すタイミングで、ＣＬＫラインを介してマイコン６にクロック信号を送り、これと同期してステータスレジスタ４３から得たデータＲＤラインを介して送出する。

【００１２】

（読出レジスタのデータの読み出し）

次にマイコン６は、該ステータスレジスタ４３のデータをうけとると、ステータスレジスタ４３のデータから信号処理部４のどの読出レジスタがロードされた状態になったかを判別し、そのレジスタのアドレスを図２のＡのタイミングに従ってインタフェース部５へ送る。インタフェース部５では、インタフェース内部のアドレスを設定する。この後、マイコン６からＭＯＤＥラインを通してインタフェース部５にデータ読み出しの情報を送り、インタフェース部５では先に設定されたアドレスに基づき、データセレクタ４５を設定し、そのアドレスに基づいた読出レジスタに対応するＲＣＬＫ１…ｎの信号を送る。対応する読出レジスタからはクロックと同期してデータが出力され、インタフェース部５へＲＤとして転送される。インタフェース部５では、このデータを図５のＣに示すタイミングでＣＬＫラインのクロック信号と同期させてＲＤラインとしてマイコン６へ送る。

【発明の開示】

【発明が解決しようとする課題】

【００１３】

しかしながら、上記従来例では、信号処理部４の内部で読出レジスタがロードされてから実際にマイコン６がその読出レジスタのデータを受けとるまでに、（１）ステータスレジスタ４３のアドレス指定，（２）ステータスレジスタのデータ転送，（３）読出レジスタのアドレス指定，（４）読出レジスタのデータ転送，といった４つのシリアル通信を行う必要があり、マイコンのクロックが遅い場合等に多くの時間を費やし、映像信号の処理速度が遅くなってしまう。すなわち、カメラの光学系の焦点状態を調節するオートフォーカスの場合など、その応答性が悪くなり、また光学系の入射光量を調節するオートアイリス等の応答性が悪くなるといった不具合が生じてしまう。

【００１４】

本発明は、上記従来の問題点に鑑み、読出レジスタからのデータ読み出し時間を短くし、映像信号の処理速度を早くして、例えばカメラの光学系の焦点状態を調節するオートフォーカス等の応答性、あるいは光学系の入射光量を調節するオートアイリス等の応答性を改善したビデオカメラを提供する。

【課題を解決するための手段】

【００１５】

本発明は、上述の課題を解決することを目的としてなされたもので、以下の構成を備える。

【００１６】

映像信号をデジタル演算処理するビデオカメラであって、複数ビットのデジタル信号を１ワードのデータとして、マイコンと信号処理部の内部データレジスタとの間で通信するにあたり、外部読出レジスタにデータが書き込まれた時に各読み出しレジスタに対応するビットの状態が変化するステータスレジスタを備え、マイコンが外部レジスタのアドレスを設定する時、あるいは外部書込レジスタにデータを転送するために通信を行う時に、該アドレスまたはデータの転送と同時に前記ステータスレジスタをマイコンから読み出せるようにしたことを特徴とするビデオカメラを提供する。ここで、前記ステータスレジスタは、ビデオカメラの同期信号のタイミング情報を有する。

又、映像信号をデジタル演算処理する映像信号処理方法であって、複数ビットのデジタル信号を１ワードのデータとして、マイコンと信号処理部の内部データレジスタとの間で通信するにあたり、外部読出レジスタにデータが書き込まれた時の各読み出しレジスタに対応するビットの状態を記憶させておき、マイコンが外部レジスタのアドレスを設定する時、あるいは外部書込レジスタにデータを転送するために通信を行う時に、該アドレスま

たはデータの転送と同時に前記各読み出しレジスタに対応するビットの状態をマイコンから読み出すことを特徴とする映像信号処理方法を提供する。

【発明の効果】

【００１７】

本発明により、読出レジスタからのデータ読み出し時間を短くし、映像信号の処理速度を早くして、例えばカメラの光学系の焦点状態を調節するオートフォーカス等の応答性、あるいは光学系の入射光量を調節するオートアイリス等の応答性を改善したビデオカメラを提供できる。

【００１８】

すなわち、実施例４に説明したように、マイコン６とインターフェース部５との通信において、ＤＷラインを通してマイコン６からインターフェース部５へアドレス信号あるいはデータを転送する時は、常にＤＲラインを介してステータスのデータをマイコンに転送させることにより、信号処理部４とマイコン６の間のシリアル通信の回数を短縮することができ、更にステータス情報にＨＤ，ＶＤの情報を加えることによりマイコン４から信号処理部６の内部書き込みレジスタにデータ転送する場合も適したタイミングでデータ転送することができる。

【発明を実施するための最良の形態】

【００１９】

（実施例１）

本発明の一実施例を図３及び図４，図５並びに従来例の図１，図２を用いて説明する。図３は本発明の実施例の構成を示すブロック図、図４及び図５は図３に示すマイコン６とインタフェース５及び信号処理部４との間のシリアル通信のタイミングを表わす図である。

【００２０】

図３において、１から６、及び４の内部の各要素は図１に示す従来例と同じである。インタフェース５の内部において５１１～５１４はアドレス記憶用制御レジスタ、５２１～５２４はデータ記憶用制御レジスタ、５３はアドレス記憶用制御レジスタ５１４の出力によりデータを転送すべきレジスタのアドレス設定を行ない、そのレジスタに対しクロック信号を送るデコーダである。

【００２１】

さて、マイコン６がＭＯＤＥラインを介してインタフェース部５にデータ書き込み命令を与え、インタフェース部５において図２のＢに示す従来例の通信タイミングと同様にマイコン６にＣＬＫラインを通してクロック信号を送り、マイコン６ではこのクロック信号に同期させてデータをインタフェース部５に転送する。図４はこの通信のタイミングを表わすものである。従来例と同様、データを書き込むレジスタのアドレスは前もって図４に（１）で示す通信によりインタフェース部５へ転送しておく。

【００２２】

インタフェース部５では、上記の過程でマイコン６からとりこんだ書き込みデータＤａ０～Ｄａ７とその書き込み先のアドレスＡａ０～Ａａ７を、図４に示すタイミング（１）と（２）の手順に従い、図３に示すデータ記憶用制御レジスタ５２１及びアドレス記憶用制御レジスタ５１１へ一時的に転送して記憶させておく。これらのインタフェース部５にある各制御レジスタは、例えば信号処理部４内部の書き込みレジスタと同様、シリアル入力・パラレル出力のシフトレジスタで構成されていて、例えばこの状態で更にマイコン６からデータ書き込み命令があると、このデータＤａ０～Ｄａ７及びアドレスをＡａ０～Ａａ７を同様に５２１，５１１の各制御レジスタに転送し、同時に以前制御レジスタ５２１，５１１の各制御レジスタに転送し、同時に以前制御レジスタ５２１，５１１に記憶されていたデータ及びアドレスは次の制御レジスタ５２２，５２１にそれぞれシフトとして転送される。これらのデータ転送は、図３に示すＡＤＲ＿ＣＬＫ，ＤＡＴＡ＿ＣＬＫのクロックにより、図４に示すタイミングで行なう。

【００２３】

以上の過程でマイコン６から送られる書き込みデータ及び転送先アドレスは、映像信号の有効映像期間においては、上記制御レジスタ５２１～５２４，５１１～５１４記憶させておくだけで、信号処理部４へのデータ転送は行なわない。インタフェース部５において、ＨＢＬＫ入力から映像信号の帰線期間の情報を得たとき、アドレス記憶用制御レジスタ５１１～５１４のアドレス情報に基づき転送先のレジスタを定め、これに対してのみクロックラインＷＣＬＫ１～ｎの内の１本を介してクロック信号を送り、このクロック信号に同期させてデータ記憶用制御レジスタ５２１～５２４のデータをＷＲラインを通して転送先の書き込みレジスタ４１１～４１ｎの１つに転送する。

【００２４】

この過程を図５を用いて詳しく説明する。

【００２５】

図３に示すデコーダ５３は上記の過程において、図５のアドレス設定に示すタイミングに制御レジスタ５１４のパラレル出力よりアドレス情報を取り込み、アドレス設定を行なう。更にデコーダ５３はこの設定されたアドレスの書き込みレジスタ４１１～４１ｎのうちのどれかに対してのみ、クロックラインＷＣＬＫ１～ｎのうちのどれかを選択して通信のためのクロックを、図５にＷＣＬＫ１～ｎで示すタイミングで発生する。同時に制御レジスタ５２１～５２４に対して図５にＤＡＴＡ＿ＣＬＫで示すタイミングでクロックを送り、制御レジスタ５２４はこのクロックに同期して図５に示すシリアル出力を出力する。このクロック及びデータ出力により、データＤａ０～Ｄａ７及びＤｂ０～Ｄｂ７はそれぞれのアドレスであるＡａ０～Ａａ７，Ａｂ０～Ａｂ７の書き込みレジスタにとり込まれる。

【００２６】

この場合、有効映像期間内にマイコン６から送られたデータ及びアドレスはそれぞれ２ワードずつなので、帰線期間開始時は、図３に示す制御レジスタ５１１～５１４と５２１～５２４のうち、５１１と５１２にアドレスが、５２１と５２２にデータが記憶されていて、残りの５１３と５１４並びに５２３と５２４の制御レジスタは空の状態になっている。従って図５に示すデータ転送のタイミングで最初の２ワード分の転送タイミング（１），（２）では、データとアドレスがともに“０”として出力されている。

【００２７】

（実施例２）

前記実施例１では、１つの有効映像期間内に多くのはデータ書き込み命令がマイコン６からあった場合、インタフェース部５の制御レジスタの記憶し得る許容量を越えてしまうことがある。このときは、最初に記憶されたデータ及びアドレスから順に転送されずにデータシフトして内容が失われてしまう。

【００２８】

また、逆に１つの有効映像期間にマイコンから１つもデータ書き込み命令がなかった場合でも、次の帰線期間には空のままデータ転送を行なってしまうことになり、この動作の分だけ消費電力が増えてしまう。

【００２９】

本実施例は、１つの有効映像期間にマイコン６によるデータ書き込み命令により記憶された制御レジスタの個数をカウントするカウンタを設け、このカウンタのカウント値により全ての制御レジスタに転送データ及び転送先アドレスが未転送のまま収納されている時は、マイコンに対するクロックを発生するクロック発生器に禁止命令を与え、マイコンにクロックを与えないようにするとともに、１つの有効映像期間が終了してもその間何もマイコンからデータ書き込み命令がなかった場合は、カウンタのカウント値によりこれを判別し、帰線期間になっても制御レジスタから信号処理部４へデータ転送を行なわないようにすることにより、１つの有効映像期間にマイコン６から制御レジスタの許容量を越えた書き込み命令が送られても次の有効映像期間になるまでマイコン６を待機させて、制御レジスタのデータ消失を防ぎ、更に制御レジスタが全て空の状態の時は帰線期間になっても信号処理部へ無駄な転送を防ぎ、消費電力を低減させるようにしたものである。

【００３０】
以下、図６を用いて具体的に説明する。
【００３１】
図６は、図１又は図３と同じ符号又は番号のものは、同様の大気を示すブロック図であり、５４はアドレス記憶用制御レジスタ５１１～５１４とデータ記憶用制御レジスタ５２１～５２４に記憶されているワード数をカウントするカウンタ、５５はクロック信号を発生するクロック発生器である。
【００３２】
さて、マイコン６からインタフェース部５にアドレス指定及びデータ書き込み命令が送られると、制御レジスタ５２１と５１１にそれぞれアドレスとデータが転送される。このとき、カウンタ５４はアドレスクロック信号ＡＤＲ＿ＣＬＫをカウントし、１つの有効映像期間に何ワード分のアドレス及びデータが制御レジスタに転送されたかカウントする。
【００３３】
本実施例では、制御レジスタはデータ記憶用、アドレス記憶用ともそれぞれ４ワード分ずつの備えているのが、有効映像期間においてマイコン６が５つ以上のデータ書き込み命令をインタフェース部５へ与えた場合、カウンタ５４が有効映像期間内のマイコン６から制御レジスタ間の転送回数をＡＤＲ＿ＣＬＫ信号で数え、該カウント数が４以上になると図６に示すクロック発生器５５に禁止命令を与える。クロック発生器はこの禁止命令により、マイコン６が書き込み、あるいはアドレス指定の命令をインタフェース部５に送っても通信のためのクロックは発生しない。この場合、マイコン６は次の帰線期間において制御レジスタ５１１～５１４，５２１～５２４のデータ及びアドレスが信号処理部４へ転送されるまで待機状態になる。
【００３４】
また１つの有効映像期間においてマイコンから１つもデータ書き込み命令がなかったときは、これをカウンタ５４においてそのカウント値より判断し、ＡＤＲ＿ＣＬＫ，ＤＡＴＡ＿ＣＬＫの各クロックの禁止命令をだし、帰線期間に至ってもクロック発生器５５から制御レジスタに対するクロック信号を発生させないようにする。この場合、制御レジスタ５１１～５１４，５２１～５２４から信号処理部４へのデータ転送は行なわれない。
【００３５】
一般にマイコンのシリアル通信のクロックは、マイコンからデータを受けとる側からクロックを発生させるスレーブモードの場合、クロックを停止させるとマイコン６は全ての演算を中止してクロックが送られるまで待機状態になる。本実施例においてはこの待機状態中が帰線期間になるまで続く、しかしこの間にもマイコンに演算させたい場合は、別にマイコン６とインタフェース部５との間に入出力ポートを設け、このポートにより制御レジスタに空きがあるか否かの情報を与え、マイコン６ではこの情報により制御レジスタに空きがない時は書き込み命令をださないようにするということも考えられる。この場合は待機中でも他の演算が可能である。
【００３６】
（実施例３）
前記実施例では、マイコン６からデータ書き込み命令がくると一旦インタフェース部５の制御レジスタにデータ及びアドレスを収納してからその制御レジスタから信号処理部へデータ転送を行なうため１つのデータ転送を行なうのに２回の通信を行なう必要があり、クロックレートの遅いマイコンでは垂直ブランキング期間に必要な数のデータを転送しきれない場合がある。
【００３７】
本実施例は、デコーダ部２３におけるアドレス指定を垂直帰線中は直接マイコンのデータライン出力により行ない、更に信号処理部４の書き込みレジスタに対するデータ出力と制御レジスタ出力との間に切り換えスイッチを設け、信号処理部４の書き込みレジスタに対するデータ出力を制御レジスタとマイコン６からのデータラインとの間で垂直帰線期間信号（以下ＶＢＬＫと略す）により切り換え、垂直帰線期間中は制御レジスタを介さずに

データ通信を行なうようにすることにより、クロックレートの遅いマイコンでも必要なデータ量を垂直帰線期間内に転送し得るようにしたものである。

【００３８】

以下、図７及び図８を用いて本実施例を具体的に説明する。

【００３９】

図７は本発明の実施例の構成を示すブロック図、図８は垂直帰線期間におけるマイコン６とインタフェース部５及びインタフェース部５と信号処理部４との通信のタイミングを示す図である。

【００４０】

図７において、１から７までの各要素及び４の内部の各要素５の内部の５１１～５１４，５２１～５２４，５３～５５までの各要素は図６に示すものと同様であり、５６は信号処理部４の内部の書き込みレジスタに対するデータラインを、マイコンからのデータラインと制御レジスタからの出力ラインとで切り換えるためのスイッチである。

【００４１】

図７に示すインタフェース部５の内部のデコーダ５３は、ＶＢＬＫ信号が映像信号の垂直帰線期間以外の映像期間である場合は、前記実施例と同様に、制御レジスタ５１４のパラレル出力を優先してアドレス指定を行ない、このときスイッチは制御レジスタ５２４のシリアル出力側が選択されている。この状態で垂直帰線期間以外の映像期間は、マイコン６からのデータ書き込み命令があると、前記実施例と同様に制御レジスタ５１１～５１４，５２１～５２４を介して処理される。

【００４２】

垂直帰線期間は、ＶＢＬＫ信号によりこれを検知してデコーダ５３は直接マイコン６からのシリアル入力を優先してアドレス設定を行なう。図８にこの過程を示す。マイコン６からは図８の（１）に示すように、アドレス指定の命令がＭＯＤＥラインを介してインタフェース部５に送られるとクロック発生器５５においてＣＬＫを発生し、マイコン６はこのＣＬＫに同期して、Ａａ０～Ａａ７に示すアドレス信号をＤＷラインを介してインタフェース部５へ送る。インタフェース部５の内部のデコーダ５３においては、図８に示すタイミングでアドレス設定を行う。このアドレスＡａが設定された後、（２）に示すようにマイコン６がデータ書き込み命令をインタフェース部５へ送ると、クロック発生器５５は同様にＣＬＫラインを通してマイコン６にクロック信号を送り、マイコン６からはこれに同期して図８Ｄａ０～Ｄａ７に示すデータ信号をＤＷラインを介してインタフェース側へ送る。

【００４３】

ここで、垂直帰線期間はスイッチ５６がマイコンからのＤＷライン側に選択されていて、このマイコンからのデータ信号が直接ＷＤラインを介して信号処理部４の内部の書き込みレジスタ４１１～４１ｎの各シリアル入力へ送られる。デコーダ５３は先に設定されたアドレスＡａに基づき、このアドレスの書き込みレジスタに対してのみクロックラインＣＬＫ１～ｎを通して図８に示すクロックを信号処理部４へ送る。信号処理部４の内部の選択された書き込みレジスタは図８に示すタイミングでデータＤａ（Ｄａ０～Ｄａ７）が書き込まれる。

【００４４】

このあと、更に図８に示すアドレス指定でアドレス信号Ａｂ０～Ａｂ７及びデータ書き込み命令Ｄｂ０～Ｄｂ７が送られてきても、垂直帰線期間内ならば前記と同様にＡｂ（Ａｂ０～Ａｂ７）に示すアドレス設定を行ない、これに相当する書き込みレジスタにＤｂ（Ｄｂ０～Ｄｂ７）に示すデータが書き込まれる。

【００４５】

ここで、マイコンから直接信号処理部４へ直接データ転送を行なってもよい期間は何も垂直帰線期間だけとは限らない。たとえば、オートフォーカスを行うための映像信号の情報を得る領域指定においては、映像画面内において指定される領域以外の期間は、この領域指定のための書き込みレジスタへ直接データ転送してもかまわない。また、この種のデ

ータは有効映像期間であっても転送ノイズは画面に影響しない。

【００４６】

従って、このようなデータは垂直転送期間外であっても、デコーダにおいてその設定されたアドレスで判断して直接マイコンから信号処理部へデータ転送させることも考えられる。

【００４７】

（実施例４）

本実施例を図９及び図１０を用いて説明する。図９において１～７までの要素及び４の要素の内部の各要素は図１に示す従来例と同じであり、４６はデータラインの切換えスイッチである。図１０は、図９に示すマイコン６とインターフェース５との間のシリアル通信のタイミングを表わす図である。

【００４８】

図９に示す信号処理部４の内部において、読み出しレジスタ４２１，…４２ｎのうちのどれかがロードされた場合、ロードされたレジスタに対応するステータスレジスタのビットが立ち、そのレジスタが転送されるまでホールドされる。一方、ロード信号はＯＲ回路４４を介してマイコン６に割り込みをかけ、マイコン６はこの割り込みにより適当なデータ転送を行う。従って、割り込みがかかる以前に、設定されていたアドレスに何かデータを書き込む必要があればそのデータ転送を行う。必要がなければ適当なアドレス指定を行うための通信を行う。

【００４９】

インターフェース部５においてデータラインの切換えスイッチ４６をステータスレジスタの出力側に切換え、マイコン６からデータ、あるいはアドレスをインターフェース部５に転送するタイミングと同期してインターフェース部５はステータスレジスタ４３にクロックを送る。ステータスレジスタ４３は図１０のＡ，Ｂに示すように、前記クロックに同期してステータスレジスタのデータをＤＲラインを介してマイコン６に転送する。以上の過程で、信号処理部４の内部で読み出しレジスタがロードされてからマイコン６がその読み出しレジスタのアドレス情報であるステータスレジスタ４３のデータを受け取るための通信は、図１０のＡ，Ｂのうちのどちらか１つのシリアル通信を行えば済む。

【００５０】

マイコン６がこのステータスレジスタ４３のデータを受け取り、次に前記のロードされた読み出しレジスタのデータを受け取るには、従来例と同様に、インターフェース部５に対してアドレス指定とデータ読み出しの２つのシリアル通信を行えばよい。また、このときのアドレス指定の通信を行う前に再び別の読み出しレジスタがロードされ、マイコン６に割り込みがかかった場合、アドレス指定の通信を行うと同時にステータスレジスタ４３のデータが転送されてくるので、この時にマイコン６は次の読み出すべき読み出しレジスタのアドレス情報が得られる。

【００５１】

このように信号処理部４の内部の読み出しレジスタのロードが連続する場合、マイコン６がインターフェース部５に対してある読み出しレジスタのアドレス指定を行うと同時にステータスレジスタの情報により、次に読み出すべき読み出しレジスタのアドレス情報を得ることができるので、１つの読み出しレジスタのデータを読み出すのにアドレス指定とデータ読み出しの２つの通信で済むことになる。

【００５２】

ここで、ステータスレジスタ４３に収納されるデータは何も読み出しレジスタのアドレス情報だけと限る必要はない。例えば、ビデオカメラの映像信号と同期した水平同期信号と垂直同期信号（以下それぞれＨＤ，ＶＤと略す）は、その信号処理過程において重要な働きをするが、マイコン６との通信においても、これらの同期信号に対してタイミングを考慮して行った方が都合がよい場合がある。例えば、信号処理する過程で信号のゲイン、色バランス等の調整のためのデータをマイコン６から信号処理部へ転送する場合、映像信号の有効映像領域内で転送してしまうと書き込みレジスタのデータシフト中は新たに設定

したい書き込むべきデータと全く異なったシフト途中のデータを信号処理部４の内部に出力することがあり、レジスタによってはこの出力の影響が映像画面内でノイズとなって現われてしまう。

【００５３】

このため、映像のブランキング領域内でデータ転送を行った方がよいレジスタが存在する。このようなレジスタはマイコン６が判断し、ＨＤ，ＶＤのタイミングを考慮してブランキング期間に転送を行う。このためのＨＤ，ＶＤの情報は、ステータスレジスタ４３内に専用のビットをもたせ、レジスタのアドレス指定やデータ転送する間に読み込まれるステータス情報により得ることが考えられる。尚、本発明は、複数の機器から構成されるシステムに適用しても１つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。

【図面の簡単な説明】

【００５４】

【図１】従来例の構成を示すブロック図である。

【図２】従来例の動作を示すタイミングチャートである。

【図３】本発明に係る第１の実施例の構成を示すブロック図である。

【図４】第１の実施例におけるタイミングチャートである。

【図５】第１の実施例における別のタイミングチャートである。

【図６】本発明に係る第２の実施例の構成を示すブロック図である。

【図７】本発明に係る第３の実施例の構成を示すブロック図である。

【図８】第３の実施例におけるタイミングチャートである。

【図９】本発明に係る第４の実施例の構成を示すブロック図である。

【図１０】第４の実施例におけるタイミングチャートである。

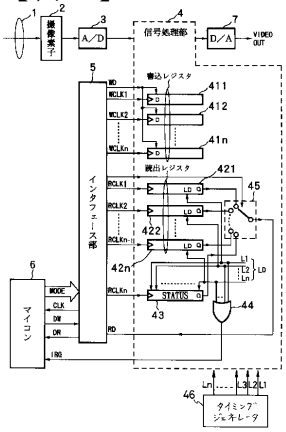
【符号の説明】

【００５５】

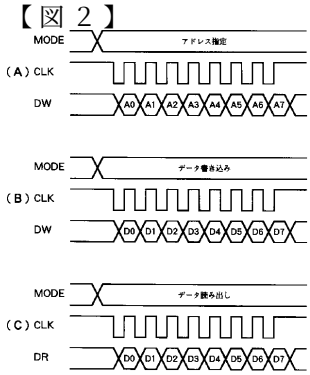
１ レンズ
２ 撮像素子
３ Ａ／Ｄ変換部
４ 信号処理部
５ インターフェース部
６ マイコン
７ Ｄ／Ａ変換部
４３ ステータスレジスタ
４４ ＯＲ回路
４５ データセレクタ
４６ データラインの切換スイッチ
４１１～４１ｎ 書き込みレジスタ
４２１～４２ｎ 読み出しレジスタ
５３ デコーダ
５４ カウンタ
５５ クロック発生器
５６ 切換えスイッチ
５１１～５１４ アドレス記憶用制御レジスタ
５２１～４２４ データ記憶用制御レジスタ
ＭＯＤＥ モードライン
ＣＬＫ クロック信号
ＤＷ データ書き込み
ＤＲ データ読み出し
ＩＲＱ 割り込み

ＷＤ 書き込みデータ
ＷＣＬＫ１～ＷＣＬＫｎ 書き込みクロック
ＲＣＬＫ１～ＲＣＬＫｎ 読み出しクロック
ＡＤＲ＿ＣＬＫ アドレスをセットするクロック
ＤＡＴＡ＿ＣＬＫ データをセットするクロック
ＨＢＬＫ 水平帰線期間信号
ＶＢＬＫ 垂直帰線期間信号

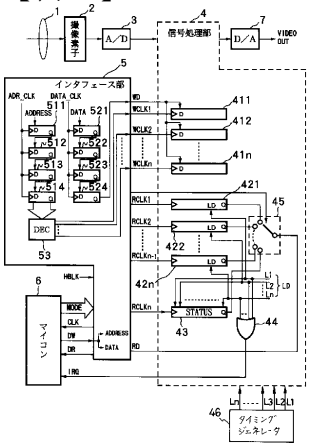
【図１】



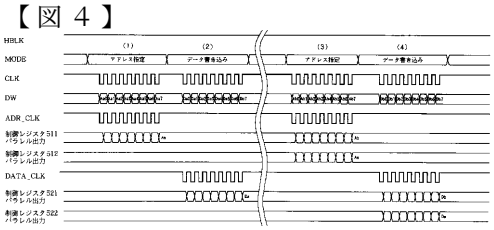
【図２】



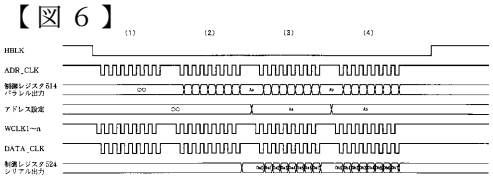
【図３】



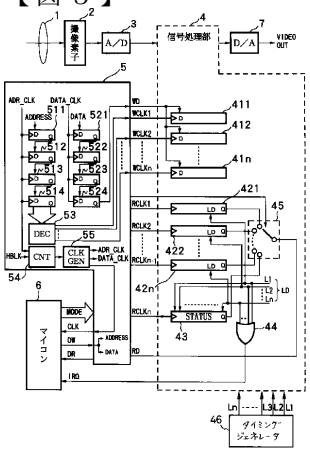
【図４】



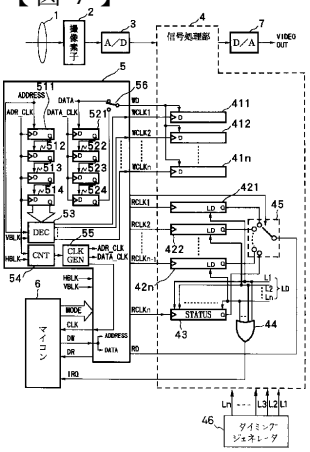
【図６】



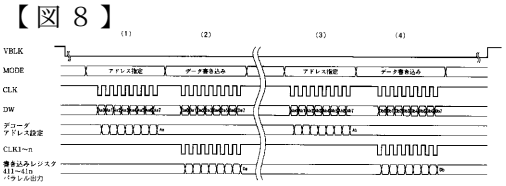
【図５】



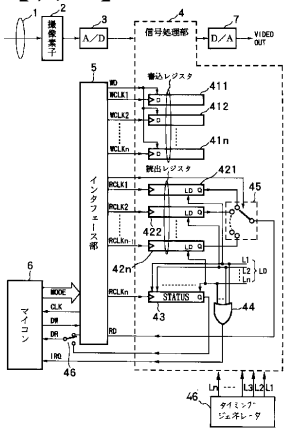
【図７】



【図８】



【図９】



【図１０】

