

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-244709

(P2005-244709A)

(43) 公開日 平成17年9月8日(2005.9.8)

(51) Int. Cl.⁷
H04N 5/335
// H04N 101:00

F I
H04N 5/335 Z
H04N 101:00

テーマコード(参考)
5C024

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2004-53103 (P2004-53103)
(22) 出願日 平成16年2月27日(2004.2.27)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100105647
弁理士 小栗 昌平
(74) 代理人 100105474
弁理士 本多 弘徳
(74) 代理人 100108589
弁理士 市川 利光
(74) 代理人 100115107
弁理士 高松 猛
(74) 代理人 100090343
弁理士 濱田 百合子

最終頁に続く

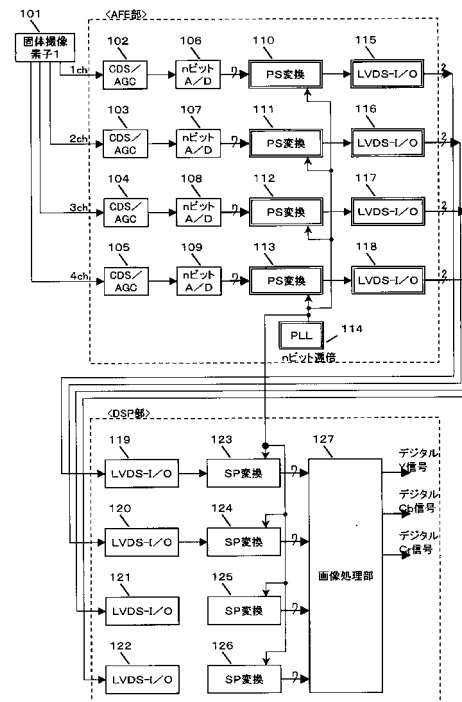
(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【課題】 固体撮像素子に対応した信号処理LSI間の信号端子数を削減可能にし、I/Oのスイッチング動作による消費電力、ノイズの軽減と、低コスト化を実現可能にする。

【解決手段】 固体撮像素子101の各チャンネル出力に応じてデジタル信号に変換するnビットA/D変換器106~109と、nビットA/D変換器の出力をPLL回路114の出力に応じてシリアルデータに変換するPS変換部110~113とを備えて、AFE部から制御部への伝送の信号数を削減する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

被写体の光像を光電変換し電荷信号を出力する固体撮像素子と、前記電荷信号をアナログ信号として取り出し、デジタル信号に変換した上で出力する A F E 部と、前記 A F E 部の出力信号に応じて信号処理を行う制御部とを備えた映像信号処理装置であって、

前記固体撮像素子の出力である前記電荷信号は、 m チャンネル (m は自然数)に分けて出力され、

前記 A F E 部は、前記 m チャンネルの電荷信号に対応するアナログ信号をそれぞれ n ビット (n は自然数)のデジタル信号に変換する m 個の n ビット A / D 変換器と、前記 A F E 部と前記制御部とで共通のシステムクロックを逡倍する P L L 回路とを備え、

前記 A F E 部から前記制御部への出力信号の伝送において、($m \times n$)本の出力のうち前記 P L L 回路の出力に応じて処理した少なくとも一部をシリアル転送することで、前記 ($m \times n$)本の出力よりも少ない本数で伝送することを特徴とする映像信号処理装置。

10

【請求項 2】

前記 A F E 部は、前記 m 個の n ビット A / D 変換器から出力される各々 n ビットのデジタル信号を、前記 P L L 回路の出力に応じて各々シリアルデータに変換する m 個の P S 変換部を備え、

前記制御部は、前記 P L L 回路の出力に応じて各々の前記シリアルデータを再び各々 n ビットの平行データに変換して画像処理部に出力する S P 変換部を備える請求項 1 記載の映像信号処理装置。

20

【請求項 3】

前記 A F E 部は、前記 m 個の n ビット A / D 変換器から出力される計 ($n \times m$)ビットのデジタル信号を、前記 P L L 回路の出力に応じてシリアルデータに変換する P S 変換部を備え、

前記制御部は、前記 P L L 回路の出力に応じて前記シリアルデータを再び各々 n ビットの平行データに変換して画像処理部に出力する S P 変換部を備える請求項 1 記載の映像信号処理装置。

【請求項 4】

前記 A F E 部と前記制御部の両方に L V D S - I / O 部を備え、

前記 A F E 部と前記制御部における前記シリアルデータの転送は、前記 L V D S - I / O 部を経由して行われる請求項 2 または 3 記載の映像信号処理装置。

30

【請求項 5】

前記 A F E 部は、前記 m 個の n ビット A / D 変換器から出力される各々 n ビットのデジタル信号を、前記 P L L 回路の出力に応じて前記 n ビットのデジタル信号を時系列に出力するスイッチ部を備え、

前記制御部は、前記スイッチ部の前記 n ビットのデジタル信号出力を ($m \times n$)ビットの平行データに変換するデマルチプレクサ部を備える請求項 1 記載の映像信号処理装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、デジタルスチルカメラや携帯カメラなどの映像信号処理を低コストで行う必要があるシステムに係り、データ転送の本数を削減するための映像信号処理装置に関する。

【背景技術】

【0002】

以下に、従来映像信号処理装置(例えば、特許文献 1 参照)について、図面を参照しながら説明する。図 4 は、従来映像信号処理装置の構成図を示すものであり、401 は固体撮像素子、402、403、404、405 は C D S / A G C 部、406、407、408、409 は A / D (A n a l o g / D i g i t a l) 変換器、410 は画像処理部

50

である。

【0003】

CDS / AGC部402、403、404、405およびA / D変換器406、407、408、409はAFE (Analog Front End)部を構成し、画像処理部410は制御部(DSP。Digital Signal Processor)を構成している。なお、本明細書では、画像処理部410における画像処理の都合上、1ch、2ch、3ch、4chの4チャンネルに分離した構成例を示すが、チャンネル数は固体撮像素子に応じて増減するものであって構わない。

【0004】

従来 of 映像信号処理装置においては、まず被写体の光像を固体撮像素子401により電荷情報に変換し、1ch、2ch、3ch、4chの4チャンネル分の電荷情報を得る。固体撮像素子401で得られた電荷情報をチャンネル別に、CDS (Correlated Double Sampling) / AGC (Auto Gain Control) 402、403、404、405にそれぞれ入力し、4チャンネル分のアナログ信号を得る。

【0005】

さらに、これらの各アナログ信号をA / D変換器406、407、408、409に入力して、nビット×4チャンネル分のデジタル画像データを得る。最後に、A / D変換器406、407、408、409で得られたデジタル画素データをDSPの画像処理部410に入力し、画像データ生成を行ってデジタルY信号、デジタルCb信号、デジタルCr信号を得る。

【特許文献1】特開平7 - 7653号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、前記従来 of 映像信号処理装置では、固体撮像素子401出力の高速化を実現するための多チャンネル固体撮像素子や3板センサー出力に対応する場合、パラレルデータ線が固体撮像素子の出力分だけ必要になり、ピン数が増大し、消費電力も増え、I / O (入出力) of スイッチング動作によるノイズが増加するという課題を有している。

【0007】

本発明は、簡易な構成で信号処理を行い、複数チャンネルの画素データ出力を持つ固体撮像素子に対応した信号処理LSI間の信号端子数(ピン数)を削減することで、I / O of スイッチング動作による消費電力、ノイズを軽減し、また基板実装面積を小さくすることで、低コストな映像信号処理装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明 of 映像信号処理装置は、被写体の光像を光電変換し電荷信号を出力する固体撮像素子と、前記電荷信号をアナログ信号として取り出し、デジタル信号に変換した上で出力するAFE部と、前記AFE部の出力信号に応じて信号処理を行う制御部とを備えた映像信号処理装置であって、前記固体撮像素子の出力である前記電荷信号は、mチャンネル(mは自然数)に分けて出力され、前記AFE部は、前記mチャンネルの電荷信号に対応するアナログ信号をそれぞれnビット(nは自然数) of デジタル信号に変換するm個 of nビットA / D変換器と、前記AFE部と前記制御部とで共通 of システムクロックを逡倍するPLL回路とを備え、前記AFE部から前記制御部への出力信号 of 伝送において、(m×n)本 of 出力のうち前記PLL回路 of 出力に応じて処理した少なくとも一部をシリアル転送することで、前記(m×n)本 of 出力よりも少ない本数で伝送する。

【0009】

このように構成することで、逡倍したシステムクロックで複数 of 出力信号を1出力 of シリアル画像データ(以下、シリアルデータという)として出力するため、容易に信号処理LSI間の信号端子数を削減することができる。また、これによりI / O of スイッチ動作

10

20

30

40

50

による消費電力およびノイズ量の増加を軽減でき、また基板実装面積を小さくすることができる。従って、低コストの映像信号処理システムを実現することが可能となる。

【0010】

本発明において、前記 A F E 部は、前記 m 個の n ビット A / D 変換器から出力される各々 n ビットのデジタル信号を、前記 P L L 回路の出力に応じて各々シリアルデータに変換する m 個の P S 変換部を備え、前記制御部は、前記 P L L 回路の出力に応じて各々の前記シリアルデータを再び各々 n ビットの平行データに変換して画像処理部に出力する S P 変換部を備えることが好ましい。

【0011】

このように構成することで、A F E 部側で A / D 変換器を通して得た各チャンネル単位の n ビットのデジタル信号を、各チャンネル単位の P S 変換部でシリアル変換させ、制御部の S P 変換部で n ビットの平行データに戻すという動作を利用して、信号処理 L S I 間の信号入出力数を容易に削減することができる。

10

【0012】

本発明において、前記 A F E 部は、前記 m 個の n ビット A / D 変換器から出力される計 (n × m) ビットのデジタル信号を、前記 P L L 回路の出力に応じてシリアルデータに変換する P S 変換部を備え、前記制御部は、前記 P L L 回路の出力に応じて前記シリアルデータを再び各々 n ビットの平行データに変換して画像処理部に出力する S P 変換部を備えることも好ましい。

【0013】

このように構成することで、A F E 部側で A / D 変換器を通して得た各チャンネル単位の n ビットのデジタル信号を、 n × m ビットのデジタル信号を 1 つの P S 変換部でシリアル変換させ、制御部の 1 つの S P 変換部で n ビットの平行データに戻すという動作を利用して、信号処理 L S I 間の信号入出力数を容易に削減することができる。

20

【0014】

さらに、本発明は、前記 A F E 部と前記制御部の両方に L V D S - I / O 部を備え、前記 A F E 部と前記制御部における前記シリアルデータの転送は、前記 L V D S - I / O 部を経由して行われることが好ましい。

【0015】

このように構成すれば、A F E 部からの平行データを低電圧差動のシリアル信号に変換して制御部へ伝送でき、データ転送のさらなる低消費電力化が図れる。

30

【0016】

また、本発明において、前記 A F E 部は、前記 m 個の n ビット A / D 変換器から出力される各々 n ビットのデジタル信号を、前記 P L L 回路の出力に応じて前記 n ビットのデジタル信号を時系列に出力するスイッチ部を備え、前記制御部は、前記スイッチ部の前記 n ビットのデジタル信号出力を (m × n) ビットの平行データに変換するデマルチプレクサ部を備えることが好ましい。

【0017】

このように構成することで、n ビット A / D 変換器からの n ビットのデジタル信号をスイッチ回路部では時系列に出力し、これを制御部のデマルチプレクサで m × n ビットの平行データに戻すという動作を利用して、信号処理 L S I 間の信号入出力数を容易に削減することができる。

40

【発明の効果】

【0018】

本発明によれば、複数チャンネル出力を持つ固体撮像素子の複数チャンネルのアナログ信号を A / D 変換した n ビット平行データ後の経路に、高速に動作する P S 変換部を設け、P S 変換部に n ビット逡倍のトリガ信号を出力する P L L 回路の出力に応じて、A / D 変換後の n ビット平行データをシリアルデータに変換させることで、画素データ信号端子数を削減することができる。また、高速に動作する P S 変換部に対し n ビット × 複数チャンネル数逡倍のトリガ信号を出力する P L L 回路を備え、n ビット × 複数チャン

50

ネル分を時分割したシリアルデータとすることで、さらに画素データ信号端子数を削減することができる。

【0019】

また、固体撮像素子の複数チャンネルのアナログ信号をA/D変換したnビットパラレルデータ後の経路にスイッチ回路部を設け、スイッチ回路部に複数チャンネル通倍のトリガ信号を出力するPLL回路の出力に応じて、複数チャンネルを時分割したnビット画素データとすることで、さらに画素データ信号端子数を削減することができる。

【0020】

以上により、信号処理LSI間の信号端子数を削減することが可能となり、I/Oのスイッチ動作による消費電力およびノイズ出力成分の増加を軽減できる。また、信号端子数の削減により、基板実装面積を小さくすることが可能となる。

10

【発明を実施するための最良の形態】

【0021】

図1は、本発明の実施例における構成図を示すものであり、101は固体撮像素子、102、103、104、105はAFE部におけるCDS/AGC部、106、107、108、109はA/D変換器、110、111、112、113はPS(Parallel to Serial)変換部、114はPLL回路、115、116、117、118はLVDS-I/O部、119、120、121、122は後段DSP内のLVDS-I/O部、123、124、125、126はSP(Serial to Parallel)変換部、127は画像処理部である。

20

【0022】

前記固体撮像素子101は、フォトダイオードが受光時に発生した電荷を転送するCCD素子やCMOS素子を用いた、CCDイメージセンサやCMOSイメージセンサなどである。

【0023】

CDS/AGC部102、103、104、105は、固体撮像素子101で得られた電荷情報からチャンネル数分(ここでは、4チャンネル)のアナログ画像信号を取り出すものである。

【0024】

A/D変換部106、107、108、109は、CDS/AGC部102、103、104、105で取り出したアナログ画像信号を、nビット×4チャンネル分のデジタル信号に変換するものである。

30

【0025】

PS変換部110、111、112、113は、A/D変換部106で得られたデジタルの平行データを入力として4チャンネル分のシリアルデータに変換するものである。

【0026】

LVDS-I/O115、116、117、118は前記シリアルデータにもとづいて4チャンネル分のLVDS信号を得るものである。

【0027】

LVDS-I/O119、120、121、122は前記LVDS信号にもとづきシリアルデータを出力するものである。

40

【0028】

SP変換部123、124、125、126は、LVDS-I/O119、120、121、122から得られた4チャンネル分のシリアルデータを平行データに戻すものである。

【0029】

画像処理部127はSP変換部123、124、125、126から得た平行データにもとづき画像データの生成を行って、デジタルY、Cb、Cr信号を出力するものである。

50

【0030】

ここで、前記LVDSとは、Low Voltage Differential Signalingの略称であり、パラレル信号を低電圧差動のシリアル信号に変換して伝送するI/O規格の一種として知られているものである。すなわち、伝送時に低電圧の振幅を有する信号での伝送が可能となり、より伝送時の低消費電力化が図れるという効果を奏する。

【0031】

次に、本発明の映像信号処理装置の動作を説明する。被写体の光像を固体撮像素子101により電荷情報に変換し、1ch~4chの4チャンネル分の電荷情報を得る。AFE部において、固体撮像素子101で得た電荷情報をチャンネル別にCDS/AGC102、103、104、105にそれぞれ入力し、4チャンネル分のアナログ信号を得る。さらに、各アナログ信号をA/D変換器406、407、408、409に入力して、nビット×4チャンネル分のデジタル信号を得る。ここまでの動作は従来と同じである。

【0032】

次に、PLL回路114で生成したnビット逡倍のトリガ信号をPS変換部110、111、112、113に入力し、A/D変換器406、407、408、409で得られた4チャンネル分のパラレルデータをPS変換部110、111、112、113にそれぞれ入力する。これにより、PS変換部110、111、112、113は、4チャンネル分のシリアルデータを得るとともに、これを、さらにLVDS-I/O部115、116、117、118に入力する。これにより4チャンネル分のLDVS信号を得る。

【0033】

AFE部で得られたLVDS信号を後段のDSP部におけるLVDS-I/O部119、120、121、122に通してシリアルデータとする。こうして、得られた4チャンネル分のシリアルデータをSP変換部123、124、125、126にそれぞれ入力し、パラレルデータに戻す。パラレルデータを画像処理部127に入力し、画像データ生成を行ってデジタルY、Cb、Cr信号を得る。

【0034】

図2は本発明の実施例における別の構成図を示すものであり、201は固体撮像素子、202、203、204、205はAFE部におけるCDS/AGC部、206、207、208、209はA/D変換器、210はPS変換部、211はPLL回路、212はLVDS-I/O部、213は後段DSP内のLVDS-I/O部、214はSP変換部、215は画像処理部である。

【0035】

ここで、PS変換部210は、mチャンネル(ここでは、4チャンネル)分のnビットA/D変換器206、207、208、209から出力される計(n×m)ビットのデジタル信号を、PLL回路211の出力に応じてシリアルデータに変換するものである。また、SP変換部214は、LVDS-I/O部213からのシリアルデータを、nビット×mチャンネル分のパラレルデータに戻すように機能する。

【0036】

この実施形態では、被写体の光像を固体撮像素子201により電荷情報に変換し、1ch、2ch、3ch、4chの4チャンネル分の電荷情報を得る。次に、AFE部において、固体撮像素子201で得た電荷情報をチャンネル別にCDS/AGC202、203、204、205にそれぞれ入力し、4チャンネル分のアナログ信号を得る。さらに各アナログ信号をA/D変換器206、207、208、209に入力して、nビット×4チャンネル分のデジタル信号を得る。

【0037】

PLL回路211で生成したnビット×チャンネル逡倍のトリガ信号をPS変換部210に入力し、A/D変換器206、207、208、209で得られた4チャンネル分のパラレルデータをPS変換部210に入力して計nビット×4チャンネル分を時分割したシリアルデータを得る。さらに、このシリアルデータをLVDS-I/O部212に通し

てLDVS信号を得る。

【0038】

A FE部で得られたLVDS信号を後段のDSP部におけるLVDS-I/O部213に通してシリアルデータとする。得られたシリアルデータをSP変換部214に入力してnビット×4チャンネル分のパラレルデータに戻し、パラレル画素データを画像処理部215に入力し、画像データ生成を行ってデジタルY、Cb、Cr信号を得る。

【0039】

図3は本発明の実施例におけるさらに別の構成図を示すものであり、301は固体撮像素子、302、303、304、305はAFE部におけるCDS/AGC部、306、307、308、309はA/D変換器、310はスイッチ回路部、311はPLL回路、312はデジタルゲイン部、313はシリアル通信部、314は後段DSP内のデマルチプレクサ部、315は画像処理部である。

10

【0040】

ここで、スイッチ回路部310は、nビットA/D変換器306、307、308、309から出力される各々nビットのデジタル信号を、PLL回路311の出力に応じて時系列に出力するものである。

【0041】

また、デマルチプレクサ314は、スイッチ回路部310からのnビットのデジタル信号出力を、m×nビットのパラレルデータに変換するように機能する。

【0042】

この実施例では、まず、被写体の光像を固体撮像素子301により電荷情報に変換し、1ch、2ch、3ch、4chの4チャンネル分の電荷情報を得る。次に、AFE部において、固体撮像素子301で得た電荷情報をチャンネル別にCDS/AGC302、303、304、305にそれぞれ入力し、4チャンネル分のアナログ信号を得る。さらに、各アナログ信号をA/D変換器306、307、308、309に入力して、nビット×4チャンネル分のデジタル信号を得る。

20

【0043】

次に、PLL回路211で生成した4チャンネル逡倍のトリガ信号をスイッチ回路部310に入力し、A/D変換器306、307、308、309で得られた4チャンネル分のパラレルデータをスイッチ回路部310に入力して、4チャンネル分を時分割したnビット画素データを得る。nビット画素データは、デジタルゲイン部312により、デジタルゲインを適用することが可能なように構成しておく。また、デジタルゲイン部312に対して、シリアル通信部313からゲイン値を変更可能にする。

30

【0044】

A FE部で得られたデジタルゲイン後の4チャンネル時分割nビット画素データを、後段のDSP部におけるデマルチプレクサ部314に通し、nビット×4チャンネル分の画素データに復元する。このnビット×4チャンネル画素データを画像処理部315に入力し、画像データ生成を行ってデジタルY、Cb、Cr信号を得る。

【0045】

以上の説明においては、4チャンネルに分割する実施例を説明したが、本発明はこのチャンネル数に限られるものではない。例えば、mチャンネル(但し、mは自然数)というような一般化した場合にも、本発明は適用可能である。

40

【産業上の利用可能性】

【0046】

本発明の映像信号処理装置は、複数チャンネル出力を持つ固体撮像素子の複数チャンネルのアナログ信号をA/D変換したnビットパラレルデータ後の経路に、高速に動作するPS変換部を設け、PS変換部にnビット逡倍のトリガ信号を出力するPLL回路の出力に応じて、A/D変換後のnビットパラレルデータをシリアルデータに変換させることで、画素データ信号端子数を削減することができるという効果を有し、デジタルスチルカメラや携帯カメラなどの映像信号処理を低コストで行う必要があるシステムに係り、データ

50

転送の本数を削減するための映像信号処理装置等として有用である。

【図面の簡単な説明】

【0047】

【図1】本発明の一実施例による映像信号処理装置を示す構成図

【図2】本発明の他の実施例による映像信号処理装置を示す構成図

【図3】本発明の他の実施例による映像信号処理装置を示す構成図

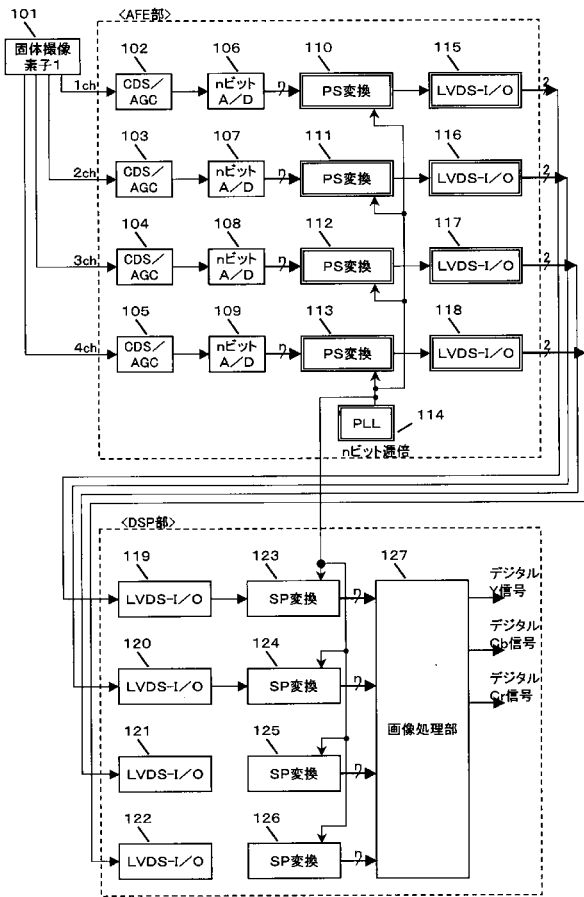
【図4】従来の映像信号処理装置を示す構成図

【符号の説明】

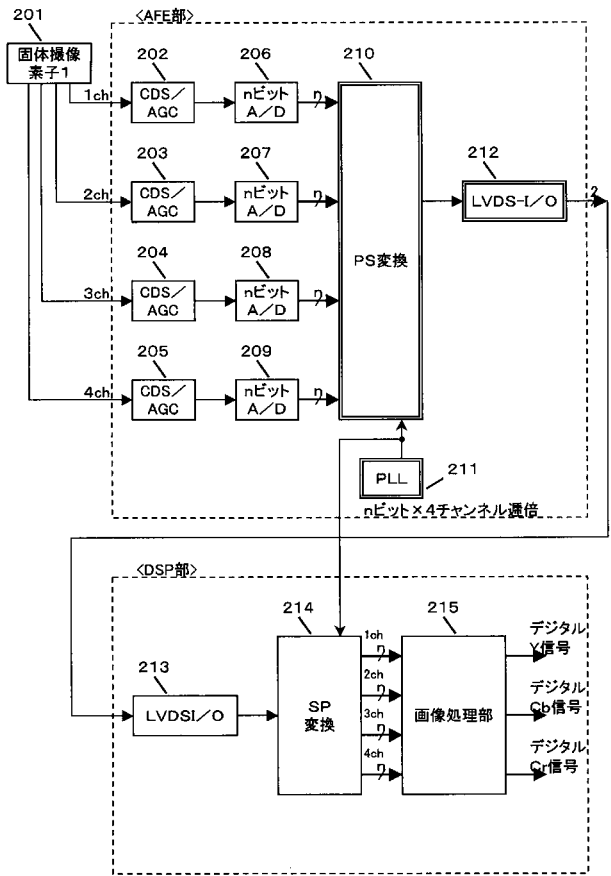
【0048】

101	固体撮像素子	10
102、103、104、105	CDS / AGC部	
106、107、108、109	A / D変換器	
110、111、112、113	PS変換部	
114	PLL回路	
115、116、117、118、119	前段AFE内LVDS - I / O部	
119、120、121、122	後段DSP内LVDS - I / O部	
123、124、125、126	SP変換部	
127	画像処理部	
201	固体撮像素子	20
202、203、204、205	CDS / AGC部	
206、207、208、209	A / D変換器	
210	PS変換部	
211	PLL回路	
212	前段AFE内LVDS - I / O部	
213	後段DSP内LVDS - I / O部	
214	SP変換部	
215	画像処理部	
301	固体撮像素子	30
302、303、304、305	CDS / AGC部	
306、307、308、309	A / D変換器	
310	スイッチ回路部	
311	PLL回路	
312	デジタルゲイン部	
313	シリアル通信部	
314	デマルチプレクサ部	
315	画像処理部	
401	固体撮像素子	40
402、403、404、405	CDS / AGC部	
406、407、408、409	A / D変換器	
410	画像処理部	

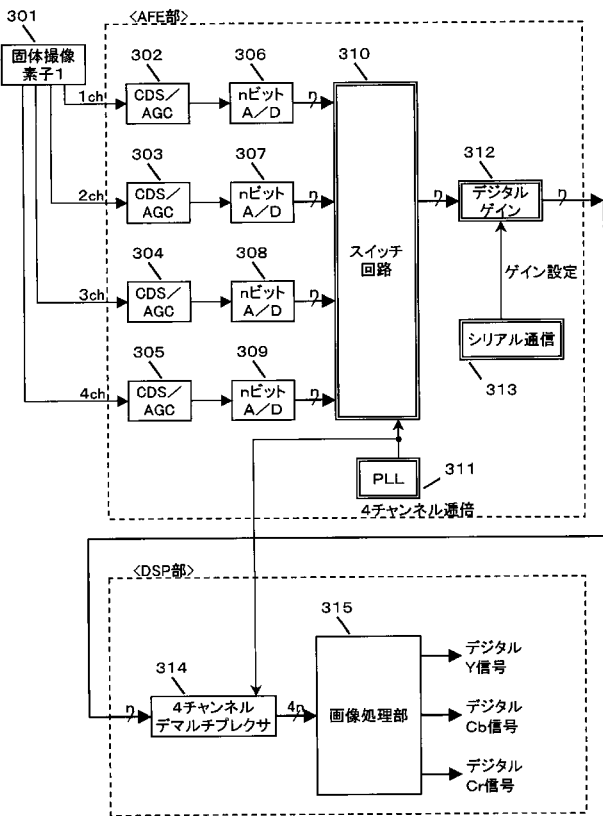
【図1】



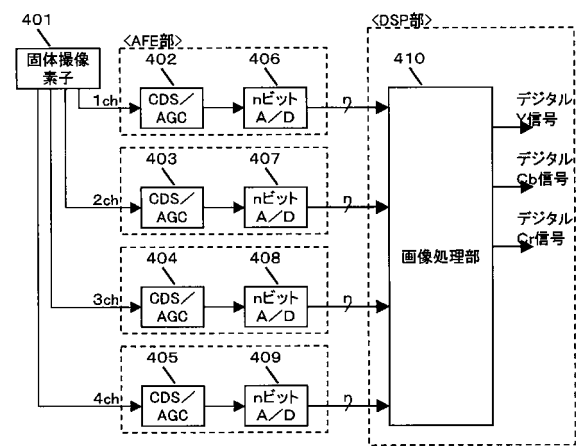
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 南方 伸之

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 秦野 敏信

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5C024 AX01 BX01 CX03 DX04 DX07 GX03 GY01 GY31 HX18 HX23
HX26