

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 2 部門第 3 区分
 【発行日】平成 23 年 9 月 15 日 (2011.9.15)

【公表番号】特表 2010-508167 (P2010-508167A)
 【公表日】平成 22 年 3 月 18 日 (2010.3.18)
 【年通号数】公開・登録公報 2010-011
 【出願番号】特願 2009-535072 (P2009-535072)
 【国際特許分類】

B 8 1 C 1/00 (2006.01)

【F I】

B 8 1 C 1/00

【手続補正書】

【提出日】平成 22 年 8 月 27 日 (2010.8.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】マイクロマシンデバイスの製造方法

【技術分野】

【0001】

本発明は、例えば M E M S (micro-electromechanical system: 微小電気機械システム) デバイスのようなマイクロマシンデバイスに関する。更に、本発明は、例えば C M O S 回路を含む基板のような電気回路を含む基板上に、例えば M E M S のような少なくとも 1 つのマイクロマシン構造を含む、例えば M E M S のようなマイクロマシンデバイスの製造方法、および、それにより得られた、例えば M E M S のようなマイクロマシンデバイスに関する。本方法では、例えば C M O S 回路のような下方の回路に影響を与えることなく、例えば C M O S のような電気回路を含む基板上にマイクロマシンデバイスを形成することができる。

【背景技術】

【0002】

例えば加速度計、ジャイロ스코プ、インクジェットプリンタのヘッドのようなマイクロマシンシステム (M E M S) は、使用が増加している。将来の傾向は、高性能でより小型のシステムに向かっている。より小型のシステムと高性能との双方を得る方法は、ドライブ、制御、及び信号処理の電子器機を含む C M O S 基板上に、M E M S のモノリシック集積化を行うことである。これは、例えば容量検出の寄生を減らすことで、M E M S の性能を改良できる。更に、このアプローチは非常にコンパクトな集積解であり、パッケージを小型化できる。

【0003】

M E M S デバイスと埋め込まれた電子器機のモノリシック集積化を得ることは簡単ではない。なぜなら、異なる材料と処理技術が同じ基板上で組み合わせなければならないからである。近年、M E M S と埋め込まれた電子器機のモノリシック集積化を達成するためには、以下の 3 つのアプローチがある。(1) 最初に M E M S デバイスを処理し、次に例えば M E M S デバイスの隣に集積回路を形成する。(2) M E M S デバイスと集積回路の双方を混合して形成する。(3) 最初に集積回路を処理し、次に例えば集積回路の上に M E M S デバイスを形成する (ポスト処理とも呼ばれる)。

【0004】

第3のアプローチは、下方の回路技術の深い知識の必要無しに、下方の信号処理回路の上でモジュール的にデバイスを処理し相互接続する可能性を提供する。しかしながら、ポスト処理は、許容されるMEMSプロセスと材料に、非常に厳しい要求を課す。下方の回路のダメージおよび/または下方の回路の性能の低下を避けるために、MEMS作製温度は、450より低くしなければならず、MEMS処理中に使用される化学剤の制限も考慮しなければならない。例えば多結晶のシリコンゲルマニウム(多結晶SiGe)は、MEMSのポスト処理にとって魅力的な材料である。多結晶SiGeは、Siに似た特性を有するが、多結晶Siで必要とされるより実質的に低い温度で処理できる半導体合金材料である。このため、多結晶SiGeは、好ましい温度で、所望の電氣的、機械的特性を有するMEMSデバイスを作製できる。MEMSのポスト処理で使用される化学剤に対する下方のCMOS回路を保護するための最新の解決法では、保護層が用いられ、またはCMOS回路に影響する化学剤の使用が避けられる。

【0005】

米国特許第6,210,988では、電気回路を含む基板上にMEMS構造を作製する方法が記載され、かかる方法では、MEMSデバイスのグランド面層と構造層が、SiGe層により形成される。一の具体例では、高いGe含有量のSiGe層または純粋のGe層が、MEMS構造の製造プロセスで、犠牲層として使用される。このタイプの犠牲層は、下方の電気回路に影響しない、過酸化水素のような化学剤により除去できる。米国特許第6,210,988の他の具体例では、犠牲層としてシリコン酸化物が使用される。MEMS構造の解放中にHFによる攻撃からMEMSデバイスの下方の電気回路を保護するために、犠牲層の形成前に保護層が形成される。この文献で示されるように、アモルファスSiが、この保護層にとって有用な材料であることが見出された。

【0006】

米国特許第6,917,459では、電気回路を含む基板上に、MEMSデバイスを形成する方法が記載されている。この方法では、誘電体層が基板上に形成され、この誘電体層は平坦化されて実質的に平坦な面を形成し、誘電体層の平坦化後に保護層が形成される。この保護層は、例えば炭化シリコンのような、続くMEMS処理に使用されるエッチング液に耐性のある材料から形成される。

【0007】

しかしながら、上述の方法では、保護層を形成した場合に、下方にある欠陥を複製することで、保護層中に欠陥が形成されうる。例えばMEMS層の形成および/またはそれらの層をパターニングするためのエッチングプロセスのような、例えばMEMSデバイスの作成中に保護層の下部に気体が形成された結果、またはMEMS作製中に使用されるプロセスの結果による。保護層中のこのような欠陥の存在は、エッチング液が保護層を突き抜けて、CMOS回路のような下方の電気回路にダメージを与えることとなる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】米国特許第6,210,988号

【特許文献2】米国特許第6,917,459号

【発明の概要】

【0009】

本発明の具体例の目的は、電気回路を含む基板にマイクロマシンデバイスを形成する方法、およびそれにより得られたマイクロマシンデバイスを提供することである。

【0010】

第1の形態では、例えばマイクロ電気機械システム(micro-electromechanical:

MEMS)デバイスのようなマイクロマシンデバイスを、例えばCMOSのような電気回路を含む基板上に作製する方法であって、MEMSのようなマイクロマシンデバイスは少なくとも1つの例えばMEMSのようなマイクロマシン構造を含む方法を提供する。この方法は、

基板の上に、保護層を形成する工程と、

少なくとも1つの、例えばMEMSのようなマイクロマシン構造を形成するための複数のパターニングされた層を保護層の上に形成する工程であって、複数のパターニングされた層は、少なくとも1つの犠牲層を含む工程と、

その後、犠牲層の少なくとも一部を除去して、少なくとも1つの、例えばMEMSのようなマイクロマシン構造を解放 (release) する工程と、を含む。

【0011】

この方法は、更に、保護層を形成する前に、例えばMEMSのようなマイクロマシンデバイスの製造中に使用される最高温度より高い温度で基板をアニールする工程を含み、アニールは、その後の製造工程中に、保護層の下での気体の形成を防止する。

【0012】

マイクロマシンデバイスの製造中に使用される最高温度より高い温度で基板をアニールする工程は、基板の加熱が必要な製造プロセスの工程中に、下方の層からの気体の形成による保護層の損傷を防止する。

【0013】

本発明の具体例にかかる方法は、マイクロマシンデバイスの製造中に、下方の回路の良好な保護を提供する。これは、保護層中の欠陥数を低く保たれることを確認することで行われ、これにより例えば保護層を通る化学剤の貫通のような問題を避ける。

【0014】

保護層は、例えばSiCを含む。本発明の他の具体例では、他の好適な材料を、保護層の形成に使用しても構わない。

【0015】

本発明の具体例にかかる方法の長所は、シリコン酸化物 (SiO_2) のような安価で標準的な材料を使用できることであり、例えばGe犠牲層に比較して、これらは容易に平坦化でき、例えば吸着の無い気相HF解放のような標準的な方法により除去できる。

【0016】

本発明の具体例にかかる方法は、更に、保護層の形成前に、 $1/\text{cm}^2$ より少ない欠陥数、例えば $0.1/\text{cm}^2$ より少ない、または $0.011/\text{cm}^2$ より少ない欠陥数を有する例えば実質的に平坦な誘電体上部層のような誘電体上部層を基板上に形成する工程を含む。

【0017】

本発明の具体例では、例えば実質的に平坦な誘電体上部層のような誘電体上部層を形成する工程は、

基板の上に誘電体層を形成する工程と、

誘電体層を平坦化する工程と、

誘電体層中の欠陥数を、 $1/\text{cm}^2$ より少なく、例えば $0.1/\text{cm}^2$ より少なく、または $0.01/\text{cm}^2$ より少なく減らすために基板をアニールする工程と、を含んでも良い。

【0018】

本発明の他の具体例では、例えば実質的に平坦な誘電体上部層のような誘電体上部層を形成する工程は、

基板の上に第1誘電体層を形成する工程と、

第1誘電体層を平坦化する工程と、

下方の層から欠陥や形状を写し取らない堆積技術を用いて、第1誘電体層の上に第2誘電体層を形成し、これにより $1/\text{cm}^2$ より少ない、例えば $0.1/\text{cm}^2$ より少ない、または $0.01/\text{cm}^2$ より少ない欠陥数を含む誘電体層を形成する工程と、を含んでも良い。

【0019】

第2誘電体層を形成する工程は、高密度プラズマ気相成長により行われても良い。

【0020】

その後の製造工程中に保護層の下での気体の形成を防止するための基板のアニール工程は、例えばMEMSのようなマイクロマシンデバイスの製造中に使用される最高温度より、1 から10 だけ高い温度で行われても良い。本発明の具体例で、例えばMEMSのようなマイクロマシンデバイスの製造中に使用される最高温度は450 である。他の具体例では、例えばMEMSのようなマイクロマシンデバイスの製造中に使用される最高温度は、450 より低く、または400 より低い。

【0021】

本発明の具体例では、基板上に保護層を形成する工程は、実質的に平坦な保護層を形成する工程で行われても良い。

【0022】

本発明の具体例では、例えばMEMSのようなマイクロマシンデバイスの製造プロセスの材料とプロセスパラメータは、高品質の保護層に影響しないように選択される。高品質とは、保護層が低欠陥密度を有し、製造プロセス中に使用される化学剤に対して低い浸透性を示すことを意味する。換言すれば、例えばMEMSのようなマイクロマシンデバイスの製造プロセスの材料とプロセスパラメータは、例えばMEMSのようなマイクロマシンデバイスの製造中および製造後において、保護層が、 $1/\text{cm}^2$ より少ない、例えば $0.1/\text{cm}^2$ より少ない、または $0.01/\text{cm}^2$ より少ない欠陥数を有し、保護層は、基板と、より重要な基板上の電気回路を、例えば複数のパターンニングされた層を形成する処理工程のような更なる処理工程から保護し、犠牲層を部分的に除去する処理工程の影響から保護する。本発明の具体例では、高品質の保護層を得るために、保護層はより平坦に形成され、保護層中の欠陥数が減らされることが好ましい。更には、例えばピンホール、マイクロクラック、または密度変化のような保護層を通して延びる欠陥の数を実質的にゼロまで減らす。保護層を通して延びる欠陥を除去または少なくとも低減すると、ポストプロセス（例えばMEMS犠牲層エッチング）中に使用された化学剤が保護層を貫通するのを避けて、下方の電気回路の良好な保護を得ることができる。

【0023】

本発明の具体例では、プロセスパラメータは、例えば、使用される材料、異なる層を形成するのに使用される堆積方法、堆積温度、および/または異なる層の堆積中に使用される堆積圧力、堆積電力、エッチング技術、および/またはエッチング化学剤である。

【0024】

複数のパターンニングされた層を保護層の上に形成する工程は、少なくとも1つの電極を形成するために、電極材料の層を堆積する工程を含んでも良い。少なくとも1つの電極を形成する工程は、例えば電極材料の層のエッチングのようなパターンニングにより行われても良い。

【0025】

電極材料の層は、例えば、 $\text{Si}_{1-x}\text{Ge}_x$ ($0.5 < x < 0.65$) を含んでも良い。電極材料の層は、例えば、プラズマエンハンス化学気相成長またはプラズマアシスト化学気相成長で行われても良い。

【0026】

電極材料の層の堆積は、電極材料の層中の応力が最小になるような、堆積温度、堆積圧力、および堆積電力で行われても良い。電極材料の層中の応力が最小になるとは、電極材料の層中の応力が100MPaより低く、例えば50MPaより低く、または10MPaより低いことを意味する。電極材料の層中の応力は、引っ張りでも良く、残留引っ張り応力と呼ばれるものでも良い。

【0027】

電極材料の層のエッチング工程は、例えば、HBr系反応性イオンエッチングプロセスにより行われても良い。

【0028】

本発明の具体例では、電気回路は、少なくとも1つの電気接続パッドを含む。本発明にかかるこの方法は、それらの具体例では、更に、保護層の形成後、および複数のパターニ

ングされた層の形成前に、少なくとも１つの電氣的な導電構造を、下方にある電気回路の電気接続パッドが配置される場所に形成する工程を含んでも良い。

【００２９】

少なくとも１つの電氣的な導電構造を形成する工程は、
少なくとも１つの電気接続パッドから保護層を通して延びる少なくとも１つのビアを形成する工程と、
電氣的な導電材料で、少なくとも１つのビアを満たす工程と、
平坦化を行う工程と、を含んでも良い。

【００３０】

本発明の具体例では、少なくとも１つの電氣的な導電構造は、電気接続パッドと、例えばＭＥＭＳのようなマイクロマシンデバイスの電極との間に、電気接続を形成するものであっても良い。

【００３１】

電気接続は、下方の電気回路を、ＭＥＭＳ電極のようなマイクロマシンデバイスの電極と電氣的に接続するためと、下方の電気回路を、外部世界（ボンドパッド）と電氣的に接続するための、双方に使用されても良い。

【００３２】

本発明の具体例では、例えばＭＥＭＳのようなマイクロマシンデバイスの処理後に保護層を通る電気接続を形成することにより、ＭＥＭＳ処理後に保護層を通るエッチングの必要性が避けられる。

【００３３】

複数のパターンニングされた層を形成した後、および犠牲層を少なくとも部分的に除去した後、この方法は更に、
電氣的な導電構造が配置された場所に、犠牲層を通して少なくとも１つの開口部を形成する工程と、
少なくとも１つの開口部中に電氣的な導電層を形成し、これにより少なくとも１つのボンドパッドを形成する工程とを含んでも良い。

【００３４】

電氣的な導電層は、例えばＡｌおよび／またはＴａＮを含んでも良い。他の具体例では、電氣的な導電層は、当業者に知られた他の適当な材料を含んでも良い。本発明の具体例では、少なくとも１つの電氣的な導電構造は、電気接続パッドとボンドパッドとの間の電気接続を形成しても良い。

【００３５】

第２の形態では、本発明は、本発明の具体例を用いた製造方法の手段により得られたマイクロマシンデバイスを提供する。

【００３６】

第３の形態では、本発明は、電気回路を含む基板の上のマイクロマシンデバイスを提供し、このマイクロマシンデバイスは少なくとも１つのマイクロマシン構造を含み、電気回路と少なくとも１つのマイクロマシン構造との間に、 $1 / \text{cm}^2$ より少ない、例えば $0.1 / \text{cm}^2$ より少ない、または $0.01 / \text{cm}^2$ より少ない欠陥密度を有する保護層を含む。

【００３７】

本発明の具体例では、マイクロマシンデバイスは、更に、電気回路と少なくとも１つのマイクロマシン構造との間に、 $1 / \text{cm}^2$ より少ない、例えば $0.1 / \text{cm}^2$ より少ない、または $0.01 / \text{cm}^2$ より少ない欠陥密度を有する誘電体層を含んでも良い。

【００３８】

本発明の特定の好ましい形態は、独立請求項と従属請求項に示される。従属請求項の特徴は、独立請求項の特徴や、他の独立請求項との組み合わせても良い。

【００３９】

本発明の特徴、長所、および優位点は、図面と組み合わせた詳細な説明中で明らかにな

るなり、これらは本発明の原理を示す、この記載は、例としてのみ与えられ、本発明の範囲を限定するものではない。

【図面の簡単な説明】

【0040】

【図1】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図2】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図3】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図4】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図5】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図6】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図7】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図8】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図9】本発明の具体例にかかるマイクロマシンデバイスの製造方法の、連続した工程を示す。

【図10】異なる電極材料を用いる実験で使用された試料の概略図を示す。

【図11】気体のHFを用いてエッチングした後の小さな段差を覆う、800nm膜厚の酸化層と300nm膜厚のSiC層を有するウエハのSEM像を示す。

【発明を実施するための形態】

【0041】

本発明は、特定の具体例について、添付図面を参照しながら詳細に説明するが、本発明はこれらにより限定されるものではなく、請求の範囲によってのみ限定されるものである。記載された図面は、単に概略であり、限定するものではない。図面において、図示目的で、いくつかの要素の大きさは拡張され、縮尺通りに記載されていない。寸法と相対寸法は、本発明の実施の実際の縮小には対応していない。

【0042】

更に、明細書や請求の範囲中の、第1、第2等の用語は、類似の要素の間で区別するために使用され、順序や他の方法において、時間的、空間的順序を表す必要はない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明の具体例は、ここに記載や図示されたものと異なる順序によっても操作できることを理解すべきである。

【0043】

また、明細書や請求の範囲中の、上、上に、等の用語は、記載目的のために使用され、相対的な位置を示すものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された発明は、ここに記載や図示されたものと異なる位置でも操作できることを理解すべきである。

【0044】

また、請求の範囲で使用される「含む (comprising)」の用語は、それ以降に示される要素に限定して解釈されること排除するものであり、他の要素や工程を排除しない。このように、言及された特徴、数字、工程、または成分は、その通りに解釈され、1またはそれ以上の他の特徴、数字、工程、または成分、またはこれらの組み合わせの存在または追加を排除してはならない。このように、「手段AおよびBを含むデバイス」の表現の範囲は、構成要素AとBのみを含むデバイスに限定されるべきではない。本発明では、単にデ

バイスに関連した構成要素が A と B であることを意味する。

【 0 0 4 5 】

この明細書を通じて参照される「一の具体例 (one embodiment)」または「具体例 (an embodiment)」は、この具体例に関して記載された特定の長所、構造、または特徴は、本発明の少なくとも 1 つの具体例に含まれることを意味する。このように、この明細書を通して多くの場所の「一の具体例 (one embodiment)」または「具体例 (an embodiment)」の語句の表現は、同じ具体例を表す必要はなく、表しても構わない。更に、特定の長所、構造、または特徴は、この記載から当業者に明らかなように、1 またはそれ以上の具体例中で適当な方法で組み合わせることができる。

【 0 0 4 6 】

同様に、本発明の例示の記載中において、能率的に開示し、多くの発明の形態の 1 またはそれ以上の理解を助ける目的で、本発明の多くの長所は、時には 1 つの具体例、図面、またはその記載中にまとめられることを評価すべきである。しかしながら、この開示の方法は、請求される発明がそれぞれの請求項に記載されたものより多くの特徴を必要とすることを意図して表されていると解釈すべきではない。むしろ、以下の請求項が表すように、発明の態様は、1 つの記載された具体例の全ての長所より少なくなる。このように詳細な説明に続く請求の範囲は、これにより詳細な説明中に明確に含まれ、それぞれの請求項は、この発明の別々の具体例としてそれ自身で成立する。

【 0 0 4 7 】

更に、ここで記載された幾つかの具体例は幾つかの特徴で、他の具体例に含まれる以外の特徴を含み、異なった具体例の長所の組み合わせは、本発明の範囲に入ることを意味し、当業者に理解されるように異なった具体例を形成する。例えば、以下の請求の範囲では、請求された具体例のいくつかは、他の組み合わせにおいても使用することができる。

【 0 0 4 8 】

ここで与えられる明細書において、多くの特別な細部が示される。しかしながら、本発明の具体例はそれらの特別な細部無しに実施できることを理解すべきである。他の例では、公知の方法、構造、および技術は、この記載の理解をわかりにくくしないために、詳細には示されていない。

【 0 0 4 9 】

明細書および請求の範囲で使用される「基板 (substrate)」の用語は、使用される下方の材料を含み、または材料からなり、または、その上に MEMS デバイス、機械的、電子的、電氣的、気体、流体、または半導体成分等、回路、またはエピタキシャル層を形成することができる。本発明の多くの具体例では、基板は、例えばドーブされたシリコン基板、ガリウムアーセナイド (GaAs) 基板、ガリウムアーセナイドフォスファイド (GaAsP) 基板、インジウムフォスファイド (InP) 基板、ゲルマニウム (Ge) 基板、またはシリコンゲルマニウム (SiGe) 基板のような半導体基板を含んでも良い。基板は、半導体基板部分に加えて、例えばシリコン酸化物層、またはシリコン窒化層のような絶縁層を含んでも良い。

【 0 0 5 0 】

「基板」の用語は、またシリコン・オン・ガラスやシリコン・オン・サファイアのような基板を含む。「基板」の用語は、このように、興味のある層や部分の下にある層のための要素を一般に規定するのに使用される。基板は、例えばガラス基板やガラスまたは金属層のような、その上に層が形成される他の基礎でも良い。以下において、処理について、主としてシリコン基板の処理を参照しながら説明するが、当業者は、他の半導体材料系、ガラス、または重合材料のような材料に基づいて好適な具体例を実効することができ、当業者により同等のものとして適当な材料が選択できることを認めるであろう。

【 0 0 5 1 】

本発明は、本発明の多くの具体例の詳細な記載によって記載される。本発明の他の具体例が、本発明の真実の精神や技術的示唆から離れることなく、当業者の知識により形成することができる。本発明は、添付された請求の範囲の文言によってのみ限定されることは

明らかである。

【 0 0 5 2 】

本発明は、ポスト処理による、例えばＣＭＯＳ回路のような電気回路を含む基板上への、例えばＭＥＭＳデバイスのようなマイクロマシンデバイスのモノリシック集積化、およびそれにより得られたＭＥＭＳのようなマイクロマシンデバイスに関する。

【 0 0 5 3 】

「ポスト処理」は、電気回路が形成された後に、例えばＭＥＭＳデバイスのようなマイクロマシンデバイスが、基板上に形成されることを意味する。換言すれば、例えばＭＥＭＳデバイスのようなマイクロマシンデバイスが、電気回路が既に存在する基板に形成される。それゆえに、ＭＥＭＳデバイスのようなマイクロマシンデバイスの処理中に電気回路が影響、損傷、および／または破壊されないように注意を払う必要がある。

【 0 0 5 4 】

ポスト処理は、例えばＭＥＭＳデバイスのようなマイクロマシンデバイスの形成に許容される技術や使用される材料に対して厳しい要求を課す。基板の電気回路の特性の、損傷や劣化を避けるために、例えばＭＥＭＳのようなマイクロマシンデバイスの製造中に使用される最高温度が、例えば４５０以下、例えば４００以下に制限される。更に、例えばＭＥＭＳ構造のようなマイクロマシンの形成に使用される犠牲層を除去するエッチングのような、製造プロセス中に使用される化学剤が制限される。

【 0 0 5 5 】

本発明は、それゆえに、電気回路を含む基板に、ＭＥＭＳのようなマイクロマシン構造を少なくとも１つ含む、ＭＥＭＳのようなマイクロマシンデバイスを製造する方法を提供する。この方法は、

電気回路を有する基板の上に保護膜を形成する工程と、

保護膜の上に、少なくとも１つのマイクロマシンデバイスを形成するための、複数のパターニングされた層を形成する工程であって、複数のパターニングされた層は少なくとも１つの犠牲層を含む工程と、

その後、少なくとも犠牲層の一部を除去し、少なくとも１つのマイクロマシン構造を解放する工程と、を含む。

【 0 0 5 6 】

この方法は、更に、保護層を形成する前に、マイクロマシンデバイスの製造中に使用される最高温度より高い温度で基板をアニールする工程を含み、アニール工程は、連続する製造工程中に、保護層の下に気体が形成されるのを防止するものである。

【 0 0 5 7 】

本発明の具体例にかかる方法は、例えば基板上に存在する電気回路の性能の損傷や劣化のような、下層の電気回路に影響を与えずに、電気回路を含む基板の上にＭＥＭＳのようなマイクロマシンデバイスを形成できる。

【 0 0 5 8 】

本発明の具体例では、マイクロマシンデバイスの製造中に、下層にある電気回路が、例えばＳｉＣを含む保護層の手段により保護される。この保護層を形成する前に、マイクロマシンデバイスを製造する工程で使用される最高温度より高い温度で基板を最初にアニールすることにより、基板と基板上にある層は、保護層の形成前に、脱ガスされる。「脱ガス」は、保護層を形成する前に、基板を加熱することにより、吸蔵された気体が基板や基板上の層から除去されることを意味する。

【 0 0 5 9 】

これにより、保護層の供給後にマイクロマシンデバイスの製造中に気体が形成されるのを防止する。なぜなら、気体の形成は、保護層の中に形成される欠陥の原因となるからである。これにより、本発明の具体例にかかる方法を用いて、このガスの形成と保護層中の欠陥の形成を防止し、例えば欠陥密度が $1 / \text{cm}^2$ より低い、 $0.1 / \text{cm}^2$ より低い、または $0.01 / \text{cm}^2$ より低いような、低い欠陥密度が得られる。これは、ポスト処理中に使用される化学剤が、保護層を貫通するのを防止し、これにより例えばＣＭＯＳ回路

のような下方の電気回路の損傷を避けることができる。

【0060】

このように、高品質で低欠陥密度の保護層が得られ、ポスト処理中にこの高品質で低欠陥密度が維持されることが、本発明の具体例の特徴である。高品質を有するとは、マイクロマシンデバイスがその上に形成される基板上の電気回路に対して保護層が良好な保護を与えることを意味する。ここで保護は、例えばMEMSのようなマイクロマシンデバイスの製造プロセス中に使用される化学剤に対する保護である。低欠陥密度を有するとは、例えばピンホール、マイクロクラック、または密度変化のような保護層を通して延びる欠陥の数が、例えば $1/\text{cm}^2$ より低い、 $0.1/\text{cm}^2$ より低い、または $0.01/\text{cm}^2$ より低いような、実質的に0まで低減されることをいう。

【0061】

本発明の具体例にかかる方法の他の特徴は、コンパクトの集積化の解を与えることや、基板上に例えばCMOS回路のような電気回路の製造プロセス中に変更を導入することなく、例えばMEMSのようなマイクロマシンデバイスの集積化を可能とすることである。

【0062】

これ以降、本発明の具体例にかかる方法の連続した工程について説明する。この記載は例示するものであり、これ以降に記載される処理工程と一連の処理工程は、本発明をこれに限定することを意図するものではない。更に、本方法は、CMOS回路である電気回路の手段により述べられる。これは、単に説明を容易にするためであり、本発明を如何なる方法においても限定することを意図しない。本発明の他の具体例では、電気回路はマイクロマシンデバイスと組み合わせることが他の電気回路であっても良い。

【0063】

更に、この方法は、少なくとも1つのMEMS構造を含むMEMSデバイスのようなマイクロマシンデバイスの手段により説明される。これは単に説明を容易にするためであり、如何なる方法によっても本発明を限定することを意図するものではない。マイクロマシンデバイスは、その製造に犠牲層を必要とするマイクロマシンデバイスでもよい。

【0064】

本発明の具体例にかかる方法を用いて作製可能なMEMSデバイスの例は、例えば、マイクロミラー、加速度計、ジャイロスコープ、インクジェットプリントヘッド、およびアクチュエータである。MEMSデバイスの下方の基板の電気回路は、MEMSデバイスの駆動回路の例である。

【0065】

本発明の具体例にかかるCMOS基板10上での、MEMSポスト処理の一連の工程が、図1から図9に示される。主表面にCMOS回路を含む基板10が提供される。CMOS回路は、好適な方法で作製され、例えばAl、Cu、Ti、Ta、Ta_Nまたはそれらの組み合わせのような当業者に知られた好適な導電性材料を含む少なくとも1つの電気コンタクトパッド12を含んでも良い。当業者に知られたように、CMOS回路を含む基板10上に標準のCMOSパッシベーション層11を堆積させた後、例えば化学気相成長(CVD)、プラズマ強化CVDまたはプラズマアシストCVD(PECVD/PACVD)、又は高密度プラズマ(HDP)CVDの手段により、標準のCMOSパッシベーション層11の上に、第1誘電体層13が堆積される。

【0066】

本発明の具体例では、第1誘電体層13は、シリコン酸化層またはシリコン窒化層である。しかしながら、他の具体例では、第1誘電体層13の形成に、他の好適な誘電体材料が用いられても構わない。例えば、CMPによる平坦化と、ポストCMPクリーニングのような洗浄の後、第1誘電体層13は、平坦化工程により部分的に導入された多くの欠陥を含む。例えば、ポストCMP洗浄後に残された汚染が存在するかもしれない、また、平坦化された第1誘電体層13中に気体や液体がトラップや吸蔵されるかもしれない。上述の工程後に得られる構造が、図1に示される。

【0067】

本発明の具体例では、方法は、次の工程に、例えば $1 / \text{cm}^2$ より低い、 $0.1 / \text{cm}^2$ より低い、または $0.01 / \text{cm}^2$ より低いような、低欠陥密度の、実質的に平坦な誘電体上部層 14 を形成する工程を含む。低欠陥密度の誘電体上部層 14 の形成は、異なる方法で行うことができる。

【0068】

低欠陥密度の誘電体上部層 14 を得るための 1 つの方法は、例えば続いて CMP による平坦化が行われる好適な堆積技術により基板上に実質的に平坦な誘電体層 13 を形成し、アニール工程を行うことによる。アニール工程は、例えば CMP 平坦化工程のより導入された欠陥や、有機物または無機物の汚染による欠陥、または例えば $1 / \text{cm}^2$ より低い、 $0.1 / \text{cm}^2$ より低い、または $0.01 / \text{cm}^2$ より低いようなトラップされた気体や液体による欠陥のような、第 1 誘電体層 13 中の欠陥を低減することができる。本発明の具体例では、アニール工程は、ポスト処理中に使用される最も高い処理温度より、例えば 1 から 10 だけ高い温度、例えば 5 高い温度のような数 高い温度で行われる。これじゃ、基板 10 の脱ガスのためのアニール工程と同時に進めても良い。例えば、ポスト処理温度が 450 の場合、アニールは、例えば 455 で行われる。

【0069】

これにより、これらの具体例では、アニール工程は、誘電体層 13 中の欠陥を減らすと共に、基板 10 と、基板 10 の上に存在する層の材料の脱ガスの追加の効果を有する。しかしながら、本発明の具体例では、誘電体層 13 中の欠陥の数を減らすための基板 10 のアニールと、基板 10 と基板 10 の上に存在する層の材料の脱ガスのためのアニールは、異なった工程で行われても良い。

【0070】

低欠陥密度の誘電体上部層 14 を得るための第 2 の方法は、例えば、HDP-CVD (高密度プラズマ化学気相成長) やスピノンのような、下方の層から欠陥や形状を写しとらない堆積技術のような適当な堆積技術を用いて、第 1 の平坦化された誘電体層 13 の上に第 2 の誘電体層 14 を堆積する。第 2 の誘電体層 14 は、例えば HDP (高堆積温度) のシリコン酸化物、HDP シリコン窒化物、またはスピノンガラスでも良い。例えば、下方の層から欠陥を写しとらない堆積技術のような適当な堆積技術を選択することにより、例えば $1 / \text{cm}^2$ より低い、 $0.1 / \text{cm}^2$ より低い、または $0.01 / \text{cm}^2$ より低いような欠陥の数が得られる。

【0071】

低欠陥密度の誘電体上部層 14 を得るための他の方法は、第 1 の方法と第 2 の方法との組み合わせであり、例えば、少なくとも 1 つのアニール工程と、加えて上述の適当な堆積技術を用いた第 1 誘電体層 13 の上への第 2 誘電体層 14 の堆積工程とにより行われる。

【0072】

図 1、2 に示される例では、最初に、第 1 誘電体層 13 が基板 10 の上に形成される (図 1 参照)。選択的に、第 1 誘電体層 13 がアニールされ、この層 13 中に存在する欠陥数が低減される。次に、第 2 誘電体層 14 が、例えば第 1 誘電体層 13 のような下方の層から欠陥を写しとらない堆積技術を用いて堆積される (図 2 参照)。

【0073】

本発明の具体例にかかる低欠陥密度の実質的に平坦な誘電体上部層 14 を得ることの重要性は、連続した工程で保護層 15 が形成された場合 (図 3 参照)、下方の層から欠陥および / または形状を引き継ぎ、保護層中の欠陥数が、例えば $1 / \text{cm}^2$ より低く、 $0.1 / \text{cm}^2$ より低く、または $0.01 / \text{cm}^2$ より低くなることにある。このように、低欠陥密度の実質的に平坦な誘電体上部層 14 の存在は、例え下方の層から欠陥および / または形状が写し取られおよび / または増幅される堆積技術が用いられても、例えば $1 / \text{cm}^2$ より低い、 $0.1 / \text{cm}^2$ より低い、または $0.01 / \text{cm}^2$ より低いような欠陥の数を有する低欠陥密度の実質的に平坦な保護層 15 の形成を可能とする。更に、特に、ピンホール、マイクロクラック、または密度変化のような保護層 15 を通って延びる欠陥の数は、例えば $1 / \text{cm}^2$ より低い、 $0.1 / \text{cm}^2$ より低い、または $0.01 / \text{cm}^2$ より

低い、実質的にゼロまで低減できる。

【0074】

本発明の具体例では、保護層15は例えばSiC層であり、CMOSと互換性のある温度、例えば450より低い温度、更には400より低い温度で、SiCの標準的な堆積技術として知られているPECVD（プラズマエンハンスドCVD）やPACVD（プラズマアシストCVD）の手段で堆積される。PECVDやPACVDで堆積されたそのようなSiC層は、下方の層中に存在する欠陥を写し取り、下方の層中に存在する形状を平坦化しない。この方法で堆積されたSiC層は、下方の層から写し取られた欠陥を有し、下方の層の残る形状の上に形成されるホールやクラックのような欠陥を有する。これゆえに、上述のように、下方の層の欠陥を写し取る技術を用いる場合、上述のように、保護層15を形成する前に、低欠陥密度の実質的に平坦な上部層14の形成が必要となるであろう。

【0075】

本発明の他の具体例では、しかしながら、低欠陥密度の平坦な誘電体上部層14の形成は省略される。この場合、例えば $1/\text{cm}^2$ より低い、 $0.1/\text{cm}^2$ より低い、または $0.01/\text{cm}^2$ より低い欠陥数のような、低い欠陥数の保護層15を形成するために、下層の標準的なCMOSパッシベーション層の具体例で、下方の層から欠陥を写し取らない堆積技術が使用される。この方法では、低欠陥密度の保護層15が得られる。

【0076】

保護層15を堆積する前に、基板10は、MEMSデバイスの製造中に使用される最高温度より高い温度でアニールされる。これは、続く製造工程で、保護層15の下方での気体の形成を防止するために行われる。換言すれば、保護層15の形成前に、アニール工程は、基板10と基板10の上に存在する層の材料の脱ガスのために行われる。本発明の具体例では、第2誘電体層14が形成された場合、アニール工程は、電気回路、標準CMOSパッシベーション層11、第1の平坦化誘電体層13、および第2に誘電体層14を含む基板10の上で行われる。

【0077】

本発明の他の具体例では、第1の平坦な誘電体層13と保護層15との間に第2誘電体層14は形成されず、アニール工程は、誘電体層13中の欠陥数を低減するためにも行われる。アニール工程は、例えば少なくとも20分のような適当な時間、ポスト処理中に使用される最高温度より高い温度、例えば455で、不活性雰囲気、例えば形成ガス（ N_2/H_2 ）雰囲気中で行われる。更なる具体例では、保護層15が形成される前に誘電体層は形成されず、アニールは、電気回路と標準CMOSパッシベーション層11を含む基板に行われる。

【0078】

製造プロセスで使用する最も高いポスト処理温度より、例えば1と10の間のような僅かに高くなるように、アニール温度が選択される理由は、ポスト処理中に、保護層15の下方に気体が形成されるのを避けるためである。保護層15の下での気体の形成は避けなければならない。なぜならば、これにより、保護層15の損傷が形成され、例えば、ポスト処理中に使用される化学剤が損傷した保護層15を貫通し、下方の電気回路を損傷および/または劣化させるからである。

【0079】

多くの実験が行われ、例えば誘電体上部層14中の欠陥の存在と数の、欠陥の無いSiC保護層15の品質への影響が研究された。1つの実験は、誘電体上部層14としての平坦な800nm膜厚の酸化層と、誘電体上部層14の上の保護層15としての300nm膜厚のPECVD層とを有するシリコンウエハ上で行われた。この実験では、第1ウエハは300nmSiC層を有し、下方の酸化層のCMP処理の無い第1ウエハが用いられた。即ち、SiC層が堆積される前に、参照ウエハ上の酸化層はCMPの手段により平坦化されない。このウエハでは、気相HFエッチング後に、下方の酸化層の劣化は発生しなかった。

【 0 0 8 0 】

第2ウエハ上には、下方の酸化層のCMP処理を行うことなく300nm SiC層が堆積されたが、SiCの堆積後にCMP平坦化が行われた。このウエハもまた、気相HFエッチング後に劣化を示さなかった。第3のウエハでは、標準的な酸化物CMP平坦化が、SiCの堆積前に行われた。このウエハでは、20分間、35で気相HFエッチングを行った後でさえ、下方の酸化層の明確な攻撃が見られた。このウエハの劣化は、1分間のウェットHFエッチング(49%)の後にも見られる。これは、この場合、SiC層15が、この層15を通る化学剤の貫通を避けるのに十分な程度まで欠陥が無くなっていないことを示す。これは、CMP手段による下方の酸化層14の平坦化が、酸化層14と保護SiC層15との間の界面に残渣を残し、または欠陥を導入し、これが、例えば $1/\text{cm}^2$ より低い、 $0.1/\text{cm}^2$ より低い、または $0.01/\text{cm}^2$ より低い欠陥密度のSiC保護層15のような、実質的に欠陥の無いPECVD-SiC保護層15の成長を妨げるからである。

【 0 0 8 1 】

上述の実験は、保護層15の下に誘電体上部層14が存在する場合、この誘電体上部層14は、例えばPECVD-SiC保護層のような保護層15の形成前に、好適には、例えば $1/\text{cm}^2$ より低い、 $0.1/\text{cm}^2$ より低い、または $0.01/\text{cm}^2$ より低いような低欠陥密度を有すべきであることを示す。実験は、更に、下方の誘電体層14の平坦化が、良好なSiC保護層15を得るために必要であることを示す。形状を有するウエハまたは層の上に堆積されたSiC保護層15では、上述のような下方の層から欠陥を写し取る堆積技術が用いられた場合、保護としては不十分であることが示された。例えば、小さなステップ21を覆う300nm膜厚のSiC層15を有するウエハで実験が行われた。気相HFを用いたエッチング後に、SEM写真(図11参照)は、SiC層15の側壁のカバーは良好に見えるにもかかわらずステップ21の位置で酸化層14が攻撃されている(図11中に矢印22で示される)。

【 0 0 8 2 】

表1は、SiC層15の下に存在する、異なった処理が行われた誘電体層14についてのPECVD-SiC層15の保護品質が調査された実験の概略を示す。全てのウエハに対して、800nm膜厚の誘電体層13が、基板10の上に堆積された。誘電体層13は、続いて420でアニールされ、CMP手段で平坦化された。このアニール工程は、本発明のアニール工程には対応しない。この後、異なる試料について、表1にまとめたような異なった処理が行われた。最後に、300nm膜厚のPECVD-SiC層15が全ての試料上に堆積され、続いて420でアニール工程が行われる。SiC層15の品質が、続いて、気相HFエッチングを行い、SiC層15の下方の誘電体層14の欠陥を検査することで評価された

【 0 0 8 3 】

	D03	D04	D05	D07	D09	D13
20 nm DXZ	X					
200 nm IMD		X	X			
HF 洗浄				X		
シンター 420 ° C	X		X	X	X	
300 nm SiC	X	X	X	X	X	X
シンター 420 ° C	X	X	X	X	X	X
20' vHF テス ト	bad		OK	OK	OK	
60' vHF テス ト		OK		OK	OK	Bad

表 1 : P E C V D - S i C 層の保護特性と調査を行う実験の概略

【 0 0 8 4 】

低欠陥密度の酸化層 1 4 を得るための基板のアニール無しで、酸化物 C M P の直後に S i C 堆積が行われた試料 D 1 3 を参照すると、60 分の気相 H F エッチング後に、保護層 1 5 の下方の誘電体層 1 4 の損傷が明らかに示される。

【 0 0 8 5 】

高密度プラズマ酸化物で下方の層からの欠陥を写し取らない新しい I M D (中間金属誘電体) 酸化物 1 4 の堆積後 (試料 D 0 4)、または欠陥密度を例えば $1 / \text{cm}^2$ より低い、 $0.1 / \text{cm}^2$ より低い、または $0.01 / \text{cm}^2$ より低く減らすためのシンター工程やアニール工程後 (試料 D 0 7 および D 0 9)、のいずれにおいても、または I M D 酸化物堆積とアニール工程との組み合わせにより (試料 D 0 5)、S i C 層 1 5 の保護特性が満足された。しかしながら、全ての酸化物の堆積が有用なわけでは無い。20 nm DXZ 酸化物 (P E C V D 酸化物) の堆積は、良好な保護特性を示さず (試料 D 0 3)、これは欠陥がこの層中で増殖し、ステップカバレジが悪いためであろう。第 2 誘電体層 1 4 の膜厚は、例えば 50 nm と 800 nm の間の範囲、100 nm と 500 nm の間の範囲、100 nm と 300 nm の間の範囲である。

【 0 0 8 6 】

本発明の他の具体例では、上述のように、例えば S i C 保護層のような保護層が、H D P - C V D またはスピノンの手段により形成される。それらの技術を用いると、保護層 1 5 を形成する前に、低欠陥密度の実質的に平坦な誘電体上部層 1 4 を形成する必要が無い。これらの具体例では、保護層 1 5 を形成する前に、基板 1 0 がマイクロマシニングデバイスの製造中に使用される最高温度より高い温度でアニールされ、続く製造工程で保護層の下に気体が形成されるのを防止する。

【 0 0 8 7 】

例えば、アルミニウム酸化物、ポリイミド、エポキシ、B C B、アモルファスシリコン、アモルファスゲルマニウム、またはアモルファスシリコンゲルマニウムのような、S i C 以外の材料が、保護層 1 5 の形成に使用されても良い。堆積は、300 と 450 の間の範囲、例えば 300 と 400 の間の範囲、例えば 350 で行われても良い。保護層 1 5 は、100 nm より薄く、例えば 100 nm と 500 nm の間の範囲、例えば 300 nm である。保護層 1 5 は、C M O S 回路のような電気回路を含む基板上で M E M S デバイスのポスト処理中に使用される例えば化学剤の影響から、例えば C M O S 回路のような下方の電気回路を保護する機能を有しても良い。特に、保護層 1 5 は、例えば犠牲層のエッチング中のようなポスト処理中に、下方の回路を保護しても良い (以下参照)。それゆえに、保護層 1 5 は、可能な限り少ない欠陥を有し、例えば欠陥の数は $1 / \text{cm}^2$ より

り低く、 $0.1 / \text{cm}^2$ より低く、または $0.01 / \text{cm}^2$ より低い。

【0088】

本発明の具体例にかかる方法は、更に、保護層15を通り、下方のCMOS電気回路の電気接続パッドから延びた電気接続を形成する工程を含んでも良い。これらの電気接続は、下方の電気回路をMEMSデバイスの電極（以下参照）に電氣的に接続するためと、下方の電気回路を外部世界（ボンドパッド）に電氣的に接続するための、双方に使用できる。それゆえに、保護層15を形成した後、本発明の具体例にかかる方法の次の工程（図4に示す）で、誘電体層11、13、14により形成されたスタックや保護層15中に、例えばエッチングによりビア（via）が、例えば下方の電気回路の電氣的な接続パッド12が配置される位置に形成されてもよい。

【0089】

これは、当業者に知られた好適な技術により行われても良い。例えばSiC保護層の場合、保護層15は、米国特許6,599,814も記載された方法により例えば部分的に除去されても良い。この方法は、酸素含有プラズマを照射し酸化シリコン層を除去することにより、SiC層15の露出した部分を少なくとも部分的に酸化シリコン層中に転写する工程を含み、転写工程と除去工程は、誘電体層14が露出するまで繰り返される。SiC層15は、純粋のシリコン酸化層に転写されず、少なくともSiとOを含み、選択的にCおよび/またはNおよび/またはHを含み、C/N/Hの部分はOの部分より小さい層に転写される。それゆえに、形成された層は、ここでは酸化シリコン層と呼ばれる。CMOS回路の上部層は、例えばCMOS回路のCMOS構造の上部金属スタック（例えば電気コンタクトパッド）のTiN層は、ビアを形成するための、誘電体層11、13、14および保護層15のエッチング中に、エッチングストップパとして使用されても良い。

【0090】

次の工程では、導電性プラグ16が、例えばCVD、PECVD、または物理気相成長（PVD）の手段によりビアの中に堆積される（図4参照）。このアプローチは、少なくとも1つのCMOS電気コンタクトパッド12から、保護層15を通して延びる電気接続の形成を可能とする。導電性プラグ16は、例えばTi/TiN/W金属スタックのような金属や金属スタック、または田度江波ドーブされたSiGeのようなドーブされた半導体を含む。例えば、Ti/TiN/Wプラグの場合、最初に薄いTi/TiNビアライナーがビア中に堆積され、このビアライナーは数nmから数10nmの膜厚を有し、ビア金属（例えばW）が隣接する層中に拡散するのを防止する拡散バリアとして働く。ビアライナーを形成した後、ビアはビア金属（例えばW）で満たされ、その後、CMP平坦化工程のような平坦化工程が行われる。プロセスのこの段階では、構造の表面は実質的に平坦であり、例えばSiC保護層のような保護層15、例えばWプラグのような金属プラグ16のような導電体により形成される（図4参照）。

【0091】

次の工程では、少なくとも1つのMEMS構造を形成するために、複数のパターニングされた層が保護層15の上に形成される。複数のパターニングされた層は、当業者に知られた適当な技術により行われる。複数のパターニングされた層は、いくつかのパターニングされた層と、例えば所定のMEMS構造中で要求されるマイクロマシン構造を形成するのに必要ないずれかの材料を含む。堆積技術、エッチング技術、複数のパターニングされた層に使用される材料は、保護層15に追加の損傷や欠陥を与えないように行われる。このため、堆積技術、エッチング技術、複数のパターニングされた層に使用される材料は、MEMSデバイスの製造中および製造後の保護層15中の欠陥の数が、常に $1 / \text{cm}^2$ より低く、例えば $0.1 / \text{cm}^2$ より低く、または $0.01 / \text{cm}^2$ より低くなるように行われる。

【0092】

本発明の具体例では、他の中で複数のパターニングされた層を形成は、MEMSデバイスのための少なくとも1つの電極17を形成するために、電極材料の層を形成しパターニングする工程を含む（図5参照）。この電極材料の層は、保護層15の上に堆積される。

電極材料の層のパターニングは、例えば、保護層 15 および導電性プラグ 16 に対して良好な選択性で電極材料の層を部分的にエッチングする工程を含む。本発明の具体例では、電極材料、電極材料を堆積させるのに使用される技術、および電極材料の層のパターニングのためのエッチングプロセスは、保護層 15 中に欠陥を導入せず。導電性プラグ 16 を攻撃しないものである。本発明の具体例では、電極材料の層は、 $\text{Si}_{1-x}\text{Ge}_x$ ($0.5 < x < 0.65$) を含む。しかしながら、本発明の具体例では、他の材料を使用しても良く、電極材料の層の定積やパターニングは、下方の保護層 15 中に欠陥を導入しない。

【0093】

少なくとも 1 つの MEMS 電極 17 を形成するために、異なった材料を用いて実験が行われた。それらの実験に使用された試料の例を図 10 に示す。シリコンウエハ 10 上に、シリコン酸化層が堆積され、平坦化され、アニールされて、 $1/\text{cm}^2$ より低く、例えば $0.1/\text{cm}^2$ より低く、または $0.01/\text{cm}^2$ より低い欠陥数を有する誘電体上部層 14 が形成される。シリコン酸化層 14 の上に SiC 層 15 が堆積され、続いて電極材料の層を堆積しパターニングして少なくとも 1 つの電極 17 を形成する。第 1 の試料では、少なくとも 1 つの電極の形成に 700nm の Al 層が使用され、第 2 の試料では、少なくとも 1 つの電極の形成に 100nm の TiN 層が使用され、第 3 の試料では、少なくとも 1 つの電極の形成に 300nm の SiGe 層が使用された。

【0094】

電極材料の層を堆積した後、電極材料の層のパターニングのために、エッチング工程が行われた。 700nm Al 層を含む試料と、 100nm TiN 層を含む試料のために、 BCl_3 系のエッチング化学剤が使用された。 SiGe 層を含む試料のためには、 HBr 系のエッチング化学剤が使用された。次の工程では、試料が気体の HF に晒され、加熱されたウエハステージを有するジメティック (*Gemetic*) のパッドヒュームシステム (*Pad Fume system*) 中で、35 で 60 分間エッチングされた。 700nm Al スタックと、 100nm TiN 電極の双方で、 SiC 層 15 の下方の酸化層 14 が攻撃され、 SiC 層 15 の完全な層間剥離が観察された。 300nm SiGe 電極 17 では、酸化層 14 は攻撃されず、 SiC 層 15 が良好な保護層として残ることを示した。試料間で観察されたこの違いは、電極材料の層のパターニングに使用されたエッチング化学剤によるものである。これらの結果は、電極材料の層のエッチングの結果として、 SiC 層 15 の劣化は、最小にすべきであることを示している。電極材料の層のエッチング中に、保護層 15 中に欠陥が形成されることは、適当なエッチング化学剤の選択により避けられる。例えば、 SiGe 電極 17 の場合、 HBr 系のエッチング化学種が用いられる。

【0095】

更に、電極材料だけでなく、電極の機械的性質 (例えば応力) は、保護層 15 への損傷を避ける役割を果たす。例えば、電極材料の層 17 と保護層 15 との間の堆積中または熱サイクル中の応力の不整合は、保護層 15 中の欠陥を生じることになる。応力の不整合は、内在的な材料特性の結果や、使用した堆積技術に関係する。たとえば、 PECVD の手段で電極材料の層が堆積されて形成され、残留引っ張り応力を有する 350nm の膜厚の SiGe 電極 17 では、下方の SiC 保護層 15 の劣化はなく、一方、 CVD の手段で電極材料の層が堆積されて形成され、残留圧縮応力を有する 350nm の膜厚の SiGe 電極 17 では、 SiC 保護層 15 は明らかに劣化している。

【0096】

本発明の具体例では、 $\text{Si}_{1-x}\text{Ge}_x$ 層は、 PECVD または PACVD の手段により堆積される。 100MPa より低いような、例えば 50MPa の引っ張りより低い、または 10MPa の引っ張りより低いような、低い残留引っ張り応力を有する $\text{Si}_{1-x}\text{Ge}_x$ 電極層は、残留圧縮応力を有する電極材料の層より好ましい。 SiGe 層中の応力を制御する方法は、例えば、US 2000-0166467 や EP 1801067 に記載されている。

【0097】

MEMS デバイスの少なくとも 1 つの電極 17 が、導電性プラグ 16 と電氣的に接続さ

れた場所では、電気接続は、MEMSデバイスの電極17とCMOS電気接続パッド12との間に形成されても良い。

【0098】

保護層15の上に形成された複数のパターンニングされた層は、少なくとも1つの犠牲層18を含み(図6参照)、犠牲層18は、以下に記載するように、連続する処理中に少なくとも部分的に除去される。犠牲層18は、例えばシリコン酸化物を含むが、他の具体例では、当業者に知られた他の適当な材料が使用されても良い。犠牲層18を堆積させた後、この層は例えばCMPにより平坦化され、例えばローカリエッチングによりパターンニングされる。犠牲層18のローカリエッチングは、例えばウエットエッチングや当業者に知られた他の適当な方法で行われ、MEMS電極17の少なくとも1つは、エッチングストップパとして働く。

【0099】

次の工程では、図7に示すように、例えば $\text{Si}_{1-x}\text{Ge}_x$ ($0.5 < x < 0.8$)のようなMEMS構造層19が堆積されパターンニングされる。他の具体例では、当業者に知られた他の適当な材料が、構造層を形成するたに使用される。構造層19の膜厚は、例えば50nmと30 μm の間の範囲である。構造層19は、例えば、CVD、PECVD、PVDまたは蒸着の手段で堆積される。必要であれば、例えば光学の応用において、例えばマイクロミラーを形成するために、例えばAl層のような少なくとも1つの追加の層が構造層19の上に形成されても良い(図示せず)。

【0100】

本発明の具体例では、次の工程で、例えばプラズマエッチングやウエットエッチングの手段により、例えば犠牲層18を通るエッチングにより少なくとも1つの開口部が形成されても良い。少なくとも1つの開口部は、(上述の)先の工程で、例えば金属プラグ16のような導電体が形成され、MEMS電極17とは接続されていない場所をエッチングして形成される(図8参照)。保護層15と導電性プラグ16は、犠牲層18中に開口部をエッチングする間、エッチングストップパ層として働く。犠牲層18を通る少なくとも1つの開口部のエッチング後、少なくとも1つのボンドパッド20が、保護層15の上に形成され、ボンドパッドの少なくとも1つが導電性プラグ16に電氣的に接続される。これは、例えば、導電層の堆積とパターンニングにより行われる(図8参照)。この方法では、電気接続が、下方のCMOS回路の電気接続パッド12と、外部世界(ボンドパッド20)との間を接続する。本発明の具体例では、少なくとも1つのボンドパッド20は、例えば、Alおよび/またはTiNおよび/またはTaNを含む。

【0101】

上述のように、図8に示すようなMEMSデバイスと電気接続を形成するために、SiC層15を通るエッチングによりビアが形成される必要があり、スタックが誘電体層11、13、14から形成され、それらのビアは、金属プラグ16により埋められる(図4参照)。MEMS電極17を形成するために電極材料の層をエッチングする間、それらのプラグ16は、ボンドパッド20が形成される領域で保護されていない。電極材料の層のエッチングの、ビアと金属プラグ16の整合についての影響を調査する実験が行われた。SiGe電極層をHBr系化学剤を用いてプラズマエッチングし、 O_2 アッシングに基づくレジスト剥離やウエットポリマー洗浄(3分間の $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ および2分間のHF/ H_2O)を行った後、金属プラグ16の電氣的特性の大きな劣化は見られなかった。

【0102】

また、ビアライナー(WビアについてのTiNライナー対Ti/TiNライナー)とビアエッチング時間の、少なくとも1つのボンドパッド20と、下方の電気接続パッド12への電気接続の、電気特性に対する影響が評価された。実験は、ビア(金属プラグ16)を介して下方の電気接続パッド12に接続された、2つのボンドパッド20の直列な抵抗が測定されて行われた。表2に示す実験結果から、Ti/TiNライナーは、TiNライナーより低い抵抗となるが、TiNライナーでも良好な結果が得られることがわかる。更

に、ボンドパッド 20 と電気接続パッド 12 との間で良好なコンタクトを得るには、十分に長いビアのエッチング時間が必要なこともわかった。

【0103】

ビアエッチング時間	Ti/TiNライナー	TiNライナー
160"	-	312-450 mΩ
170"	250 mΩ	312-1100 mΩ
180"	250 mΩ	330-400 mΩ

表 2：直列な 2 つのボンドパッドの抵抗（ビアと下方の金属を介して接続）

【0104】

少なくとも 1 つのボンドパッド 20 を形成した後、次の工程で、犠牲層 18 が少なくとも部分的に除去され、これにより、MEMS 構造が解放される（図 9）。これは、例えばウェットエッチングや当業者に知られた他の好適な方法により行われても良い。犠牲層 18 がシリコン酸化物 18 を含む本発明の具体例では、犠牲層 18 は、気相 HF エッチングにより除去される。気相 HF を用いる長所は、吸着のないエッチングであり、金属ベースの膜に対して高い選択性を有し、保護層 15 以外に、MEMS の解放中に少なくとも 1 つのボンドパッド 20 の保護を行う必要が無いことである。たとえば少なくとも 1 つのボンドパッド 20 の金属のような導電性材料に対する、気相 HF エッチングの選択性や、気相 HF エッチング後の少なくとも 1 つのボンドパッドの整合が、実験的に検討された。それゆえに、A1 ボンドパッド 20 が、A1 の下方のバリア層とともに形成された。TiN バリア層が A1 ボンドパッド 20 の下方に使用された場合、ボンドパッド 20 は、気相 HF エッチング後に剥離した。A1 ボンドパッド 20 の下方の TaN バリア層の場合、気相 HF エッチング後に、下方の誘電体層の攻撃は見られず、ボンドパッド 20 の電気的特性（例えば、ボンドパッド 20 と下方の電気接続パッド 12 との間の電気抵抗）の大きな劣化は見られなかった。

【0105】

本発明の具体例にかかる方法により得られた MEMS デバイスは、 $1 / \text{cm}^2$ より低いような、例えば $0.1 / \text{cm}^2$ より低く、または $0.01 / \text{cm}^2$ より低いような、十分に低い欠陥密度を含み、例えば MEMS のようなマイクロマシンデバイスのポスト処理中に、保護層 15 を通って化学剤が貫通するのを避けることができ、マイクロマシンデバイスの製造中に使用される最高温度は、例えば 400 より低いような、 450 より低いことが、本発明の特徴である。このため、マイクロマシンデバイスがその上に形成される基板上に存在する CMOS 電気回路は、マイクロマシンデバイスの製造中に損傷を受けず、これにより、良好で、信頼性があり、適当な機能を示す。本発明の具体例にかかる方法のさらなる特徴は、標準的で安価な材料が犠牲層 18 に使用できることであり、基板 10 上の CMOS デバイスへの影響および / または損傷無しに、この犠牲層 18 は容易に平坦化でき、MEMS デバイスの吸着の無い気相 HF での解放が可能となる。

【0106】

好適な具体例、構造、および外形は、材料とともに、本発明のデバイスについてここで検討されたが、本発明の範囲や精神から離れることなく、形状や細部について多くの変形や修正を行うことができる。本発明の範囲内で、記載された方法について、工程を追加または削除することができる。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電気回路を含む基板（１０）に、少なくとも１つのマイクロマシン構造を含むマイクロマシンデバイスを作製する方法であって、

電気回路を含む基板（１０）の上に、保護層（１５）を形成する工程と、

少なくとも１つのマイクロマシン構造を形成するための複数のパターニングされた層を保護層（１５）の上に形成する工程であって、複数のパターニングされた層は、少なくとも１つの犠牲層（１８）を含む工程と、

その後、犠牲層（１８）の少なくとも一部を除去して、少なくとも１つのマイクロマシン構造を解放する工程と、を含み、

更に、保護層（１５）を形成する前に、マイクロマシンデバイスの製造中に使用される最高温度より高い温度で基板（１０）をアニールする工程を含み、アニールは、その後の製造工程中に、保護層（１５）の下での気体の形成を防止する方法。

【請求項 2】

更に、保護層（１５）の形成前に、 $1 / \text{cm}^2$ より少ない欠陥数を有する誘電体上部層（１４）を、基板（１０）の上に形成する工程を含む請求項 1 にかかる方法。

【請求項 3】

誘電体上部層（１４）を形成する工程は、

基板（１０）の上に誘電体層（１４）を形成する工程と、

誘電体層（１４）を平坦化する工程と、

誘電体層（１４）中の欠陥数を、 $1 / \text{cm}^2$ より少なく減らすために基板（１０）をアニールする工程と、を含む請求項 2 の記載の方法。

【請求項 4】

実質的に平坦な誘電体上部層（１４）を形成する工程は、

基板（１０）の上に第 1 誘電体層（１３）を形成する工程と、

第 1 誘電体層（１３）を平坦化する工程と、

下方の層から欠陥や形状を写し取らない堆積技術を用いて、第 1 誘電体層（１３）の上に第 2 誘電体層を形成し、これにより $1 / \text{cm}^2$ より少ない欠陥数を含む誘電体層（１４）を形成する工程と、を含む請求項 2 に記載の方法。

【請求項 5】

第 2 誘電体層を形成する工程は、高密度プラズマ気相成長により行われる請求項 4 に記載の方法。

【請求項 6】

基板（１０）の上に保護層（１５）を形成する工程は、実質的に平坦な保護層（１５）を形成する工程で行われる請求項 1 ～ 5 のいずれか 1 項に記載の方法。

【請求項 7】

その後の製造工程中に保護層（１５）の下での気体の形成を防止するための基板（１０）のアニール工程は、マイクロマシンデバイスの製造中に使用される最高温度より、 1 から 10 だけ高い温度で行われる請求項 1 ～ 6 のいずれか 1 項に記載の方法。

【請求項 8】

本方法のプロセスパラメータは、マイクロマシンデバイスの製造中および製造後において、保護層（１５）が $1 / \text{cm}^2$ より少ない欠陥数を有するように定められる請求項 1 ～ 7 のいずれか 1 項に記載の方法。

【請求項 9】

複数のパターニングされた層を保護層（１５）の上に形成する工程は、少なくとも１つの電極を形成するために、電極材料の層を堆積する工程を含む請求項 1 ～ 8 のいずれか 1 項に記載の方法。

【請求項 10】

電極材料の層は、 $\text{Si}_{1-x}\text{Ge}_x$ ($0.5 < x < 0.65$) を含む請求項 9 に記載の

方法。

【請求項 1 1】

電極材料の層の堆積は、プラズマエンハンス化学気相成長またはプラズマアシスト化学気相成長で行われる請求項 9 または 1 0 に記載の方法。

【請求項 1 2】

電極材料の層の堆積は、電極材料の層中の応力が、1 0 M P a より低い引っ張り応力となる堆積温度、堆積圧力、および堆積電力で行われる請求項 9 ~ 1 1 のいずれか 1 項に記載の方法。

【請求項 1 3】

少なくとも 1 つの電極 (1 7) を形成する工程は、更に、電極材料の層をパターニングする工程を含む請求項 9 ~ 1 2 のいずれか 1 項に記載の方法。

【請求項 1 4】

電極材料の層のエッチング工程は、H B r 系反応性イオンエッチングプロセスにより行われる請求項 1 3 に記載の方法。

【請求項 1 5】

電気回路は、少なくとも 1 つの電気接続パッド (1 2) を含み、この方法は、更に、保護層 (1 5) の形成後、および複数のパターニングされた層の形成前に、少なくとも 1 つの電氣的な導電構造を、下にある電気回路の電気接続パッド (1 2) が配置される場所に形成する工程を含む請求項 1 ~ 1 2 のいずれか 1 項に記載の方法。

【請求項 1 6】

少なくとも 1 つの電氣的な導電構造を形成する工程は、
少なくとも 1 つの電気接続パッド (1 2) から保護層 (1 5) を通って延びる少なくとも 1 つのビアを形成する工程と、
電氣的な導電材料 (1 6) で、少なくとも 1 つのビアを満たす工程と、
平坦化を行う工程と、を含む請求項 1 5 に記載の方法。

【請求項 1 7】

更に、複数のパターニングされた層を形成した後、および犠牲層 (1 8) を少なくとも部分的に除去した後に、電氣的な導電構造が配置された場所に、犠牲層 (1 8) を通って少なくとも 1 つの開口部を形成する工程と、

少なくとも 1 つの開口部中に電氣的な導電層を形成し、これにより少なくとも 1 つのボンダパッド (2 0) を形成する工程と、を含む請求項 1 5 または 1 6 に記載の方法。

【請求項 1 8】

請求項 1 ~ 1 7 のいずれかの製造方法で製造されたマイクロマシンデバイス。

【請求項 1 9】

電気回路を含む基板 (1 0) の上のマイクロマシンデバイスであって、マイクロマシンデバイスは少なくとも 1 つのマイクロマシン構造を含み、電気回路と少なくとも 1 つのマイクロマシン構造との間に、 $1 / \text{cm}^2$ より少ない欠陥数を含む保護層 (1 5) を含むマイクロマシンデバイス。

【請求項 2 0】

更に、電気回路と少なくとも 1 つのマイクロマシン構造との間に、 $1 / \text{cm}^2$ より少ない欠陥密度を有する誘電体層 (1 4) を含む請求項 1 9 に記載のマイクロマシンデバイス。