

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5046524号  
(P5046524)

(45) 発行日 平成24年10月10日 (2012.10.10)

(24) 登録日 平成24年7月27日 (2012.7.27)

(51) Int. Cl.

F I

HO 1 L 27/10 (2006.01)  
 HO 1 L 51/05 (2006.01)  
 HO 1 L 27/28 (2006.01)  
 HO 1 L 27/105 (2006.01)  
 HO 1 L 29/786 (2006.01)

HO 1 L 27/10 4 5 1  
 HO 1 L 27/10 4 4 9  
 HO 1 L 27/10 4 4 8  
 HO 1 L 29/78 6 1 3 B  
 HO 1 L 45/00 A

請求項の数 12 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2006-32662 (P2006-32662)  
 (22) 出願日 平成18年2月9日 (2006.2.9)  
 (65) 公開番号 特開2006-253667 (P2006-253667A)  
 (43) 公開日 平成18年9月21日 (2006.9.21)  
 審査請求日 平成20年12月19日 (2008.12.19)  
 (31) 優先権主張番号 特願2005-35297 (P2005-35297)  
 (32) 優先日 平成17年2月10日 (2005.2.10)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 湯川 幹央  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 高野 圭恵  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 浅見 良信  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 最終頁に続く

(54) 【発明の名称】 記憶素子、記憶装置、及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上の第 1 の導電層と、  
 前記第 1 の導電層上の第 1 の絶縁層と、  
 前記絶縁表面、前記第 1 の導電層、及び前記第 1 の絶縁層上の第 2 の絶縁層と、  
 前記第 2 の絶縁層上の第 2 の導電層と、を有し、  
 前記第 2 の絶縁層は、前記絶縁表面と接しており、  
 前記第 1 の導電層は第 1 の領域及び第 2 の領域を有し、  
 前記第 1 の領域において、前記第 1 の導電層の上面は前記第 1 の絶縁層と接しており、  
 前記第 2 の領域において、前記第 1 の導電層の上面は前記第 2 の絶縁層と接しており、  
 前記第 2 の絶縁層は、前記第 1 の導電層と前記第 2 の導電層の間に電圧が印加されるこ  
 とによって、結晶状態、導電性、又は形状が変化することができる機能を有することを特  
 徴とする記憶素子。

【請求項 2】

絶縁表面上の第 1 の導電層と、  
 前記第 1 の導電層上の第 1 の絶縁層と、  
 前記絶縁表面、前記第 1 の導電層、及び前記第 1 の絶縁層上の第 2 の絶縁層と、  
 前記第 2 の絶縁層上の第 2 の導電層と、を有し、  
 前記第 2 の絶縁層は、前記絶縁表面と接しており、  
 前記第 1 の導電層は第 1 の領域及び第 2 の領域を有し、

10

20

前記第1の領域において、前記第1の導電層の上面は前記第1の絶縁層と接しており、  
前記第2の領域において、前記第1の導電層の上面は前記第2の絶縁層と接しており、  
前記第2の絶縁層は、光が照射されることによって、結晶状態、導電性、又は形状が変  
化することができる機能を有することを特徴とする記憶素子。

【請求項3】

絶縁表面上の第1の導電層と、  
前記第1の導電層上の第1の絶縁層と、  
前記絶縁表面、前記第1の導電層、及び前記第1の絶縁層上の第2の絶縁層と、  
前記第2の絶縁層上の第2の導電層と、を有し、  
前記第2の絶縁層は、前記絶縁表面と接しており、  
前記第1の導電層は第1の領域及び第2の領域を有し、  
前記第1の領域において、前記第1の導電層の上面は前記第1の絶縁層と接しており、  
前記第2の領域において、前記第1の導電層の上面は前記第2の絶縁層と接しており、  
前記第2の絶縁層は、酸化珪素、窒化珪素、酸化窒化珪素、又は窒化酸化珪素を含むこ  
とを特徴とする記憶素子。

10

【請求項4】

絶縁表面上の第1の導電層と、  
前記第1の導電層上の第1の絶縁層と、  
前記絶縁表面、前記第1の導電層、及び前記第1の絶縁層上の第2の絶縁層と、  
前記第2の絶縁層上の第2の導電層と、を有し、  
前記第2の絶縁層は、前記絶縁表面と接しており、  
前記第1の導電層は第1の領域及び第2の領域を有し、  
前記第1の領域において、前記第1の導電層の上面は前記第1の絶縁層と接しており、  
前記第2の領域において、前記第1の導電層の上面は前記第2の絶縁層と接しており、  
前記第2の絶縁層は、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、又は  
エポキシを含むことを特徴とする記憶素子。

20

【請求項5】

絶縁表面上の第1の導電層と、  
前記第1の導電層上の第1の絶縁層と、  
前記絶縁表面、前記第1の導電層、及び前記第1の絶縁層上の第2の絶縁層と、  
前記第2の絶縁層上の第2の導電層と、を有し、  
前記第2の絶縁層は、前記絶縁表面と接しており、  
前記第1の導電層は第1の領域及び第2の領域を有し、  
前記第1の領域において、前記第1の導電層の上面は前記第1の絶縁層と接しており、  
前記第2の領域において、前記第1の導電層の上面は前記第2の絶縁層と接しており、  
前記第2の絶縁層は、正孔輸送性が高い有機化合物又は電子輸送性が高い有機化合物を  
含むことを特徴とする記憶素子。

30

【請求項6】

請求項1乃至5のいずれか一項において、  
前記第1の導電層は、第1の方向に延びて設けられ、  
前記第2の導電層は、前記第1の方向と垂直な第2の方向に延びて設けられ、  
前記第1の絶縁層は、前記第1の方向に延びて設けられていることを特徴とする記憶素子。

40

【請求項7】

請求項1乃至6のいずれか一項において、  
前記第1の絶縁層は開口部を有し、  
前記開口部において、前記第1の導電層の一方の端部が前記第2の絶縁層に接している  
ことを特徴とする記憶素子。

【請求項8】

請求項1乃至7のいずれか一項において、

50

前記第 1 の導電層の端部の側面は、前記絶縁表面に対して、10 度以上 85 度未満の角度で傾斜していることを特徴とする記憶素子。

【請求項 9】

請求項 1 乃至 7 のいずれか一項において、

前記第 1 の導電層の端部は、曲面を有することを特徴とする記憶素子。

【請求項 10】

請求項 1 乃至 9 のいずれか一項において、

前記記憶素子は可撓性基板上に設けられていることを特徴とする記憶素子。

【請求項 11】

請求項 1 乃至 10 のいずれか一項に記載の記憶素子と、読み出し回路と、書き込み回路と、を有することを特徴とする記憶装置。

10

【請求項 12】

請求項 1 乃至 10 のいずれか一項に記載の記憶素子又は請求項 11 に記載の記憶装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶装置および当該記憶装置を備えた半導体装置に関する。

【背景技術】

【0002】

20

近年、絶縁表面上に複数の回路が集積され、様々な機能を有する半導体装置の開発が進められている。また、アンテナを設けることにより、無線によるデータの送受信が可能な半導体装置の開発が進められている。このような半導体装置は、無線チップ（ID タグ、IC タグ、IC チップ、RF（Radio Frequency）タグ、無線タグ、電子タグ、RFID（Radio Frequency Identification）ともよばれる）タグとよばれ、既に一部の市場で導入されている。

【0003】

現在実用化されているこれらの半導体装置の多くは、Si 等の半導体基板を用いた回路（IC（Integrated Circuit）チップとも呼ばれる）とアンテナとを有し、当該 IC チップは記憶回路（メモリとも呼ぶ）や制御回路等から構成されている。特に多くのデータを記憶可能な記憶回路を備えることによって、より高機能で付加価値が高い半導体装置の提供が可能となる。また、これらの半導体装置は低コストで作製することが要求されており、近年、制御回路や記憶回路等に有機化合物を用いた有機 TFT や有機メモリ等の開発が盛んに行われている（例えば特許文献 1）。

30

【特許文献 1】特開 2002 - 26277 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

記憶回路としては、DRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）、FeRAM（Ferroelectric Random Access Memory）、マスク ROM（Read Only Memory）、EPROM（Electrically Programmable Read Only Memory）、EEPROM（Electrically Erasable and Programmable Read Only Memory）、フラッシュメモリなどが挙げられる。このうち、DRAM、SRAM は揮発性の記憶回路であり、電源をオフするとデータが消去されてしまうため、電源をオンする度にデータを書き込む必要がある。FeRAM は不揮発性の記憶回路であるが、強誘電体層を含む容量素子を用いているため、作製工程が増加してしまう。マスク ROM は、簡単な構造であるが、製造工程でデータを書き込む必要があり、追記することはできない。EPROM、EEPROM、フラッシュメモリは、不揮発性

40

50

の記憶回路ではあるが、２つのゲート電極を含む素子を用いているため、作製工程が増加してしまう。

【０００５】

一方、有機化合物を用いた記憶回路は、一对の電極間に有機化合物層を設けて記憶素子を形成するが、有機化合物層を厚く形成した場合、電流が流れにくくなり駆動電圧が上昇する。

【０００６】

上記問題を鑑み、本発明は、製造時以外にデータの追記が可能であり、書き換えによる偽造等を防止することが可能な不揮発の記憶装置及びそれを有する半導体装置を提供することを目的とする。また、信頼性が高く、安価な不揮発の記憶装置及び半導体装置を提供

10

【課題を解決するための手段】

【０００７】

本発明の一は、絶縁表面上に形成される第１の導電層と、第２の導電層と、第１の導電層及び第２の導電層に挟持される第１の絶縁層と、第１の導電層の一部を覆う第２の絶縁層とを有し、第１の絶縁層は第１の導電層の端部、絶縁表面、及び第２の絶縁層を覆うことを特徴とする記憶装置である。

【０００８】

また、本発明の一は、記憶素子がマトリックス状に配置されたメモリセルアレイと、書き込み回路とを有し、記憶素子は絶縁表面上に形成される第１の導電層と、第２の導電層と、第１の導電層及び第２の導電層に挟持される第１の絶縁層と、第１の導電層の一部を覆う第２の絶縁層とを有し、第１の絶縁層は第１の導電層の端部、絶縁表面、及び第２の絶縁層を覆うことを特徴とする記憶装置である。

20

【０００９】

また、本発明の一は、メモリセルがマトリックス状に配置されたメモリセルアレイと、書き込み回路とを有し、メモリセルはトランジスタと記憶素子とを有し、記憶素子は絶縁表面上に形成される第１の導電層と、第２の導電層と、第１の導電層及び第２の導電層に挟持される第１の絶縁層と、第１の導電層の一部を覆う第２の絶縁層とを有し、第１の絶縁層は第１の導電層の端部、絶縁表面、及び第２の絶縁層を覆うことを特徴とする記憶装置である。

30

【００１０】

また、本発明の一は、第１のトランジスタ及び第２のトランジスタと、第１のトランジスタのソース配線又はドレイン配線として機能する導電層に接続する記憶素子と、第２のトランジスタのソース配線又はドレイン配線として機能する導電層と接続するアンテナとして機能する導電層とを有し、記憶素子は、絶縁表面上に形成される第１の導電層と、第２の導電層と、第１の導電層及び第２の導電層に挟持される第１の絶縁層と、第１の導電層の一部を覆う第２の絶縁層とを有し、第１の絶縁層は第１の導電層の端部、絶縁表面、及び第２の絶縁層を覆うことを特徴とする半導体装置である。

【００１１】

第１のトランジスタ、第２のトランジスタ、記憶素子、及びアンテナとして機能する導電層は、第１の基板上に形成されている。

40

【００１２】

また、第１のトランジスタは第１の基板上に形成され、記憶素子は第２の基板上に形成され、第１のトランジスタのソース配線又はドレイン配線として機能する導電層と記憶素子とは、導電性粒子を介して接続されていても良い。

【００１３】

また、第２のトランジスタは第１の基板上に形成され、アンテナとして機能する導電層は第２の基板上に形成され、第２のトランジスタのソース配線又はドレイン配線として機能する導電層とアンテナとして機能する導電層とは、導電性粒子を介して接続されている。

【００１４】

50

また、一对の第1の導電層及び第2の導電層の一部が接続されていてもよい。

【0015】

また、第1の導電層の端部は、テーパ形状を有してもよい。代表的には、第1の導電層の端部の側面と前記絶縁表面がなす角は10度以上85度未満が望ましい。

【0016】

また、第1の導電層の端部は、曲面を有してもよい。代表的には、第1の導電層の内側に凸の曲面、又は第1の導電層の外側に凸の曲面を有する。

【0017】

また、メモリセルアレイと書き込み回路とは、ガラス基板もしくは可撓性基板上に設けられており、書き込み回路は薄膜トランジスタで形成されている。

10

【0018】

また、メモリセルアレイと書き込み回路とは、単結晶半導体基板上に設けられており、書き込み回路は電界効果トランジスタで形成されている。

【0019】

上記記憶素子は、光が照射されることにより抵抗値が変化してもよい。このとき、第1の絶縁層は、光酸発生剤がドーピングされた共役高分子材料からなる。

【0020】

また、記憶素子は、外部からの電気的作用により抵抗値が変化する。また記憶素子の第1の絶縁層は、電気的作用又は光照射により結晶状態や導電性、形状が変化する絶縁層である。このとき、第1の絶縁層は、電子輸送材料又はホール輸送材料の有機化合物や、無機絶縁層、有機化合物と無機化合物との混合層から形成してもよい。

20

【0021】

また、上記構成を有する本発明の半導体装置は、電源回路、クロック発生回路、データ復調/変調回路、制御回路、及びインターフェイス回路から選択された1つ又は複数を有することを特徴とする。

【発明の効果】

【0022】

本発明を用いることによって、チップ製造時以外にデータの書き込み(追記)が可能であり、書き換えによる偽造の防止が可能な半導体装置を得ることができる。また、記憶素子は、電気的作用又は光が照射されることにより変化する絶縁層が下地絶縁表面、第1の導電層の端部、及び隔壁(第2の絶縁層)を覆う構造であることによって、データの書き込み時の駆動電圧を低下することが可能である。この結果、低消費電力の記憶装置及び半導体装置を提供することができる。また、本発明の記憶装置及び半導体装置は、一对の導電層間に絶縁層が挟まれた単純な構造の記憶素子を有するため、安価な記憶装置及び半導体装置を提供することができる。

30

【発明を実施するための最良の形態】

【0023】

本発明の実施の形態について図面を参照して説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

40

【0024】

(実施の形態1)

本実施の形態では、本発明の記憶装置が有する記憶素子の一構成例に関して図面を用いて説明する。より具体的には、記憶装置の構成がパッシブマトリクス型の場合に関して示す。

【0025】

図1(A)には本発明の記憶装置が有するメモリセルアレイ22の上面構造を示しており、図1(A)におけるA-B間の断面構造が図1(B)~(F)に対応している。

50

## 【 0 0 2 6 】

メモリセルアレイ 2 2 には、メモリセル 2 1 がマトリクス状に設けられている（図 1（A）参照）。メモリセル 2 1 は、記憶素子 8 0 を有する。記憶素子 8 0 は、絶縁表面を有する基板 3 0 上に、第 1 の方向に延びた第 1 の導電層 3 1 と、第 1 の導電層 3 1 の一部を覆う隔壁（絶縁層）3 6 と、第 1 の導電層 3 1、基板 3 0、及び隔壁（絶縁層）3 6 を覆う絶縁層 2 9 と、第 1 の方向と垂直な第 2 の方向に延びた第 2 の導電層 2 8 とを有する。また、ここでは、第 2 の導電層 2 8 を覆うように、保護膜として機能する絶縁層 2 7 を設ける（図 1（B）参照）。

## 【 0 0 2 7 】

ここでは、隔壁（絶縁層）3 6 は、第 1 の導電層 3 1 と並行な第 1 の方向にストライプ状に設けられ、且つ第 1 の導電層 3 1 の一方の第 1 の端部を覆う。また、絶縁層 2 9 は、少なくとも第 1 の導電層 3 1 の端部、基板 3 0 表面、及び隔壁（絶縁層）3 6 それぞれの一部を覆う構造である。ここでは、絶縁層 2 9 は基板 3 0 上全面に設けられている。

10

## 【 0 0 2 8 】

第 1 の導電層 3 1 と第 2 の導電層 2 8 の材料には導電性の高い元素や化合物等を用いる。絶縁層 2 9 の材料には、電気的作用や光が照射されることにより、結晶状態や導電性、形状が変化する物質を用いる。上記構成を有する記憶素子は、電気的作用や光の照射の前後で導電性が変化するので、「初期状態」と「導電性変化後」とに対応した 2 値を記憶させることができる。

## 【 0 0 2 9 】

なお、電気的作用とは、第 1 の導電層 3 1 と第 2 の導電層 2 8 に電圧を印加することである。

20

## 【 0 0 3 0 】

ここで、電圧印加前後での記憶素子の導電性の变化について図 2 を用いて説明する。第 1 の導電層 3 1 と第 2 の導電層 2 8 との間に電圧を印加すると、第 1 の導電層 3 1 と第 2 の導電層 2 8 とが短絡し、記憶素子の導電性が高くなる。これは、電圧を印加すると、絶縁層 2 9 に電流が流れてジュール熱が発生するためである。この熱の発生と共に、絶縁層 2 9 の温度がガラス転移点以上に上昇し、絶縁層 2 9 が流動性を増し、膜厚が不均一になる。特に、第 1 の導電層 3 1 の端部 3 1 a において流動性を増した絶縁層 2 9 が移動しやすくなる（図 2（A）参照）。この結果、絶縁層 2 9 及び第 2 の導電層 2 8 が変形し、第 1 の導電層 3 1 と変形した第 2 の導電層 2 8 a とが短絡し、記憶素子の導電性が高くなる。なお、図 2（B）において 2 9 a は変形した絶縁層である（図 2（B）参照）。

30

## 【 0 0 3 1 】

また、第 1 の導電層 3 1 と第 2 の導電層 2 8 との間に、電圧を印加すると、絶縁層 2 9 で絶縁破壊が生じる場合もある。これは、第 1 の導電層 3 1 の端部において電界が集中しやすいため、絶縁層 2 9 において絶縁破壊が生じやすくなるためである。特に、第 1 の導電層 3 1 の端部において、絶縁層 2 9 の被覆率が低く膜厚が薄い領域 2 9 b においては、さらに絶縁破壊を起こしやすい（図 2（C）参照）。

## 【 0 0 3 2 】

この結果、低電圧で書き込みを行うことができる。すなわち、低消費電力で書き込みを行うことが可能である。

40

## 【 0 0 3 3 】

図 1（A）に示す第 1 の導電層の端部 3 1 a は、基板 3 0 に対して垂直であってもよい。ここで、垂直とは、基板 3 0 と第 1 の導電層の端部の側面とが 8 5 度以上 9 0 度以下の角度を有することである。

## 【 0 0 3 4 】

また、エッチング条件を適宜適用することにより、テーパ形状の端部を有する第 1 の導電層を形成することができる。テーパ形状とは、第 1 の導電層の下地層（ここでは、基板 3 0）に対して第 1 の導電層の側面が傾斜していることである。好ましくは、第 1 の導電層の下地層に対して第 1 の導電層の側面は、1 0 度以上 8 5 度未満、好ましくは 6 0 度以

50

上 80 度以下の傾斜角度、又は 95 度以上 135 度以下の傾斜角度を有する。

【0035】

図 1 (C) においては、傾斜角度が 10 度以上 85 度以下、好ましくは 60 度以上 80 度以下のテーパ形状の端部 32a を有する第 1 の導電層 32 を示す。

【0036】

また、曲率（曲面）を有する端部 33a を有する第 1 の導電層 33 を形成することができる。ここでは、液滴吐出法、印刷法等を用いて、導電性ペーストを塗布し焼成して、第 1 の導電層の断面が、第 1 の導電層の外側に凸状の曲率を有する（図 1 (D) 参照）。導電性ペーストの代表例としては、径が数 nm ~ 数 μm の導電体粒子を溶媒又は分散媒に分散させたものを用いる。導電性粒子としては、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、及び Ba のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、又は分散性ナノ粒子を用いることができる。

10

【0037】

また、第 1 の導電層 34 の断面が、第 1 の導電層の内側に凸状の曲率（曲面）を有する端部 34a を有してもよい（図 1 (E) 参照）。このような形状の第 1 の導電層は、導電層をウエットエッチングすることにより形成することができる。

【0038】

さらには、第 1 の導電層は、記憶素子の上面から見た端部において、上記の形状を有する端部を複数有してもよい。図 1 (F) においては、複数の端部 35a、35b を有する第 1 の導電層 35 を示す。

20

【0039】

また、第 1 の導電層 31 ~ 35 の表面に撥液層を設けてもよい。撥液層とは、ガラス転移点以上の温度で流動性を有する絶縁層 29 の接触角が 40 ~ 150 度、好ましくは 60 ~ 120 度となる層である。

【0040】

撥液層の代表例としては、アルキル基やフッ化炭素鎖を有する化合物が挙げられる。

【0041】

また、フッ化炭素鎖を有する有機樹脂（フッ素系樹脂）を用いることができる。フッ素系樹脂として、ポリテトラフルオロエチレン（PTFE；四フッ化エチレン樹脂）、パーフルオロアルコキシアルカン（PFA；四フッ化エチレンパーフルオロアルキルビニルエーテル共重合樹脂）、パーフルオロエチレンプロペンコーポリマー（FEP；四フッ化エチレン - 六フッ化プロピレン共重合樹脂）、エチレン - テトラフルオロエチレンコポリマー（ETFE；四フッ化エチレン - エチレン共重合樹脂）、ポリビニリデンフルオリド（PVDF；フッ化ビニリデン樹脂）、ポリクロロトリフルオロエチレン（PCTFE；三フッ化塩化エチレン樹脂）、エチレン - クロロトリフルオロエチレンコポリマー（ECTFE；三フッ化塩化エチレン - エチレン共重合樹脂）、ポリテトラフルオロエチレン - パーフルオロジオキソールコポリマー（TFE / PDD）、ポリビニルフルオリド（PVF；フッ化ビニル樹脂）等を用いることができる。

30

【0042】

また、ガラス転移点以上の温度で流動性を有する絶縁層 29 を弾きやすくする材料として、 $R_n - Si - X_{(4-n)}$ （ $n = 1, 2, 3$ ）の化学式で表される有機シランが挙げられる。ここで、R は、フルオロアルキル基やアルキル基などの比較的不活性な基を含む物である。また、X はハロゲン、メトキシ基、エトキシ基又はアセトキシ基など、基質表面の水酸基との縮合により結合可能な加水分解基からなる。

40

【0043】

また、有機シランの一例として、R にフルオロアルキル基を有するフルオロアルキルシラン（以下、FAS ともいう。）を用いることにより、塗れ性を低下させることができる。FAS の R は、 $(CF_3)(CF_2)_x(CH_2)_y$ （ $x : 0$  以上  $10$  以下の整数、 $y : 0$  以上  $4$  以下の整数）で表される構造を持ち、複数個の R 又は X が Si に結合してい

50

る場合には、R又はXはそれぞれすべて同じでも良いし、異なってもよい。代表的なFASとしては、ヘプタデカフルオロテトラヒドロデシルトリエトキシシラン、ヘプタデカフルオロテトラヒドロデシルトリクロロシラン、トリデカフルオロテトラヒドロオクチルトリクロロシラン、トリフルオロプロピルトリメトキシシラン等のフルオロアルキルシラン(FAS)が挙げられる。

【0044】

また、有機シランの一例として、Rにアルキル基を有するアルコキシシランを用いることにより、塗れ性を低下させることができる。アルコキシシランとしては、炭素数2~30のアルコキシシランが好ましい。代表的には、エチルトリエトキシシラン、プロピルトリエトキシシラン、オクチルトリエトキシシラン、デシルトリエトキシシラン、オクタデシルトリエトキシシラン(ODS)、エイコシルトリエトキシシラン、トリアコンチルトリエトキシシランがあげられる。なお、長鎖アルキル基を有するシラン化合物は、特に塗れ性を低下させることが可能であり好ましい。

10

【0045】

さらには、絶縁層の材料がガラス転移点以上の温度で流動性を有する時に撥きやすくする材料としては、絶縁層の材料がガラス転移点以上の温度で有する接触角が、30度以上、好ましくは40度以上の材料を適宜用いることができる。

【0046】

なお、隣接する各々のメモリセル間において横方向への電界の影響が懸念される場合は、マスクを用いて絶縁層29を各メモリセルごとに分離してもよい。

20

【0047】

次に、図1とは異なるメモリセルアレイの構造を図3を用いて説明する。図3(A)に本発明の記憶装置が有するメモリセルアレイ22の上面構造を示す。また、図3(B)に図3(A)のA-B間の断面構造、図3(C)に図3(A)のC-D間の断面構造をそれぞれ示す。なお、図3(A)は、基板30上に第1の導電層31、層間絶縁層37、隔壁(絶縁層)38を形成したときの上面図であり、図3(B)、(C)は、これらの上に絶縁層29、第2の導電層28、絶縁層39を形成したときの断面図である。

【0048】

メモリセルアレイ22には、メモリセル21がマトリクス状に設けられている(図3(A)参照)。メモリセル21は、記憶素子80を有する。記憶素子80は、絶縁表面を有する基板30上に、第1の方向に延びた第1の導電層31と、第1の導電層31の一部を覆う層間絶縁層37と、層間絶縁層上に設けられたテーパ形状の隔壁(絶縁層)38が形成される(図3(A))。また、第1の導電層31、基板30、及び隔壁(絶縁層)38を覆う絶縁層29と、第1の方向と垂直な第2の方向に延びた第2の導電層28とを有する。(図3(B)、(C))。

30

【0049】

ここでは、テーパ形状の隔壁(絶縁層)38の側面は層間絶縁層表面に対して95度以上135度以下の傾斜角度を有する。

【0050】

図3(A)において、第1の導電層31の一部を覆う層間絶縁層37は、各記憶素子80ごとに開口部26を有する。層間絶縁層37は、第1の導電層31の一方の端部を覆う。また、開口部26において他方の端部及び絶縁表面を有する基板30は層間絶縁層37に覆われていない。また、隔壁(絶縁層)38は層間絶縁層37において開口部26が形成されない領域に設けられる。

40

【0051】

テーパ形状の隔壁(絶縁層)38はフォトリソグラフィ法に従い、未露光部分が残存するポジ型感光性樹脂を用い、パターン下部がより多くエッチングされるように露光量または現像時間を調節することによって形成する。

【0052】

テーパ形状の隔壁(絶縁層)38の高さは、絶縁層29及び第2の導電層28の膜厚の和

50



より大きく設定する。この結果、基板 30 全面に絶縁層 29 及び第 2 の導電層 28 を蒸着する工程のみで、電氣的に独立した複数の領域に分離され、且つ第 1 の方向と交差する方向に伸長するストライプ状の絶縁層 29 及び第 2 の導電層 28 を形成することができる。このため、工程数を削減することが可能である。なお、テーパ形状の隔壁（絶縁層）38 上にも絶縁層 29a 及び導電層 28a が形成されるが、絶縁層 29 及び導電層 28 とは分断される。

#### 【0053】

上記記憶素子 80 の構成において、基板 30 としては、ガラス基板や可撓性基板の他、石英基板、シリコン基板、金属基板、ステンレス基板、繊維質な材料からなる紙等を用いることができる。可撓性基板とは、折り曲げることができる（フレキシブル）基板のことであり、例えば、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等からなるプラスチック基板等が挙げられる。また、熱圧着可能な接着層を有するフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる）を用いることもできる。また、この他にも、Si 等の半導体基板上に形成された電界効果トランジスタ（FET）の上部や、ガラス等の基板上に形成された薄膜トランジスタ（TFT）の上部にメモリセルアレイ 22 を設けることができる。

#### 【0054】

また、第 1 の導電層 31 ~ 35 と第 2 の導電層 28 には、導電性の高い元素や化合物等を用いる。代表的には、金（Au）、銀（Ag）、白金（Pt）、ニッケル（Ni）、タングステン（W）、クロム（Cr）、モリブデン（Mo）、鉄（Fe）、コバルト（Co）、銅（Cu）、パラジウム（Pd）、炭素（C）、アルミニウム（Al）、マンガン（Mn）、チタン（Ti）、タンタル（Ta）、インジウム（In）、スズ（Sn）等から選ばれた一種の元素または当該元素を複数含む合金からなる単層または積層構造を用いることができる。上記元素を複数含んだ合金としては、例えば、Al と Ti を含んだ合金 Al-Ti、Ti と C を含んだ合金、Al と Ni を含んだ合金、Al と C を含んだ合金、Al と Ni と C を含んだ合金または Al と Mo を含んだ合金等を用いることができる。

#### 【0055】

第 1 の導電層 31 ~ 35 は、蒸着法、スパッタ法、CVD 法、印刷法、電解メッキ法、無電解メッキ法、または印刷法等を用いて形成してもよい。

#### 【0056】

第 2 の導電層 28 は、蒸着法、スパッタ法、CVD 法、印刷法または液滴吐出法を用いて形成することができる。また、第 2 の導電層 28 も図 1（B）乃至図 1（E）の様な形状の端部 31a ~ 35a、35b を有してもよい。ここでは、メタルマスクを用いた蒸着法によりチタンを蒸着して 50 ~ 200 nm の第 1 の導電層 31 及び第 2 の導電層 28 を形成する。また、第 1 の導電層 31 ~ 35 と第 2 の導電層 28 は別の方法を用いて形成してもよい。

#### 【0057】

本実施の形態において、メモリセルへのデータの書き込みは外部からの電氣的作用または光が照射されることによって行うが、光が照射されることによりデータの書き込みを行う場合、第 1 の導電層 31 ~ 35 と第 2 の導電層 28 のうち、一方または両方は透光性を有するように設ける。透光性を有する導電層は、透明な導電性材料を用いて形成するか、または、透明な導電性材料でなくても光を透過する厚さで形成する。透明な導電性材料としては、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などその他の透光性酸化物導電材料を用いることが可能である。酸化珪素を含む酸化インジウムスズや、酸化珪素を含んだ酸化インジウムに、さらに 2 ~ 20 atomic % の酸化亜鉛（ZnO）を混合したものを用いても良い。

#### 【0058】

絶縁層 29 は、有機絶縁物、外部からの電氣的作用または光が照射されることにより導電性が変化する有機化合物、無機絶縁物、又は有機化合物と無機化合物とが混合してなる層

10

20

30

40

50

で形成する。絶縁層 29 は、単層で設けてもよいし、複数の層を積層させて設けてもよい。また、有機化合物と無機化合物との混合層及び他の外部からの電気的作用または光が照射されることにより導電性が変化する有機化合物からなる層とを積層させて設けてもよい。

#### 【0059】

なお、絶縁層 29 は、外部からの電気的作用又は光が照射されることにより記憶素子の導電性が変化する膜厚で形成する。絶縁層 29 の代表的な膜厚は、5 nm から 100 nm、好ましくは 10 nm から 60 nm である。

#### 【0060】

絶縁層 29 としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等を用いることができる。

10

#### 【0061】

絶縁層 29 としては、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、エポキシ等に代表される有機樹脂を用いることができる。

#### 【0062】

また、絶縁層 29 を構成することが可能な、外部からの電気的作用または光が照射されることにより導電性が変化する有機化合物としては、正孔輸送性が高い有機化合物又は電子輸送性が高い有機化合物を用いることができる。

#### 【0063】

正孔輸送性の高い有機化合物としては、4, 4' - ビス [N - (1 - ナフチル) - N - フェニル - アミノ] - ビフェニル (略称: - NPD) や 4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル (略称: TPD) や 4, 4', 4' - トリス (N, N - ジフェニル - アミノ) - トリフェニルアミン (略称: TDATA)、4, 4', 4' - トリス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン (略称: MTDATA) や 4, 4' - ビス (N - (4 - (N, N - ジ - m - トリルアミノ) フェニル) - N - フェニルアミノ) ビフェニル (略称: DNTPD) などの芳香族アミン系 (即ち、ベンゼン環 - 窒素の結合を有する) の化合物やフタロシアニン (略称:  $H_2Pc$ )、銅フタロシアニン (略称:  $CuPc$ )、バナジルフタロシアニン (略称:  $VO P c$ ) 等のフタロシアニン化合物を用いることができる。ここに述べた物質は、主に  $10^{-6} \text{ cm}^2 / \text{Vs}$  以上  $10^{-2} \text{ cm}^2 / \text{Vs}$  以下の正孔移動度を有する物質である。但し、電子よりも正孔の輸送性が高い物質であれば、上記の物質以外のものを用いてもよい。

20

30

#### 【0064】

なお、有機化合物と無機化合物との混合層を設ける場合には、正孔輸送性の高い有機化合物と電子を受け取りやすい無機化合物とを混合させることが好ましい。このような構成とすることによって、キャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性または輸送性を示す。その結果、絶縁層 29 は優れた導電性を得ることが可能となる。

#### 【0065】

電子を受け取りやすい無機化合物として、周期表第 4 族乃至第 12 族のいずれかの遷移金属の金属酸化物、金属窒化物または金属酸化窒化物を用いることができる。具体的には、チタン酸化物 ( $TiO_x$ )、ジルコニウム酸化物 ( $ZrO_x$ )、バナジウム酸化物 ( $VO_x$ )、モリブデン酸化物 ( $MoO_x$ )、タングステン酸化物 ( $WO_x$ )、タンタル酸化物 ( $TaO_x$ )、ハフニウム酸化物 ( $HfO_x$ )、ニオブ酸化物 ( $NbO_x$ )、コバルト酸化物 ( $Co_x$ )、レニウム酸化物 ( $ReO_x$ )、ルテニウム酸化物 ( $RuO_x$ )、亜鉛酸化物 ( $ZnO$ )、ニッケル酸化物 ( $NiO_x$ )、銅酸化物 ( $CuO_x$ ) 等を用いることができる。また、ここでは具体例として酸化物を例に挙げたが、もちろんこれらの窒化物や酸化窒化物を用いてもよい。

40

#### 【0066】

電子輸送性の高い有機化合物としては、トリス (8 - キノリノラト) アルミニウム (略

50

称：Alq<sub>3</sub>）、トリス（４－メチル－８－キノリノラト）アルミニウム（略称：Almq<sub>3</sub>）、ビス（１０－ヒドロキシベンゾ[h]－キノリナト）ベリリウム（略称：BeBq<sub>2</sub>）、ビス（２－メチル－８－キノリノラト）－４－フェニルフェノラト－アルミニウム（略称：BA1q）等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料を用いることができる。また、この他、ビス〔２－（２－ヒドロキシフェニル）ベンゾオキサゾラト〕亜鉛（略称：Zn（BOX）<sub>2</sub>）、ビス〔２－（２－ヒドロキシフェニル）ベンゾチアゾラト〕亜鉛（略称：Zn（BTZ）<sub>2</sub>）などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。さらに、金属錯体以外にも、２－（４－ピフェニリル）－５－（４－tert－ブチルフェニル）－１，３，４－オキサジアゾール（略称：PBD）、１，３－ビス〔５－（p－tert－ブチルフェニル）－１，３，４－オキサジアゾール－２－イル〕ベンゼン（略称：OXD－７）、３－（４－tert－ブチルフェニル）－４－フェニル－５－（４－ピフェニリル）－１，２，４－トリアゾール（略称：TAZ）、３－（４－tert－ブチルフェニル）－４－（４－エチルフェニル）－５－（４－ピフェニリル）－１，２，４－トリアゾール（略称：p－EtTAZ）、バソフェナントロリン（略称：BPhen）、バソキュプロイン（略称：BCP）等を用いることができる。ここに述べた物質は、主に $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上 $10^{-2} \text{ cm}^2 / \text{Vs}$ 以下の電子移動度を有する物質である。但し、正孔よりも電子の輸送性の高い物質であれば、上記の物質以外のものを用いてもよい。

#### 【００６７】

なお、有機化合物と無機化合物との混合層を設ける場合には、電子輸送性の高い有機化合物と電子を与えやすい無機化合物とを混合させることが好ましい。このような構成とすることによって、本来内在的なキャリアをほとんど有さない有機化合物に多くの電子キャリアが発生し、極めて優れた電子注入性または輸送性を示す。その結果、有機化合物層は優れた導電性を得ることが可能となる。

#### 【００６８】

電子を与えやすい無機化合物として、アルカリ金属酸化物、アルカリ土類金属酸化物、希土類金属酸化物、アルカリ金属窒化物、アルカリ土類金属窒化物、希土類金属窒化物を用いることができる。具体的には、リチウム酸化物（LiO<sub>x</sub>）、ストロンチウム酸化物（SrO<sub>x</sub>）、バリウム酸化物（BaO<sub>x</sub>）、エルビウム酸化物（ErO<sub>x</sub>）、ナトリウム酸化物（NaO<sub>x</sub>）、リチウム窒化物（LiN<sub>x</sub>）、マグネシウム窒化物（MgN<sub>x</sub>）、カルシウム窒化物（CaN<sub>x</sub>）、イットリウム窒化物（YN<sub>x</sub>）、ランタン窒化物（LaN<sub>x</sub>）等を用いることができる。

#### 【００６９】

さらには、無機化合物として、有機化合物から電子を受け取りやすい無機化合物または有機化合物に電子を与えやすい無機化合物であれば何でもよく、アルミニウム酸化物（AlO<sub>x</sub>）、ガリウム酸化物（GaO<sub>x</sub>）、ケイ素酸化物（SiO<sub>x</sub>）、ゲルマニウム酸化物（GeO<sub>x</sub>）、インジウム酸化物（ITO）等のほか、種々の金属酸化物、金属窒化物または金属酸化窒化物を用いることができる。

#### 【００７０】

また、絶縁層２９が金属酸化物または金属窒化物の中から選ばれた化合物と正孔輸送性の高い化合物とから形成される場合、さらに立体障害の大きな（平面構造とは異なり空間的な広がりを有する構造をもつ）化合物を加えた構成としてもよい。立体障害の大きな化合物としては、５，６，１１，１２－テトラフェニルテトラセン（略称：ルブレン）が好ましい。但し、これ以外に、ヘキサフェニルベンゼン、t－ブチルペリレン、９，１０－ジ（フェニル）アントラセン、クマリン５４５T等も用いることができる。この他、 dendrimer 等も有効である。

#### 【００７１】

さらには、電子輸送性の高い有機化合物で形成される層と、正孔輸送性の高い有機化合物で形成される層との間に、４－ジシアノメチレン－２－メチル－６－〔２－（１，１，７，７－テトラメチルジユロリジン－９－イル）エテニル〕－４H－ピラン（略称：DC

J T)、4 - ジシアノメチレン - 2 - t - ブチル - 6 - [ 2 - ( 1 , 1 , 7 , 7 - テトラメチルジユロリジン - 9 - エニル ) イル ) エテニル ] - 4 H - ピラン、ペリフランテン、2 , 5 - ジシアノ - 1 , 4 - ビス [ 2 - ( 10 - メトキシ - 1 , 1 , 7 , 7 - テトラメチルジユロリジン - 9 - イル ) エテニル ] ベンゼン、N , N ' - ジメチルキナクリドン ( 略称 : D M Q d )、クマリン 6、クマリン 5 4 5 T、トリス ( 8 - キノリノラト ) アルミニウム ( 略称 : A l q<sub>3</sub> )、9 , 9 ' - ビアントリル、9 , 10 - ジフェニルアントラセン ( 略称 : D P A ) や 9 , 10 - ビス ( 2 - ナフチル ) アントラセン ( 略称 : D N A )、2 , 5 , 8 , 11 - テトラ - t - ブチルペリレン ( 略称 : T B P ) 等の発光物質を設けてもよい。

#### 【 0 0 7 2 】

10

また、絶縁層 2 9 には、光が照射されることにより、電気抵抗が変化する材料を用いることができる。例えば、光を吸収することによって酸を発生する化合物 ( 光酸発生剤 ) をドーブした共役高分子を用いることができる。共役高分子として、ポリアセチレン類、ポリフェニレンビニレン類、ポリチオフェン類、ポリアニリン類、ポリフェニレンエチニレン類等を用いることができる。また、光酸発生剤としては、アリールスルホニウム塩、アリールヨードニウム塩、o - ニトロベンジルトシレート、アリールスルホン酸 p - ニトロベンジルエステル、スルホニルアセトフェノン類、F e - アレン錯体 P F<sub>6</sub> 塩等を用いることができる。

#### 【 0 0 7 3 】

絶縁層 2 9 は、蒸着法、電子ビーム蒸着法、スパッタリング法、C V D 法等を用いて形成することができる。また、有機化合物と無機化合物とを含む混合層は、各々の材料を同時に堆積させることにより形成することができ、抵抗加熱蒸着同士による共蒸着法、電子ビーム蒸着同士による共蒸着法、抵抗加熱蒸着と電子ビーム蒸着による共蒸着法、抵抗加熱蒸着とスパッタリングによる成膜、電子ビーム蒸着とスパッタリングによる成膜など、同種、異種の方法を組み合わせ形成することができる。

20

#### 【 0 0 7 4 】

また、他の絶縁層 2 9 の形成方法として、スピンコート法、ゾル - ゲル法、印刷法または液滴吐出法等を用いてもよいし、上記方法とこれらを組み合わせてもよい。

#### 【 0 0 7 5 】

また、本実施の形態では、上記構成において、第 1 の導電層 3 1 ~ 3 5 と絶縁層 2 9 との間に、整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、またはダイオードである。このように、整流性があるダイオードを設けることにより、1 つの方向にしか電流が流れないために、読み出し誤差が減少し、読み出し電圧の幅 ( マージン ) が向上する。なお、整流性を有する素子は、絶縁層 2 9 と第 2 の導電層 2 8 との間に設けてもよい。

30

#### 【 0 0 7 6 】

ここで、本発明の記憶装置の構成とデータの書き込み方法について説明する。

#### 【 0 0 7 7 】

図 4 に本発明の記憶装置の構成を示す。本発明の記憶装置 5 0 8 はカラムデコーダ 5 0 1、ローデコーダ 5 0 2、読み出し回路 5 0 4、書き込み回路 5 0 5、セクタ 5 0 3、メモリセルアレイ 2 2 を有する。メモリセルアレイ 2 2 は複数のメモリセル 2 1 を有する。メモリセル 2 1 は、記憶素子 8 0 を有する。記憶素子の各々は、ビット線 B m ( 1 m x ) を構成する第 1 の導電層、ワード線 W n ( 1 n y ) を構成する第 2 の導電層、ビット線とワード線との間に設けられた絶縁層を有する。なお、ここで示す記憶装置 5 0 8 の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

40

#### 【 0 0 7 8 】

カラムデコーダ 5 0 1 はメモリセルアレイの列を指定するアドレス信号を受けて、指定列のセクタ 5 0 3 に信号を与える。セクタ 5 0 3 はカラムデコーダ 5 0 1 の信号を受けて指定列のビット線を選択する。ローデコーダ 5 0 2 はメモリセルアレイの行を指定する

50

アドレス信号を受けて、指定行のワード線を選択する。上記動作によりアドレス信号に対応する一つのメモリセル21が選択される。読み出し回路504は選択されたメモリセルが有するデータを読み出し、増幅して出力する。書き込み回路505は書き込みに必要な電圧を生成し、選択されたメモリセルの記憶素子に電圧を印加することでデータの書き込みを行う。

#### 【0079】

図4(B)に本発明の記憶装置が有する書き込み回路505の構成を示す。書き込み回路505は電圧発生回路701、タイミング制御回路702、スイッチSW0、SW1、出力端子Pwを有する。電圧発生回路701は昇圧回路等で構成され、書き込みに必要な電圧V1を生成し、出力端子Paから出力する。タイミング制御回路702は、書き込み制  
10  
御信号(WEと記載する)、データ信号(DATAと記載する)、クロック信号(CLKと記載する)等からスイッチSW0、SW1をそれぞれ制御する信号S0、S1を生成し、それぞれ出力端子P0、P1から出力する。スイッチSW0は接地とPwとの接続、SW1は電圧発生回路701の出力端子PaとPwとの接続をON/OFFして、書き込み回路の出力端子Pwからの出力電圧Vwを切り替えることができる。

#### 【0080】

次に記憶素子の導電性を変化させていない初期状態を「0」とし、記憶素子の導電性を変化させる短絡状態の場合を「1」としたときの書き込み動作について説明する。まず入力信号WEがHiになると、列を指定するアドレス信号を受けたカラムデコード501は指定列のセクタ503に信号を与え、セクタ503は指定列のビット線を書き込み回路  
20  
の出力端子Pwに接続する。指定されていないビット線は非接続(フローティングと記載する)状態となっており、書き込み回路の出力電圧VwはV1となる。同様に行を指定するアドレス信号を受けたローデコード502は指定行のワード線に電圧V2を印加し、指定されていないワード線に0Vを印加する。上記動作によりアドレス信号に対応する一つの記憶素子が選択される。

#### 【0081】

入力信号WEがLoになると、全てのワード線は0Vとなり、全てのビット線は Floating 状態となる。同時にタイミング制御回路は信号S0、S1=Loを生成して出力端子P0、P1から出力し、書き込み回路の出力端子PwはFloating 状態となる。上記動作により、書き込みは行われなくなる。  
30

#### 【0082】

このようにして「1」の書き込みを行うことができる。

#### 【0083】

続いて、光が照射されることによりデータの書き込みを行う場合について説明する。この場合、レーザ照射装置により、透光性を有する導電層側から、絶縁層に対して、レーザ光を照射することにより行う。

#### 【0084】

絶縁層に選択的にレーザ光を照射することにより、絶縁層が酸化又は炭化して絶縁化する。そうすると、レーザ光が照射された記憶素子80の抵抗値は増加し、レーザ光が照射されない記憶素子80の抵抗値は変化しない。  
40

#### 【0085】

次に、データの読み出しについて説明する。図11には、読み出しを説明するために必要な部分を抽出した記憶装置を示す。記憶装置はカラムデコード2001、ローデコード2002、読み出し回路2003、セクタ2005、メモリセルアレイ2006を有する。メモリセルアレイ2006はビット線Bm(1 m x)、ワード線Wn(1 n y)、ビット線とワード線との交点にx x y個のメモリセル2011を有する。本実施の形態では、メモリセル2011は記憶素子2013を有する。読み出し回路2003は電圧発生回路2007、センスアンプ2008、抵抗素子2009、データ出力回路2010、入出力端子Prを有し、抵抗素子2009と入出力端子Prとの間からセンスアンプ2008に入力する点を とする。  
50

## 【0086】

電圧発生回路2007は読み出し動作に必要な電圧 $V_{read}$ 、 $V_{ref}$ を生成し、それぞれP1、P2から出力する。データの読み出しは低い電圧を使用するため、電圧 $V_{read}$ は電源電圧( $V_{DD}$ )を使用することも可能である。電圧 $V_{ref}$ は電圧 $V_{read}$ よりも低い電圧であり、電源電圧と接地電圧との間の電圧の抵抗分割により生成する。したがって読み出し回路2003が有する電圧発生回路2007は、書き込み回路が有する電圧発生回路とは異なる構成を有する。センスアンプ2008は点の電圧と電圧 $V_{ref}$ との大きさを比較してその結果を出力する。データ出力回路2010は読み出し制御信号(以降REと記す)により制御され、センスアンプ2008の出力からメモリセルが有するデータを取得し、当該データを増幅して出力する。

10

## 【0087】

次に、m列n行目のメモリセル2011が有するデータを読み出す動作を説明する。まず、列を指定するアドレス信号を受けたカラムデコーダ2001はm列のセレクト2005に信号を与え、セレクト2005はm列のビット線 $B_m$ を読み出し回路の入出力端子Prに接続する。指定されていないビット線は非接続( $Fl o a t i n g$ )状態となる。同様に行を指定するアドレス信号を受けたローデコーダ2002はn行のワード線 $W_n$ に電圧 $V_{read}$ を印加し、指定されていないワード線に0Vを印加する。同時に電圧発生回路2007の出力端子P1、P2から電圧 $V_{read}$ 、 $V_{ref}$ を出力する。上記動作によって抵抗素子2009と記憶素子2013の直列抵抗に電圧 $V_{read}$ を印加した状態となり、点の電圧はこれら二つの素子によって抵抗分割により得られた値を取る。

20

## 【0088】

ここで点の取りうる電圧を説明するために、図14に「1」の書き込みを行った記憶素子のI-V特性2115、「0」の書き込みを行った記憶素子のI-V特性2116、抵抗素子2009のI-V特性2117を示す。ここで抵抗素子2009はトランジスタとする。また図14の横軸は点の電圧を示す。「1」の書き込みを行った記憶素子のI-V特性2115は、記憶素子2113の電気抵抗が小さいため、点の電圧が低くても電流値が急激に増大する。「0」の書き込みを行った記憶素子のI-V特性2116は、記憶素子2113がダイオード特性を示すため、点の電圧がある値以上になると電流値が変化する。抵抗素子2009のI-V特性2117は、点の電圧が上昇すると電流値が減少し、点の電圧が $V_{read}$ で電流値が0となる。

30

## 【0089】

図14から点の取りうる電圧は次のように説明できる。記憶素子2113に「1」が書き込まれているときは、「1」の書き込みを行った記憶素子のI-V特性2115と抵抗素子2009のI-V特性2117との交点Aの電圧 $V_A$ が点の電圧となる。また記憶素子2113に「0」が書き込まれているときは、「0」の書き込みを行った記憶素子のI-V特性2116と抵抗素子2009のI-V特性2117との交点Bの電圧 $V_B$ が点の電圧となる。

## 【0090】

またセンスアンプ2008は点の電圧と $V_{ref}$ の大きさを比較する機能を有している。ここで電圧 $V_{ref}$ は電圧 $V_A$ よりも大きく電圧 $V_B$ よりも小さい電圧とし、望ましくは $(V_A + V_B) / 2$ とする。このように電圧を設定することで、センスアンプ2008により点の電圧が $V_{ref}$ よりも小さいと判断された場合、点の電圧は電圧 $V_A$ であると考えられ、記憶素子2113には「1」が書き込まれていることが分かる。逆に点の電圧が $V_{ref}$ よりも大きいと判断された場合、点の電圧は電圧 $V_B$ であると考えられ、記憶素子2113には「0」が書き込まれていることが分かる。

40

## 【0091】

点の電圧が $V_{ref}$ よりも小さい場合、センスアンプは「1」を示す信号を出力し、点の電圧が $V_{ref}$ よりも大きい場合、センスアンプは「0」を示す信号を出力する。データ出力回路2110は、外部から入力される制御信号REを基に、センスアンプ2008の出力信号からデータを取り込み、当該データを増幅して出力する機能を有している。

50

上記の動作により読み出しを行うことができる。

【0092】

本実施の形態は記憶素子の抵抗値を電圧の大きさに置き換えて読み取っているが、本発明はこれに限定されずに実施することができる。例えば記憶素子の抵抗値を電流の大きさに置き換えて読みとる方法や、ビット線をプリチャージする方法を採用することも可能である。

【0093】

(実施の形態2)

本実施の形態では、上記実施の形態1とは異なる構成を有する記憶装置について説明する。具体的には、記憶装置の構成がアクティブマトリクス型の場合に関して示す。

10

【0094】

本実施の形態で示す記憶装置の一構成例は、実施の形態1に示す記憶装置508と同様に、カラムデコーダ501、ローデコーダ502、読み出し回路504、書き込み回路505、セクタ503、メモリセルアレイ222を有する。メモリセルアレイ222はビット線 $B_m(1 \sim m \text{ } x)$ 、ワード線 $W_n(1 \sim n \text{ } y)$ 、ビット線とワード線との交点に $x \times y$ 個のメモリセル221を有する(図5参照)。

【0095】

メモリセル221は、ビット線 $B_m(1 \sim m \text{ } x)$ を構成する第1の配線と、ワード線 $W_n(1 \sim n \text{ } y)$ を構成する第2の配線と、トランジスタ240と、記憶素子241とを有する。記憶素子241は、一对の導電層の間に、絶縁層が挟まれた構造を有する。なお、ここで示す記憶装置216の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

20

【0096】

次に、上記構成を有するメモリセルアレイ222の上面図と断面図の一例に関して図6を用いて説明する。なお、図6(A)はメモリセルアレイ222の上面図の一例を示しており、図6(B)は図6(A)におけるA-B間の断面図を示している。

【0097】

メモリセルアレイ222は、絶縁表面を有する基板230上にスイッチング素子として機能するトランジスタ240および当該トランジスタ240に接続された記憶素子241とを複数有している(図6(A)、図6(B)参照)。記憶素子241は、絶縁層247上に形成される第1の導電層243と、第1の導電層の一部を覆う隔壁(絶縁層)249と、第1の導電層243の端部、絶縁層247、及び隔壁(絶縁層)249を覆う絶縁層244と、第2の導電層245とを有する。また、絶縁層244は第1の導電層243と第2の導電層245間に挟まれて設けられている。また隔壁(絶縁層)249は、開口部242を有する。また、当該開口部242において絶縁層244は、第1の導電層243の端部及び絶縁層247の一部を覆っている。また、トランジスタ240として、TFTを用いている(図6(B)参照)。

30

【0098】

さらには、トランジスタ240はスイッチング素子として機能し得るものであれば、どのような構成で設けてもよい。代表的には、有機化合物を用いて有機トランジスタを形成してもよい。図6(A)では、絶縁性を有する基板上にプレーナ型の薄膜トランジスタを設けた例を示しているが、スタガ型や逆スタガ型等の構造でトランジスタを形成することも可能である。

40

【0099】

また、単結晶基板やSOI(silicon on insulator)基板を用いて、トランジスタを形成し、その上に記憶素子を設けてもよい。SOI基板はウェハの貼り合わせによる方法や酸素イオンをSi基板内に打ち込むことにより内部に絶縁層を形成するSIMOX(separation by implanted oxygen)と呼ばれる方法を用いて形成すればよい。ここでは、図6(C)に示すように、単結晶半導

50

体基板 2 6 0 上に設けられた電界効果トランジスタ 2 6 2 に記憶素子 2 4 1 が接続されている。また、電界効果トランジスタ 2 6 2 のソース電極およびドレイン電極を覆うように絶縁層 2 5 0 を設け、当該絶縁層 2 5 0 上に記憶素子 2 4 1 を設けている。

#### 【 0 1 0 0 】

記憶素子 2 4 1 は、絶縁層 2 5 0 上に形成される第 1 の導電層 2 6 3 と、第 1 の導電層の一部を覆う隔壁（絶縁層）2 4 9 と、第 1 の導電層 2 6 3 の端部、絶縁層 2 5 0、及び隔壁（絶縁層）2 4 9 を覆う絶縁層 2 4 4 と、第 2 の導電層 2 4 5 とを有する。また、絶縁層 2 4 4 は第 1 の導電層 2 6 3 と第 2 の導電層 2 4 5 間に挟まれて設けられている。また隔壁（絶縁層）2 4 9 は、開口部 2 4 2 を有する。また、当該開口部 2 4 2 において絶縁層 2 4 4 は、第 1 の導電層 2 6 3 の端部及び絶縁層 2 5 0 の一部を覆っている。

10

#### 【 0 1 0 1 】

このように、絶縁層 2 5 0 を設けて記憶素子 2 4 1 を形成することによって第 1 の導電層 2 6 3 を自由に配置することができる。つまり、図 6 ( A )、( B ) の構成では、トランジスタ 2 4 0 のソースまたはドレイン電極を避けた領域に記憶素子 2 4 1 を設ける必要があったが、上記構成とすることによって、例えば、素子形成層 2 5 1 に設けられたトランジスタ 2 4 0 の上方に記憶素子 2 4 1 を形成することが可能となる。その結果、記憶装置 2 1 6 をより高集積化することが可能となる。

#### 【 0 1 0 2 】

なお、図 6 ( B )、( C ) に示す構成において、絶縁層 2 4 4 は基板全面に設けた例を示しているが、各メモリセルのみに絶縁層 2 4 4 を選択的に設けてもよい。この場合、液滴吐出法等を用いて選択的に設けることにより材料の利用効率を向上させることが可能となる。

20

#### 【 0 1 0 3 】

また、トランジスタに含まれる半導体層の構造もどのようなものを用いてもよく、例えば不純物領域（ソース領域、ドレイン領域、LDD領域を含む）を形成してもよいし、pチャネル型またはnチャネル型のどちらで形成してもよい。また、ゲート電極の側面と接するように絶縁層（サイドウォール）を形成してもよいし、ソース、ドレイン領域とゲート電極の一方または両方にシリサイド層を形成してもよい。シリサイド層の材料としては、ニッケル、タングステン、モリブデン、コバルト、白金等を用いることができる。

#### 【 0 1 0 4 】

第 1 の導電層 2 4 3、2 6 3 と第 2 の導電層 2 4 5 の材料および形成方法は、上記実施の形態 1 で示した材料および形成方法のいずれかを用いて同様に行うことができる。

30

#### 【 0 1 0 5 】

また、絶縁層 2 4 4 は、上記実施の形態 1 で示した絶縁層 2 9 と同様の材料および形成方法を用いて設けることができる。

#### 【 0 1 0 6 】

また、第 1 の導電層 2 4 3、2 6 3 と絶縁層 2 4 4 との間に、整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、又はダイオードである。なお、整流性を有する素子は、絶縁層 2 4 4 と第 2 の導電層 2 4 5 との間に設けてもよい。

40

#### 【 0 1 0 7 】

また、基板 2 3 0 上に剥離層を設け、剥離層上に複数のトランジスタを有する層 2 4 8 及び記憶素子 2 4 1 を形成した後、複数のトランジスタを有する層 2 4 8 及び記憶素子 2 4 1 を剥離層から剥離し、基板 4 6 1 上に接着層 4 6 2 を介してトランジスタを有する層 2 4 8 及び記憶素子 2 4 1 を貼り合わせても良い（図 9 参照）。なお剥離方法としては、（ 1 ）耐熱性の高い基板と複数のトランジスタを有する層の間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化して、当該複数のトランジスタを有する層を剥離する方法、（ 2 ）透光性を有する基板と複数のトランジスタを有する層の間に水素を含む非晶質珪素膜を設け、水素を含む非晶質珪素膜にレーザ光を照射する方法、またはエッチングにより当該非晶質珪素膜を除去することで、当該複数のトランジスタを有する層を透光性

50



を有する基板から剥離する方法、(3)複数のトランジスタが形成された耐熱性の高い基板を機械的に削除する方法、(4)耐熱性の高い基板と複数のトランジスタを有する層の間に剥離層及び金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化し、剥離層の一部を溶液や $\text{NF}_3$ 、 $\text{BrF}_3$ 、 $\text{ClF}_3$ 等のフッ化ハロゲンガスによりエッチングで除去した後、脆弱化された金属酸化膜において物理的に剥離する方法、(5)基板230に、耐熱性を有する基板を用い、当該基板230と複数のトランジスタを有する層248との間に剥離層及び金属酸化膜を設け、金属酸化膜を脆弱化し、トランジスタ240の導電層を絶縁する絶縁層及び絶縁層249の一部にレーザー光を照射して、開口部(剥離層の一部を露出する開口部)を形成した後、脆弱化された金属酸化膜を用いて物理的に基板230から複数のトランジスタを有する層248及び記憶素子241を剥離する方法等を用いれ

10

#### 【0108】

また、基板461としては、実施の形態1で示した基板30で示した可撓性基板、熱圧着可能な接着層を有するフィルム、繊維質な材料からなる紙等を用いることで、記憶装置の小型、薄型、軽量化を図ることが可能である。

#### 【0109】

次に、記憶装置216にデータの書き込みを行うときの動作について説明する(図5)。書き込み回路は図4(B)と同じ構成を有する。

#### 【0110】

図5に示すように、メモリセルはトランジスタ240と記憶素子241とを有する。本明細書の添付図において記憶素子は長方形を用いて表す。トランジスタ240はゲート電極にワード線が接続され、一方の高濃度不純物領域にビット線が接続され、もう一方の高濃度不純物領域に記憶素子241の第1の導電層が接続されている。記憶素子241の第2の導電層はメモリセルアレイ内の全記憶素子の第2の導電層と導通しており、記憶装置の動作時、つまり書き込み時、読み出し時に一定の電圧が印加される。したがって、本明細書において第2の導電層を共通電極と記載する場合がある。

20

#### 【0111】

次に記憶素子の導電性を変化させていない初期状態を「0」とし、記憶素子の導電性を変化させる短絡状態の場合を「1」としたときの書き込み動作について説明する。まず入力信号WEがHiになると、列を指定するアドレス信号を受けたカラムデコーダ501は指定列のセクタ503に信号を与え、セクタ503は指定列のビット線を書き込み回路の出力端子Pwに接続する。指定されていないビット線は非接続(フローティングと記載する)状態となっており、書き込み回路の出力電圧VwはV1となる。同様に行を指定するアドレス信号を受けたローデコーダ502は指定行のワード線に電圧V2を印加し、指定されていないワード線に0Vを印加する。上記動作によりアドレス信号に対応する一つの記憶素子241が選択される。このとき共通電極には、0Vが印加される。

30

#### 【0112】

同時に入力信号DATA=Hiを受けることにより、電圧発生回路701は電圧V1を生成し、出力端子Paから出力することができる。タイミング制御回路702は入力信号WE、DATA、CLK、電源電位(VDD)等から、スイッチSW0、SW1を制御する信号S0、S1を生成し、出力端子P0、P1から出力することができる。当該信号によりスイッチSW0、SW1のON/OFFが切り替わり、書き込み回路505は出力端子Pwから出力電圧Vwとして電圧V1を出力することができる。

40

#### 【0113】

選択された記憶素子は、上記動作によりワード線に電圧V2が印加され、ビット線に電圧V1が印加され、共通電極に0Vが印加されることとなる。するとトランジスタ240の不純物領域が導通して、ビット線の電圧V1が記憶素子の下部電極に印加される。その結果、記憶素子の導電性が変化し、短絡状態となり「1」が書き込まれる。

#### 【0114】

また入力信号WEがLo(書き込み不許可となる低い電圧)になると、全てのワード線は

50

0 Vとなり、全てのビット線と共通電極は フローティング状態となる。このときタイミング制御回路は信号 S 0、S 1としてそれぞれ L oを生成し、出力端子 P 0、P 1から出力し、出力端子 P wはフローティング状態となる。上記動作により、書き込みは行われなくなる。

#### 【0115】

次に、「0」の書き込みを説明する。「0」の書き込みは記憶素子の導電性を変化させない書き込みであり、これは記憶素子に電圧を印加しない、つまり初期状態を維持することで実現される。まず「1」の書き込みと同様に入力信号 W Eが H i（書き込み許可となる高い電圧）になると、列を指定するアドレス信号を受けたカラムデコーダ 5 0 1は指定列のセレクトに信号を与え、セレクト 5 0 3は指定列のビット線を書き込み回路の出力端子 P wに接続する。このとき指定されていないビット線はフローティング状態となる。同様に行を指定するアドレス信号を受けたローデコーダ 5 0 2は指定行のワード線に電圧 V 2を印加し、指定されていないワード線に 0 Vを印加する。上記動作によりアドレス信号に対応する一つの記憶素子 5 0 7が選択される。このとき共通電極には、0 Vが印加される。

10

#### 【0116】

同時に入力信号 D A T A = L oを受け、タイミング制御回路 7 0 2はそれぞれ制御信号 S 0 = H i、S 1 = L oを生成し、当該制御信号を出力端子 P 0、P 1からそれぞれ出力する。当該制御信号によりスイッチ S W 0はオン、S W 1はオフとなり、出力端子 P wから出力電圧 V wとして 0 Vを出力する。

20

#### 【0117】

選択されたメモリセルは、上記動作によりワード線に V 2が印加され、ビット線と共通電極に 0 Vが印加される。すると記憶素子には電圧が印加されず、導電性は変化しないので、初期状態である「0」を維持する。

#### 【0118】

入力信号 W Eが L oになると、全てのワード線は 0 V、全てのビット線と共通電極は フローティング状態となる。同時にタイミング制御回路は信号 S 0、S 1として L oを生成して、それぞれ出力端子 P 0、P 1から出力し、出力端子 P wはフローティング状態となる。

#### 【0119】

このようにして「1」又は「0」の書き込みを行うことができる。

30

#### 【0120】

本実施の形態の記憶装置はカラムデコーダ 2 0 0 1、ローデコーダ 2 0 0 2、読み出し回路 2 0 0 3、セレクト 2 0 0 5、メモリセルアレイ 2 0 0 6を有する。メモリセルアレイ 2 0 0 6はビット線 B m ( 1 m x )、ワード線 W n ( 1 n y )、ビット線とワード線との交点に x x y 個のメモリセル 2 0 1 1を有する。本実施の形態では、メモリセル 2 0 1 1はトランジスタ 2 0 1 2、記憶素子 2 0 1 3、共通電極 2 0 1 4を有する ( 図 1 1 ( B ) 参照 ) )。なお、読み出し動作は実施の形態 1と同様である。

#### 【0121】

なお、本実施の形態は上記実施の形態と自由に組み合わせて行うことができる。

40

#### 【0122】

第1の導電層の端部を覆う絶縁層を有する記憶素子を有することによって、データの書き込み時の駆動電圧を低下することが可能である。この結果、低消費電力の記憶装置及び半導体装置を提供することができる。

#### 【0123】

##### (実施の形態 3)

本実施の形態では、上記実施の形態で示す記憶装置を有する半導体装置の一例に関して図面を用いて説明する。

#### 【0124】

本実施の形態で示す半導体装置は、非接触でデータの読み出しと書き込みが可能である

50

ことを特徴としており、データの伝送形式は、一對のコイルを対向に配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別されるが、いずれの方式を用いてもよい。また、データの伝送に用いるアンテナは2通りの設け方があり、1つは複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合、もう1つは複数の素子および記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合がある。

【0125】

まず、複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合の半導体装置の一構成例を図7を用いて説明する。

10

【0126】

図7(A)はパッシブマトリクス型で構成される記憶装置を有する半導体装置を示しており、基板350上にトランジスタ451、452を含む素子形成層351が設けられ、素子形成層351の上方に記憶素子352とアンテナとして機能する導電層353が設けられている。ここでは、記憶装置を構成するトランジスタ452と、電源回路、クロック発生回路、またはデータ復調・変調回路を構成するトランジスタ451を示す。

【0127】

なお、ここでは素子形成層351の上方に記憶素子352及びアンテナとして機能する導電層353、360を設けた場合を示しているが、この構成に限られず記憶素子352またはアンテナとして機能する導電層353を、素子形成層351の下方や同一の層に設けることも可能である。

20

【0128】

記憶素子352は、絶縁層247上に形成される第1の導電層361と、第1の導電層の一部を覆う隔壁(絶縁層)374と、第1の導電層361の端部、絶縁層247、及び隔壁(絶縁層)374を覆う絶縁層362と、第2の導電層363とを有する。また、絶縁層362は第1の導電層361と第2の導電層363間に挟まれて設けられている。また隔壁(絶縁層)374は、開口部を有する。また、当該開口部において絶縁層362は、第1の導電層361の端部及び絶縁層247の一部を覆っている。また、トランジスタ451に接続される導電層360及び導電層360上に形成される導電層353を有する。なお、導電層360、353はアンテナとして機能する。また、第2の導電層363及びアンテナとして機能する導電層353を覆って保護膜として機能する絶縁層366が形成されている。また、記憶素子352が形成される第1の導電層361は、一つのトランジスタのソース電極またはドレイン電極に接続する。なお、図7(A)においては、記憶素子352一つを示すが、第1の導電層361の他の一辺の端部においても記憶素子が形成されている。また、記憶素子352は上記実施の形態で示した材料または作製方法を用いて形成することができる。

30

【0129】

また、記憶素子352において、上記実施の形態で示したように、第1の導電層361と絶縁層362との間、または絶縁層362と第2の導電層363との間に整流性を有する素子を設けてもよい。整流性を有する素子も上述したものをを用いることが可能である。

40

【0130】

ここでは、アンテナとして機能する導電層353は第2の導電層363と同時に形成された導電層360上に設けられている。

【0131】

アンテナとして機能する導電層353の材料としては、金(Au)、白金(Pt)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、銅(Cu)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)等から選ばれた一種の元素または当該元素を複数含む合金等を用いることができる。また、アンテナとして機能する導電層353の形成方法は、蒸着、スパッタ、CVD法、スクリーン印刷やグラビア印刷等の各種印刷法または液滴吐出法等を用いることができる。

50

## 【 0 1 3 2 】

素子形成層 3 5 1 に含まれるトランジスタ 4 5 1、4 5 2 は、実施の形態 2 で示すトランジスタ 2 4 0、2 6 2 を適宜用いることができる。

## 【 0 1 3 3 】

また、実施の形態 2 に示す剥離方法を適宜用いて素子形成層 3 5 1、記憶素子 3 5 2、及びアンテナとして機能する導電層 3 5 3 を基板 3 5 0 から剥離し、基板 4 6 1 上に接着層 4 6 2 を用いて貼り付けてもよい（図 1 0 ( A ) 参照）。基板 4 6 1 としては、実施の形態 1 の基板 3 0 で示した可撓性基板、熱圧着可能な接着層を有するフィルム、繊維質な材料からなる紙等を用いることで、記憶装置の小型、薄型、軽量化を図ることが可能である。

10

## 【 0 1 3 4 】

図 7 ( B ) にアクティブマトリクス型の記憶装置を有する半導体装置の一例を示す。なお、図 7 ( B ) については、図 7 ( A ) と異なる部分に関して説明する。

## 【 0 1 3 5 】

図 7 ( B ) に示す半導体装置は、基板 3 5 0 上にトランジスタ 4 5 1、4 5 2 を含む素子形成層 3 5 1 が設けられ、素子形成層 3 5 1 の上方に記憶素子部 3 5 6 とアンテナとして機能する導電層 3 5 3、3 6 0 が設けられている。なお、ここではトランジスタ 4 5 1 と同一の層に記憶素子部 3 5 6 のスイッチング素子として機能するトランジスタ 4 5 2 を設け、素子形成層 3 5 1 の上方に記憶素子部 3 5 6 とアンテナとして機能する導電層 3 5 3 を設けた場合を示しているが、この構成に限られずトランジスタ 4 5 2 を素子形成層 3 5 1 の上方や下方に設けてもよいし、記憶素子部 3 5 6 やアンテナとして機能する導電層 3 5 3 を、素子形成層 3 5 1 の下方や同一の層に設けることも可能である。

20

## 【 0 1 3 6 】

記憶素子部 3 5 6 は、記憶素子 3 5 6 a、3 5 6 b で構成される。記憶素子 3 5 6 a は、絶縁層 2 4 7 上に形成される第 1 の導電層 3 7 1 a と、第 1 の導電層 3 7 1 a の一部を覆う隔壁（絶縁層）3 7 4 と、第 1 の導電層 3 7 1 a の端部、絶縁層 2 4 7、及び隔壁（絶縁層）3 7 4 を覆う絶縁層 3 7 2 と、第 2 の導電層 3 7 3 とを有する。また、絶縁層 3 7 2 は第 1 の導電層 3 7 1 a と第 2 の導電層 3 7 3 間に挟まれて設けられている。また隔壁（絶縁層）3 7 4 は、開口部を有する。また、当該開口部において絶縁層 3 7 2 は、第 1 の導電層 3 7 1 a の端部及び絶縁層 2 4 7 の一部を覆っている。記憶素子 3 5 6 b は、絶縁層 2 4 7 上に形成される第 1 の導電層 3 7 1 b と、第 1 の導電層 3 7 1 b の一部を覆う隔壁（絶縁層）3 7 4 と、第 1 の導電層 3 7 1 b の端部、絶縁層 2 4 7、及び隔壁（絶縁層）3 7 4 を覆う絶縁層 3 7 2 と、第 2 の導電層 3 7 3 とを有する。また、絶縁層 3 7 2 は第 1 の導電層 3 7 1 b と第 2 の導電層 3 7 3 間に挟まれて設けられている。また隔壁（絶縁層）3 7 4 は、開口部を有する。また、当該開口部において絶縁層 3 7 2 は、第 1 の導電層 3 7 1 b の端部及び絶縁層 2 4 7 の一部を覆っている。また、ここでは、トランジスタそれぞれのソース電極またはドレイン電極に、第 1 の導電層 3 7 1 a、第 1 の導電層 3 7 1 b が接続されている。すなわち、記憶素子はそれぞれひとつのトランジスタに接続されている。

30

## 【 0 1 3 7 】

なお、記憶素子 3 5 6 a、3 5 6 b は上記実施の形態で示した材料または作製方法を用いて形成することができる。また、記憶素子 3 5 6 a、3 5 6 b においても、上述したように、第 1 の導電層 3 7 1 a、3 7 1 b と絶縁層 3 7 2 との間、または絶縁層 3 7 2 と第 2 の導電層 3 7 3 との間に整流性を有する素子を設けてもよい。

40

## 【 0 1 3 8 】

また、素子形成層 3 5 1、記憶素子部 3 5 6、アンテナとして機能する導電層 3 5 3 は、上述したように蒸着、スパッタ法、CVD法、印刷法または液滴吐出法等を用いて形成することができる。なお、各場所によって異なる方法を用いて形成してもかまわない。

## 【 0 1 3 9 】

また、実施の形態 2 に示す剥離方法を適宜用いて素子形成層 3 5 1、記憶素子部 3 5 6

50

、及びアンテナとして機能する導電層 3 5 3 を基板から剥離し、基板 4 6 1 上に接着層 4 6 2 を用いて貼り付けてもよい（図 1 0（B）参照）。

【0 1 4 0】

なお、トランジスタに接続するセンサを設けてもよい。センサとしては、温度、湿度、照度、ガス（気体）、重力、圧力、音（振動）、加速度、その他の特性を物理的又は化学的手段により検出する素子が挙げられる。センサは、代表的には抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオード、圧電素子、静電容量型素子、圧電素子などの素子で形成される。

【0 1 4 1】

次に、複数の素子および記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合の半導体装置の一構成例に関して図 8 を用いて説明する。なお、図 8 に関しては図 7 と異なる部分に関して説明を行う。

10

【0 1 4 2】

図 8（A）はパッシブマトリクス型の記憶装置を有する半導体装置を示しており、基板 3 5 0 上に素子形成層 3 5 1 が設けられ、素子形成層 3 5 1 の上方に記憶素子 3 5 2 が設けられ、基板 3 6 5 に設けられたアンテナとして機能する導電層 3 5 7 が素子形成層と電氣的に接続するように設けられている。なお、ここでは素子形成層 3 5 1 の上方に記憶素子 3 5 2 またはアンテナとして機能する導電層 3 5 7 を設けた場合を示しているが、この構成に限られず記憶素子 3 5 2 を素子形成層 3 5 1 の下方や同一の層に、またはアンテナとして機能する導電層 3 5 7 を素子形成層 3 5 1 の下方に設けることも可能である。

20

【0 1 4 3】

記憶素子 3 5 2 は、図 7（A）に示す構成の記憶素子 3 5 2 で構成することができる。

【0 1 4 4】

また、素子形成層 3 5 1 と記憶素子 3 5 2 とが設けられた基板 3 5 0 と、アンテナとして機能する導電層 3 5 7 が設けられた基板 3 6 5 は、接着性を有する樹脂 3 7 5 により貼り合わされている。そして、接続端子 3 5 8 と導電層 3 5 7 とは樹脂 3 7 5 中に含まれる導電性微粒子 3 5 9 を介して電氣的に接続されている。また、銀ペースト、銅ペースト、カーボンペースト等の導電性接着剤や半田接合を行う方法を用いて素子形成層 3 5 1 と記憶素子 3 5 2 が設けられた基板 3 5 0 と、アンテナとして機能する導電層 3 5 7 が設けられた基板 3 6 5 とを貼り合わせてもよい。

30

【0 1 4 5】

図 8（B）は実施の形態 2 に示した記憶装置が設けられた半導体装置を示しており、基板 3 5 0 上にトランジスタ 4 5 1、4 5 2 を含む素子形成層 3 5 1 が設けられ、素子形成層 3 5 1 の上方に記憶素子部 3 5 6 が設けられ、基板 3 6 5 に設けられたアンテナとして機能する導電層 3 5 7 が素子形成層と接続するように設けられている。なお、ここでは素子形成層 3 5 1 においてトランジスタ 4 5 1 と同一の層にトランジスタ 4 5 2 を設け、素子形成層 3 5 1 の上方にアンテナとして機能する導電層 3 5 7 を設けた場合を示しているが、この構成に限られない。記憶素子部 3 5 6 を素子形成層 3 5 1 の下方や同一の層に、またはアンテナとして機能する導電層 3 5 7 を素子形成層 3 5 1 の下方に設けることも可能である。

40

【0 1 4 6】

また、実施の形態 2 に示す剥離方法を適宜用いて素子形成層 3 5 1、記憶素子部 3 5 6、及びアンテナとして機能する導電層 3 5 7 を基板 3 5 0 から剥離し、基板 4 6 1 上に接着層 4 6 2 を用いて貼り付けてもよい。（図 1 5（A）参照）。

【0 1 4 7】

記憶素子部 3 5 6 は、図 7（B）に示す構成の記憶素子 3 5 6 a、3 5 6 b で構成することができる。

【0 1 4 8】

また、図 8（B）においても素子形成層 3 5 1 と記憶素子部 3 5 6 が設けられた基板と、アンテナとして機能する導電層 3 5 7 が設けられた基板 3 6 5 は、導電性微粒子 3 5 9

50

を含む樹脂 375 により貼り合わせることに設けることができる。

【0149】

また、実施の形態 2 に示す剥離方法を適宜用いて素子形成層 351、記憶素子部 356、及びアンテナとして機能する導電層 357 を基板 350 から剥離し、基板 461 上に接着層 462 を用いて貼り付けてもよい。(図 15 (B) 参照)。

【0150】

さらには、記憶素子 352、356a、356b を、アンテナとして機能する導電層 357 が設けられた基板 365 に設けてもよい。また、図 7 (A) 及び (B) に示す半導体装置と同様に、トランジスタに接続するセンサを設けてもよい。

【0151】

なお、本実施の形態は、上記実施の形態と自由に組み合わせて行うことができる。

【0152】

第 1 の導電層の端部を覆う絶縁層を有する記憶素子を有することによって、データの書き込み時の駆動電圧を低下することが可能である。この結果、低消費電力の記憶装置及び半導体装置を提供することができる。

【実施例 1】

【0153】

本実施形態の半導体装置の構成について、図 12 (A) を参照して説明する。図 12 (A) に示すように、本発明の半導体装置 20 は、非接触でデータを通信する機能を有し、電源回路 11、クロック発生回路 12、データ復調・変調回路 13、他の回路を制御する制御回路 14、インターフェイス回路 15、記憶回路 16、データバス 17、アンテナ 18 (アンテナコイル)、センサ 23a、センサ回路 23b を有する。

【0154】

電源回路 11 は、アンテナ 18 から入力された交流信号を基に、半導体装置 20 の内部の各回路に供給する各種電流又は電圧を生成する回路である。クロック発生回路 12 は、アンテナ 18 から入力された交流信号を基に、半導体装置 20 の内部の各回路に供給する各種クロック信号を生成する回路である。データ復調・変調回路 13 は、リーダライタ 19 と通信するデータを復調・変調する機能を有する。制御回路 14 は、記憶回路 16 を制御する機能を有する。アンテナ 18 は、電磁界の送受信を行う機能を有する。リーダライタ 19 は、半導体装置との通信、制御及びそのデータに関する処理を制御する。なお、半導体装置は上記構成に制約されず、例えば、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した構成であってもよい。

【0155】

記憶回路 16 は、外部からの電気的作用または光が照射されることにより変化する絶縁層が一对の導電層間に挟まれた記憶素子を有することを特徴とする。なお、記憶回路 16 は、一对の導電層間に絶縁層が挟まれた記憶素子のみを有していてもよいし、他の構成の記憶回路を有していてもよい。他の構成の記憶回路とは、例えば、DRAM、SRAM、FeRAM、マスクROM、PROM、EPROM、EEPROM 及びフラッシュメモリから選択される 1 つ又は複数に相当する。

【0156】

センサ 23a は抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオード、piezo素子、静電容量型素子、圧電素子などの素子で形成される。センサ回路 23b はインピーダンス、リアクタンス、インダクタンス、電圧又は電流の変化を検出し、アナログ/デジタル変換 (A/D 変換) して制御回路 14 に信号を出力する。

【0157】

図 12 (A) に示す半導体装置 20 を、図 12 (B) に示す電子機器に用いることもできる。

【実施例 2】

【0158】

本発明により無線チップとして機能する半導体装置を形成することができる。半導体装置 9210 の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類（運転免許証や住民票等、図 13（A）参照）、包装用容器類（包装紙やボトル等、図 13（C）参照）、記録媒体（DVD ソフトやビデオテープ等、図 13（B）参照）、乗物類（自転車等、図 13（D）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、衣類、生活用品類、電子機器等の商品や荷物の荷札（図 13（E）、図 13（F）参照）等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL 表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。

#### 【0159】

10

本発明の半導体装置 9210 は、プリント基板に実装したり、表面に貼ったり、埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の半導体装置 9210 は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証券類等に本発明の半導体装置 9210 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置 9210 を設けることにより、検品システム等のシステムの効率化を図ることができる。

#### 【0160】

20

次に、本発明の半導体装置を実装した電子機器の一態様について図面を参照して説明する。ここで例示する電子機器は携帯電話機であり、筐体 2700、2706、パネル 2701、ハウジング 2702、プリント配線基板 2703、操作ボタン 2704、バッテリー 2705 を有する（図 12（B）参照）。パネル 2701 はハウジング 2702 に脱着自在に組み込まれ、ハウジング 2702 はプリント配線基板 2703 に嵌着される。ハウジング 2702 はパネル 2701 が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板 2703 には、パッケージングされた複数の半導体装置が実装されており、このうちの 1 つとして、本発明の半導体装置 9210 を用いることができる。プリント配線基板 2703 に実装される複数の半導体装置は、コントローラ、中央処理ユニット（CPU、Central Processing Unit）、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

30

#### 【0161】

パネル 2701 は、接続フィルム 2708 を介して、プリント配線基板 2703 と接続される。上記のパネル 2701、ハウジング 2702、プリント配線基板 2703 は、操作ボタン 2704 やバッテリー 2705 と共に、筐体 2700、2706 の内部に収納される。パネル 2701 が含む画素領域 2709 は、筐体 2700 に設けられた開口窓から視認できるように配置されている。

#### 【0162】

上記の通り、本発明の半導体装置 9210 は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体 2700、2706 内部の限られた空間を有効に利用することができる。

40

#### 【0163】

また、本発明の半導体装置は、従来より低い電圧の印加で記憶素子に書き込みすることが可能であり、低消費電力の半導体装置を用いた電子機器を提供することができる。

#### 【0164】

また、本発明の半導体装置が有する記憶装置は、電気的作用によりデータの書き込みを行うものであり、不揮発性であって、データの追記が可能であることを特徴とする。このため、書き換えによる偽造を防止ことができ、低消費電力で新たなデータを追加して書き込むことができる半導体装置を用いた電子機器を提供することができる。

#### 【0165】

50

なお、筐体 2700、2706 は、携帯電話機の外觀形状を一例として示したものであり、本実施例に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

### 【実施例 3】

#### 【0166】

本実施例では、図 16 に示すように、基板 30 上に記憶素子 81 ~ 84 の構造を有する試料 1 ~ 試料 16、及び比較試料 1 ~ 14 に電氣的にデータの書き込みを行ったときの書き込み電圧及び書き込み電流値を、表 1 ~ 4 及び図 17 に示す。ここでは、記憶素子の第 1 の導電層及び第 2 の導電層に電圧を印加して、記憶素子を短絡させて書き込みを行った。本実施例では、本発明の記憶素子のように、第 1 の導電層の端部を覆う絶縁層を有する記憶素子（試料 1 ~ 16）と、第 1 の導電層の端部を覆わない絶縁層を有する記憶素子（比較試料 1 ~ 14）とにおいて、書き込み電圧及び書き込み電流値を比較する。

10

#### 【0167】

表 1 に、試料 1 ~ 7 の書き込み電圧、書き込み電流値、及び記憶素子の上面形状を正方形とし、記憶素子の一辺の長さ L を示した。試料 1 ~ 7 は、図 16 (A) に示すような、絶縁表面を有する基板 30 上に、第 1 の方向に延びた第 1 の導電層 31 と、第 1 の導電層 31 の一部を覆う隔壁（絶縁層）36 と、第 1 の導電層 31、基板 30、及び隔壁（絶縁層）36 を覆うパッファ層 40 と、パッファ層 40 上に形成される絶縁層 29 と、第 1 の方向と垂直な第 2 の方向に延びた第 2 の導電層 28 とを有する記憶素子 81 の構造を有する。

#### 【0168】

記憶素子 81 は、基板 30 としてガラス基板を用い、第 1 の導電層 31 としてスパッタリング法により形成した厚さ 50 nm のチタン層を用い、パッファ層 40 として蒸着法により形成した厚さ 3 nm のフッ化カルシウム層を用い、絶縁層 29 として蒸着法により形成した厚さ 30 nm の NPB を用い、第 2 の導電層 28 として蒸着法により形成した厚さ 200 nm のアルミニウム層を用い、隔壁（絶縁層）36 として厚さ 800 nm の感光性ポリイミドを用いて構成される。

20

#### 【表 1】

試料番号	書き込み電圧(V)	書き込み電流値(A)	素子一辺の長さL(μm)
試料1	10.5	3.21E-06	5
試料2	12.3	4.95E-06	5
試料3	15.1	2.11E-06	5
試料4	11.5	3.17E-06	5
試料5	12.8	3.95E-06	5
試料6	9.9	3.81E-06	5
試料7	12.6	3.77E-06	5

30

#### 【0169】

また、図 17 において、表 1 の書き込み電圧及び書き込み電流値を黒三角印で示した。

#### 【0170】

表 2 に、試料 8 ~ 16 の書き込み電圧、書き込み電流値、及び記憶素子の上面形状を正方形とし、記憶素子の一辺の長さ L を示した。試料 8 ~ 16 は、図 16 (B) に示すような、絶縁表面を有する基板 30 上に、第 1 の方向に延びた第 1 の導電層 31 と、第 1 の導電層 31 の一方の端部を覆う隔壁（絶縁層）36 と、第 1 の導電層 31、基板 30、及び隔壁（絶縁層）36 を覆うパッファ層 41 と、パッファ層 41 上に形成される絶縁層 29 と、第 1 の方向と垂直な第 2 の方向に延びた第 2 の導電層 28 とを有する記憶素子 82 の構造を有する。

40

#### 【0171】

記憶素子 82 は、基板 30 としてガラス基板を用い、第 1 の導電層 31 としてスパッタリング法により形成した厚さ 50 nm のチタン層を用い、パッファ層 41 として蒸着法により形成した厚さ 1 nm のフッ化カルシウム層を用い、絶縁層 29 として蒸着法により形成した厚さ 30 nm の NPB を用い、第 2 の導電層 28 として蒸着法により形成した厚さ

50



200 nmのアルミニウム層を用い、隔壁（絶縁層）36として厚さ800 nmの感光性ポリイミドを用いて構成される。

【表2】

試料番号	書き込み電圧(V)	書き込み電流値(A)	素子一辺の長さL( $\mu$ m)
試料8	18.5	9.50E-07	5
試料9	13	8.40E-07	5
試料10	15.5	1.10E-06	5
試料11	14.3	1.49E-06	5
試料12	20	9.00E-08	5
試料13	16.8	1.09E-06	10
試料14	15.4	2.16E-06	5
試料15	3	2.51E-05	5
試料16	12.5	1.96E-06	3

10

【0172】

また、図17において、表2の書き込み電圧及び書き込み電流値を黒丸印で示した。

【0173】

表3に、比較試料1～8の書き込み電圧、書き込み電流値、及び記憶素子の上面形状を正方形とし、記憶素子の一辺の長さLを示した。比較試料1～8は、図16(C)に示すような、絶縁表面を有する基板30上に、第1の方向に延びた第1の導電層31と、第1の導電層31の対となる端部を覆う隔壁（絶縁層）36a、36bと、第1の導電層31、及び隔壁（絶縁層）36a、36b上に形成される絶縁層42と、第1の方向と垂直な第2の方向に延びた第2の導電層28とを有する記憶素子83の構造を有する。

20

【0174】

記憶素子83は、基板30としてガラス基板を用い、第1の導電層31としてスパッタリング法により形成した厚さ50 nmのチタン層を用い、絶縁層42として蒸着法により形成した厚さ30 nmのNPBを用い、第2の導電層28として蒸着法により形成した厚さ200 nmのアルミニウム層を用い、隔壁（絶縁層）36a、36bとして厚さ800 nmの感光性ポリイミドを用いて構成される。

【表3】

試料番号	書き込み電圧(V)	書き込み電流値(A)	素子一辺の長さL( $\mu$ m)
比較試料1	21.8	1.22E-05	5
比較試料2	23.2	1.43E-05	5
比較試料3	24.7	7.65E-06	3
比較試料4	24.3	7.22E-06	3
比較試料5	21.6	9.40E-06	3
比較試料6	27.4	5.10E-06	2
比較試料7	27.8	5.39E-06	2
比較試料8	28	5.23E-06	2

30

【0175】

また、図17において、表3の書き込み電圧及び書き込み電流値を白抜き丸印で示した。

40

【0176】

表4に、比較試料9～14の書き込み電圧、書き込み電流値、及び記憶素子の上面形状を正方形とし、記憶素子の一辺の長さLを示した。比較試料9～14は、図16(D)に示すような、絶縁表面を有する基板30上に、第1の方向に延びた第1の導電層31と、第1の導電層31の端部を覆う隔壁（絶縁層）36a、36bと、第1の導電層31、及び隔壁（絶縁層）36a、36bを覆うバッファ層43と、バッファ層43上に形成される絶縁層42と、第1の方向と垂直な第2の方向に延びた第2の導電層28とを有する記憶素子84の構造を有する。

【0177】

記憶素子84は、基板30としてガラス基板を用い、第1の導電層31としてスパッタ

50

リング法により形成した厚さ 100 nm のチタン層を用い、バッファ層 43 として蒸着法により形成した厚さ 1 nm のフッ化カルシウム層を用い、絶縁層 42 として蒸着法により形成した厚さ 30 nm の NPB を用い、第 2 の導電層 28 として蒸着法により形成した厚さ 200 nm のアルミニウム層を用い、隔壁（絶縁層）36a、36b として厚さ 800 nm の感光性ポリイミドを用いて構成される。

【表 4】

試料番号	書き込み電圧(V)	書き込み電流値(A)	素子一辺の長さL(μm)
比較試料9	23.4	1.19E-05	5
比較試料10	24.6	1.46E-05	5
比較試料11	28.1	6.92E-06	3
比較試料12	29.8	5.50E-07	3
比較試料13	33.8	4.21E-06	2
比較試料14	20.4	1.01E-06	2

10

【0178】

また、図 17 において、表 4 の書き込み電圧及び書き込み電流値を白抜き四角印で示した。

【0179】

図 17 で示すように、記憶素子 83、84 と比較して、本発明の構造を有する記憶素子 81、82 の書き込み電圧が低いことが分かった。このことから、本発明の記憶素子 81、82 を記憶装置及び半導体装置に用いることにより、消費電力を低減させることが可能である。

20

【図面の簡単な説明】

【0180】

【図 1】本発明の記憶装置を説明する上面図及び断面図。

【図 2】本発明の記憶装置を説明する断面図。

【図 3】本発明の記憶装置を説明する上面図及び断面図。

【図 4】本発明の記憶装置を説明する図。

【図 5】本発明の記憶装置を説明する図。

【図 6】本発明の記憶装置を説明する上面図及び断面図。

【図 7】本発明の半導体装置を説明する断面図。

30

【図 8】本発明の半導体装置を説明する断面図。

【図 9】本発明の半導体装置を説明する断面図。

【図 10】本発明の半導体装置を説明する断面図。

【図 11】本発明の記憶装置が有する読み出し回路を説明する図。

【図 12】本発明の半導体装置の構成例及びそれを有する電子機器を説明する図。

【図 13】本発明の半導体装置の使用形態について説明する図。

【図 14】記憶素子及び抵抗素子の電流電圧特性を説明する図。

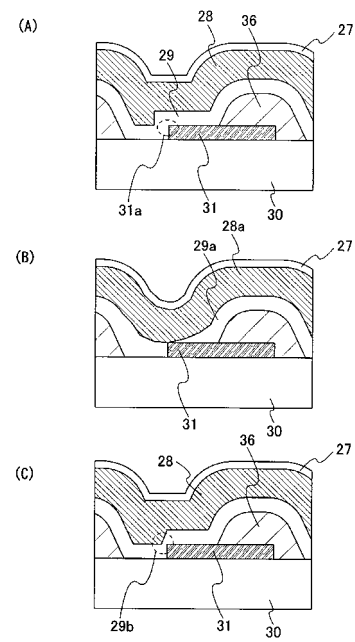
【図 15】本発明の半導体装置を説明する断面図。

【図 16】本発明の記憶素子及び比較例の記憶素子を説明する断面図。

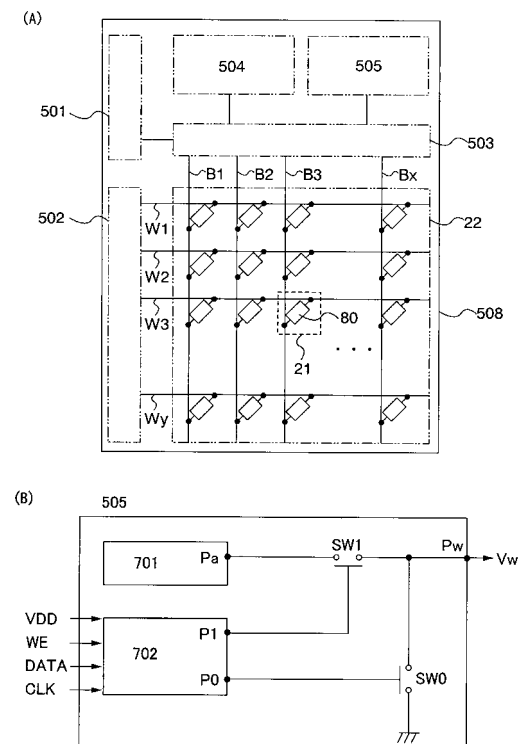
【図 17】本発明の記憶素子及び比較例の記憶素子の書き込み電圧及び書き込み電流値を説明する図。

40

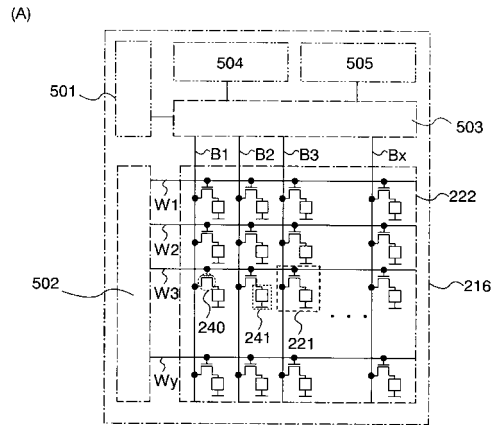
【 図 2 】



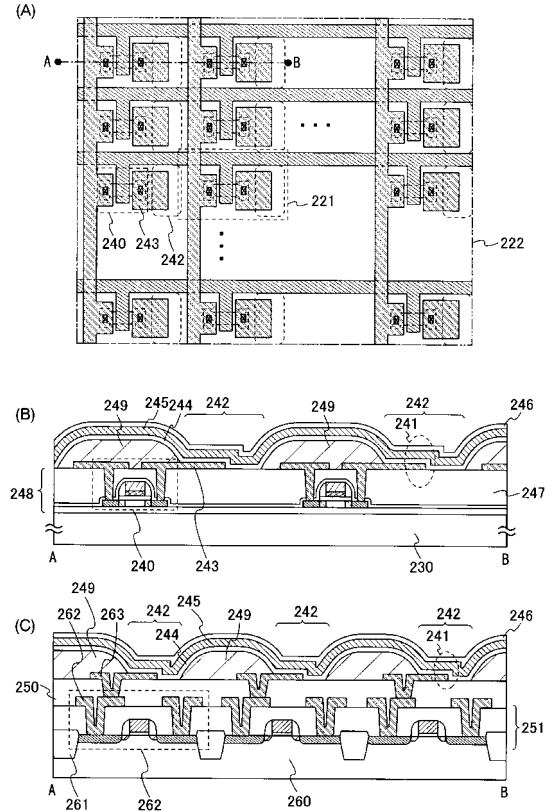
【 図 4 】



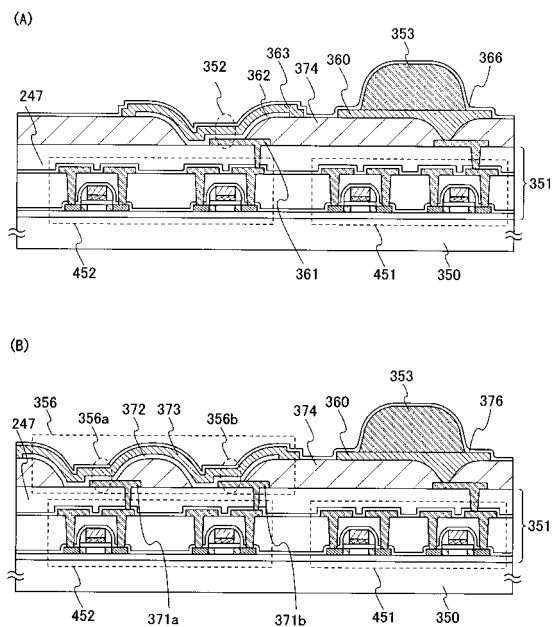
【図 5】



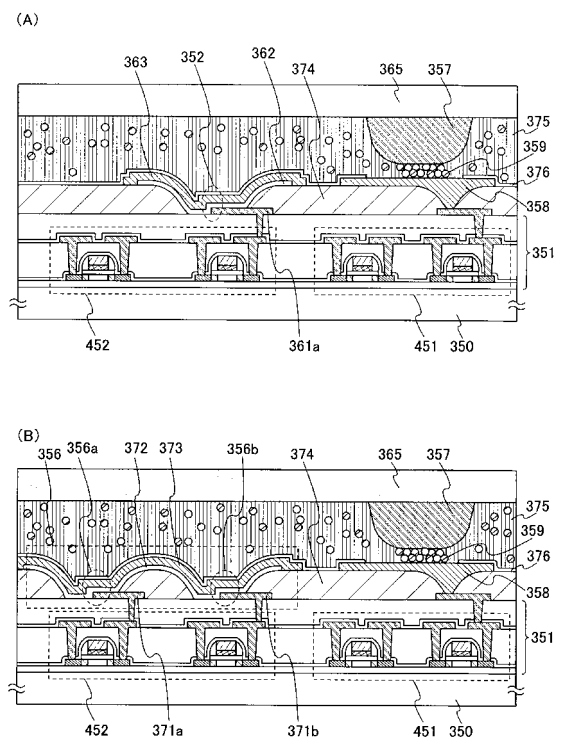
【図 6】



【図 7】

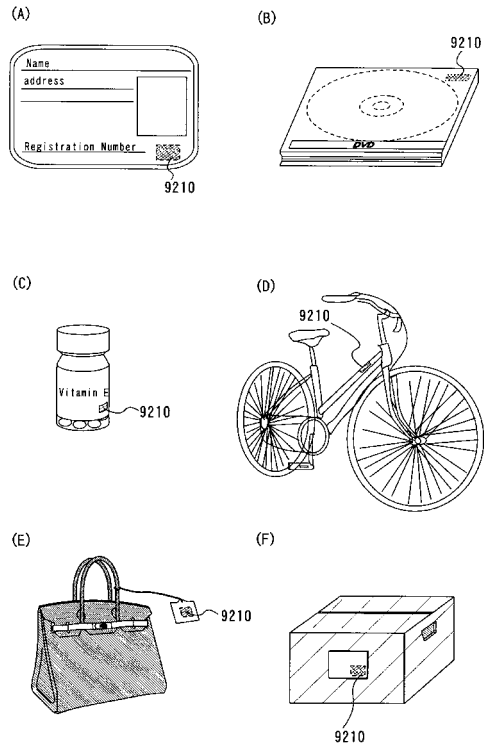


【図 8】

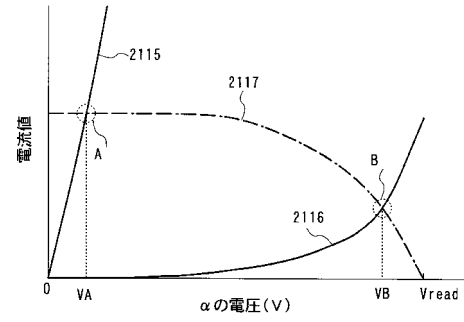




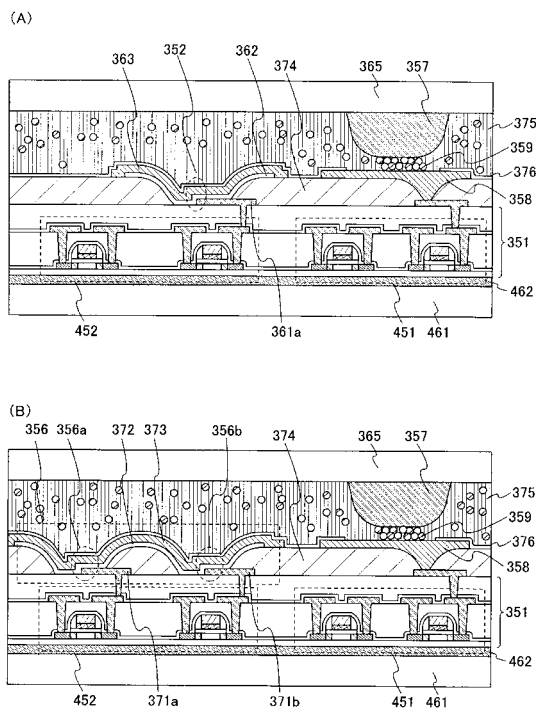
【図 13】



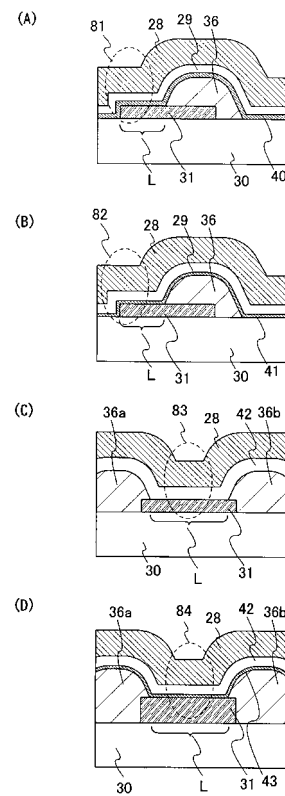
【図 14】



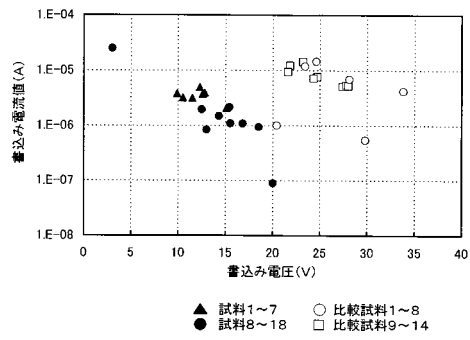
【図 15】



【図 16】



【図 17】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 45/00 (2006.01)

(72)発明者 佐藤 岳尚

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 加藤 俊哉

(56)参考文献 特開平 0 7 - 2 1 1 8 7 3 ( J P , A )  
特開平 0 2 - 2 3 9 6 6 4 ( J P , A )  
特開平 0 5 - 1 6 7 0 4 3 ( J P , A )  
特開 2 0 0 4 - 2 2 0 5 9 1 ( J P , A )  
特開 2 0 0 4 - 2 6 6 1 6 7 ( J P , A )  
特開 2 0 0 4 - 1 5 3 0 4 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 7 / 1 0  
H 0 1 L 2 7 / 1 0 5  
H 0 1 L 2 7 / 2 8  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 4 5 / 0 0  
H 0 1 L 5 1 / 0 5