



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

236710

(11)

(B1)

(51) Int. Cl.³

G 11 C 19/00

(22) Přihlášeno 14 07 82
(21) (PV 5398-82)

(40) Zveřejněno 15 09 83

(45) Vydáno 15 11 86

(75)

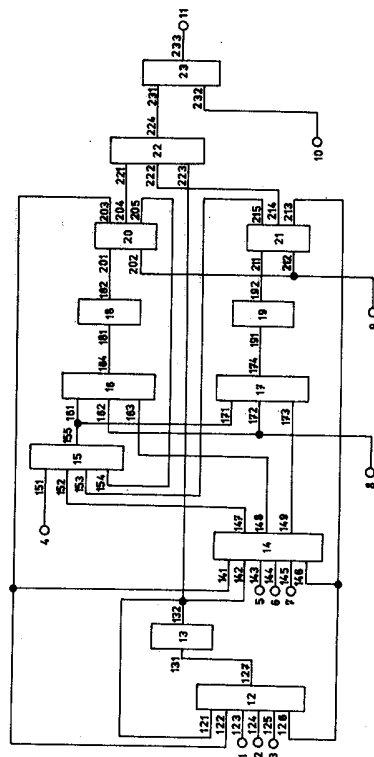
Autor vynálezu

EYSSELT MILOŠ ing., BRNO

(54) Paměťový modul pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí

Podstata paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí spočívá v tom, že je sestaven z řídicího bloku, klopného obvodu, bloku řízení výběru adresy, adresového multiplexoru, z na sobě nezávislých horního čítače mikroinstrukcí a dolního čítače mikroinstrukcí, z na sobě nezávislých horní poloviny paměti mikroprogramů a dolní poloviny paměti mikroprogramů, z na sobě nezávislých horního registru údajů a dolního registru údajů, výstupního multiplexoru a registru mikroinstrukcí, čímž se zajišťuje, že horní polovina paměti mikroprogramů a dolní polovina paměti mikroprogramů pracují současně a na sobě nezávisle.

Výše uvedený paměťový modul lze použít jako operační paměťový modul u paralelních počítačů s překrýváním vyhledávací a prováděcí fáze instrukcí.



Obr. 1

Vynález se týká paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí.

Dosud známé paměťové moduly pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí jsou řešeny tak, že paměťový modul má jeden čítač mikroinstrukcí, jednu paměť mikroprogramů a jeden registr údajů. U řadičů s tímto uspořádáním paměťového modulu lze využít překrývání výběrové a prováděcí fáze mikroinstrukcí v úsecích mikroprogramů, které neobsahují větvení podmíněnými skoky. Každý podmíněný skok, který má pokračování na dvou možných pokračovacích adresách A a B podle hodnoty proměnné, která je předmětem testu podmíněného skoku v dané mikroinstrukci, se řeší takto: Vybírá se jedna ze dvou možných pokračovacích adres, tedy probíhá výběrová fáze na jedné ze dvou možných pokračovacích adres, například adresa A, daná inkrementací čítače mikroinstrukcí.

Pokud pokračovací adresa A je právě ta pokračovací adresa, která odpovídá hodnotě proměnné zjišťované testem podmíněného skoku, průběh mikroprogramu pokračuje plynule dále. Pokud však pokračovací adresa A není právě ta pokračovací adresa, která odpovídá hodnotě proměnné zjišťované testem podmíněného skoku, pak je v registru údajů paměťového modulu nesprávná mikroinstrukce z pokračovací adresy A; je potřeba změnit adresu v čítači mikroinstrukcí na skokovou pokračovací adresu B a výběrovou fázi opakovat. Tímto způsobem dochází ke zpomalování činnosti číslicových zařízení pro automatické zpracování údajů.

Výše uvedené nedostatky jsou odstraněny paměťovým modulem pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu, jehož podstatou je, že řídicí blok je připojen stavovým vstupem na stavový výstup klopného obvodu, vstupem horního příznakového pole na výstup horního příznakového pole horního registru údajů, vstupem nastavení na vnější vstup signálů pro nastavení stavu, vstupem podmínky na vnější vstup signálu hodnoty proměnné, vstupem vyhodnocení na vnější vstup signálu pro vyhodnocení nepodmíněného skoku, vstupem dolního příznakového pole na výstup dolního příznakového pole dolního registru údajů a výstupem řízení stavu na ovládací vstup klopného obvodu.

Klopný obvod je připojen ovládacím vstupem na výstup řízení stavu řídicího bloku a stavový výstup je připojen na stavový vstup řídicího bloku a současně na stavový vstup bloku výběru adresy a současně na adresový vstup výstupního multiplexoru. Blok výběru adresy je připojen vstupem horního příznakového pole na výstup horního příznakového pole horního registru údajů, stavovým vstupem na stavový výstup klopného obvodu, instrukčním vstupem na vnější vstup signálu pro novou instrukci, zapisovacím vstupem na vnější vstup signálu pro zápis úvodní adresy, skokovým vstupem na vnější vstup signálu pro přepis adresy skoku, vstupem dolního příznakového pole na výstup dolního příznakového pole dolního registru údajů, výstupem řízení výběru adresy na adresový vstup adresového multiplexoru, výstupem horního zapisovacího signálu na vstup zápisu horního čítače mikroinstrukcí a výstupem dolního zapisovacího signálu na vstup zápisu dolního čítače mikroinstrukcí.

Adresový multiplexor je připojen prvním údajovým vstupem na vnější vstup úvodní adresy, adresovým vstupem na výstup řízení výběru adresy bloku výběru adresy, druhým údajovým vstupem na výstup adresového pole dolního registru údajů, třetím údajovým vstupem na výstup adresového pole horního registru údajů a výstupem na vstup údajů horního čítače mikroinstrukcí a současně na vstup údajů dolního čítače mikroinstrukcí. Horní čítač mikroinstrukcí je připojen vstupem údajů na výstup adresového multiplexoru, inkrementačním vstupem na vnější vstup signálu pro přičtení jedničky, vstupem zápisu na výstup horního zapisovacího signálu bloku výběru adresy a výstupem na adresový vstup horní poloviny paměti mikroprogramů.

Dolní čítač mikroinstrukcí je připojen vstupem údajů na výstup adresového multiplexoru, inkrementačním vstupem na vnější vstup signálu pro přičtení jedničky, vstupem zápisu na výstup dolního zapisovacího signálu bloku výběru adresy a výstupem na adresový vstup dolní poloviny paměti mikroprogramů. Horní polovina paměti mikroprogramů je připojena

adresovým vstupem na výstup horního čítače mikroinstrukcí a výstupem údajů na údajový vstup horního registru údajů. Dolní polovina paměti mikroprogramů je připojena adresovým vstupem na výstup dolního čítače mikroinstrukcí a výstupem údajů na údajový vstup dolního registru údajů. Horní registr údajů je připojen údajovým vstupem na výstup údajů horní poloviny paměti mikroprogramů, zápisovým vstupem na vnější vstup signálu pro naplnění registru, výstupem horního příznakového pole na vstup horního příznakového pole řídicího bloku a současně na vstup horního příznakového pole bloku výběru adresy, celoregistrovým výstupem na horní údajový vstup výstupního multiplexoru a výstupem adresového pole na třetí údajový vstup adresového multiplexoru.

Dolní údajový registr je připojen údajovým vstupem na výstup údajů dolní poloviny paměti mikroprogramů, zápisovým vstupem na vnější vstup signálu pro naplnění registru, výstupem dolního příznakového pole na vstup dolního příznakového pole řídicího bloku a současně na vstup dolního příznakového pole bloku výběru adresy, celoregistrovým výstupem na dolní údajový vstup výstupního multiplexoru a výstupem adresového pole na druhý údajový vstup adresového multiplexoru. Výstupní multiplexor je připojen horním údajovým vstupem na celoregistrový výstup horního registru údajů, dolním údajovým vstupem na celoregistrový výstup dolního registru údajů, adresovým vstupem na stavový výstup klopného obvodu a výstupem na údajový vstup registru mikroinstrukcí. Registr mikroinstrukcí je připojen údajovým vstupem na výstup výstupního multiplexoru, zápisovým vstupem na vnější vstup signálu pro zápis do registru a výstupem na vnější mikroinstrukční výstup.

Uspořádáním paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu tak, že je sestaven z řídicího bloku, klopného obvodu, bloku řízení výběru adresy, adresového multiplexoru, z na sobě nezávislých horního čítače mikroinstrukcí a dolního čítače mikroinstrukcí, z na sobě nezávislých horní poloviny paměti mikroprogramů a dolní poloviny paměti mikroprogramů, z na sobě nezávislých horního registru údajů a dolního registru údajů, výstupního multiplexoru a registru mikroinstrukcí, se zajistí, že horní polovina paměti mikroprogramů a dolní polovina paměti mikroprogramů pracují současně a na sobě nezávisle. Tímto uspořádáním je dosaženo překrývání vyhledávací a prováděcí fáze mikroinstrukcí pro obě pokračovací adresy podmíněného skoku a tudíž je dosaženo delšího zrychlení činnosti číslicových zařízení pro automatické zpracování údajů.

Tento paměťový modul podle vynálezu je rozdělen do funkčních bloků, které jsou vzájemně propojeny signálovými spoji. Funkční bloky jsou umístěny tak, aby logicky souvisely s postupem signálů tímto paměťovým modulem a aby vynikla paralelnost uspořádání horního čítače mikroinstrukcí, horní poloviny paměti mikroprogramů a horního registru údajů a dolním čítačem mikroinstrukcí, dolní polovinou paměti mikroprogramů a dolním registrem údajů.

Na připojeném výkresu, obr. 1, je znázorněn příklad uspořádání paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu, na druhém výkresu, obr. 2, je příklad časování paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu.

Jako příklad paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí (obráz. 1) poslouží uspořádání takového paměťového modulu, kde řídicí blok 12 je připojen stavovým vstupem 121 na stavový výstup 132 klopného obvodu 13, vstupem 122 horního příznakového pole na výstup 203 horního příznakového pole horního registru 20 údajů, vstupem 123 nastavení na vnější vstup 1 signálů pro nastavení stavu, vstupem 124 podmínky na vnější vstup 2 signálů hodnoty proměnné, vstupem 125 vyhodnocení na vnější vstup 3 signálů pro vyhodnocení nepodmíněného skoku, vstupem 126 dolního příznakového pole na výstup 213 dolního příznakového pole dolního registru 21 údajů a výstupem 127 řízení stavu na ovládací vstup 131 klopného obvodu 13. Klopný obvod 13 je připojen ovládacím vstupem 131 na výstup 127 řízení stavu řídicího bloku 12 a stavovým výstupem 132 na stavový vstup 121 řídicího bloku 12 a současně na stavový vstup 142 bloku 14 vý-

běru adresy a současně na adresový vstup 223 výstupního multiplexoru 22. Blok 14 výběru adresy je připojen vstupem 141 horního příznakového pole na výstup 203 horního příznakového pole horního registru 20 údajů, stavovým vstupem 142 na stavový výstup 132 klopného obvodu 13, instrukčním vstupem 143 na vnější vstup 5 signálu pro novou instrukci, zapisovacím vstupem 144 na vnější vstup 6 signálu pro zápis úvodní adresy, skokovým vstupem 145 na vnější vstup 7 signálu pro přepis adresy skoku, vstupem 146 dolního příznakového pole na výstup 213 dolního příznakového pole dolního registru 21 údajů, výstupem 147 řízení výběru adresy na adresový vstup 152 adresového multiplexoru 15, výstupem 148 horního zapisovacího signálu na vstup 163 zápisu horního čítače 16 mikroinstrukcí a výstupem 149 dolního zapisovacího signálu na vstup 173 zápisu dolního čítače 17 mikroinstrukcí.

Adresový multiplexor 15 je připojen prvním údajovým vstupem 151 na vnější vstup 4 úvodní adresy, adresovým vstupem 152 na výstup 147 řízení výběru adresy bloku 14 výběru adresy, druhým údajovým vstupem 153 na výstup 215 adresového pole dolního registru 21 údajů, třetím údajovým vstupem 154 na výstup 205 adresového pole horního registru 20 údajů a výstupem 155 na vstup 161 údajů horního čítače 16 mikroinstrukcí a současně na vstup 171 údajů dolního čítače 17 mikroinstrukcí.

Horní čítač 16 mikroinstrukcí je připojen vstupem 161 údajů na výstup 155 adresového multiplexoru 15, inkrementačním vstupem 162 na vnější vstup 8 signálu pro přičtení jedničky, vstupem 163 zápisu na výstup 148 horního zapisovacího signálu bloku 14 výběru adresy a výstupem 164 na adresový vstup 181 horní poloviny 18 paměti mikroprogramů. Dolní čítač 17 mikroinstrukcí je připojen vstupem 171 údajů na výstup 155 adresového multiplexoru 15, inkrementačním vstupem 172 na vnější vstup 8 signálu pro přičtení jedničky, vstupem 173 zápisu na výstup 149 dolního zapisovacího signálu bloku 14 výběru adresy a výstupem 174 na adresový vstup 191 dolní poloviny 19 paměti mikroprogramů.

Horní polovina 18 paměti mikroprogramů je připojena adresovým vstupem 181 na výstup 164 horního čítače 16 mikroinstrukcí a výstupem 182 údajů na údajový vstup 201 horního registru 20 údajů. Dolní polovina 19 paměti mikroprogramů je připojena adresovým vstupem 191 na výstup 174 dolního čítače 17 mikroinstrukcí a výstupem 192 údajů na údajový vstup 211 dolního registru 21 údajů. Horní registr 20 údajů je připojen údajovým vstupem 201 na výstup 182 údajů horní poloviny 18 paměti mikroprogramů, zapisovým vstupem 202 na vnější vstup 9 signálu pro naplnění registru, výstupem 203 horního příznakového pole na vstup 122 horního příznakového pole řídicího bloku 12 a současně na vstup 141 horního příznakového pole bloku 14 výběru adresy, celoregistrovým výstupem 204 na horní údajový vstup 221 výstupního multiplexoru 22 a výstupem adresového pole 205 na třetí údajový vstup 154 adresového multiplexoru 15.

Dolní registr 21 údajů je připojen údajovým vstupem 211 na výstup 192 údajů dolní poloviny 19 paměti mikroprogramů, zapisovým vstupem 212 na vnější vstup 9 signálu pro naplnění registru, výstupem 213 dolního příznakového pole na vstup 126 dolního příznakového pole řídicího bloku 12 a současně na vstup 146 dolního příznakového pole bloku 14 výběru adresy, celoregistrovým výstupem 214 na dolní údajový vstup 222 výstupního multiplexoru 22 a výstupem 215 adresového pole na druhý údajový vstup 153 adresového multiplexoru 15. Výstupní multiplexor 22 je připojen horním údajovým vstupem 221 na celoregistrový výstup 204 horního registru 20 údajů, dolním údajovým vstupem 222 na celoregistrový výstup 214 dolního registru 21 údajů, adresovým vstupem 223 na stavový výstup 132 klopného obvodu 13 a výstupem 224 na údajový vstup 231 registru 23 mikroinstrukcí.

Registr 23 mikroinstrukcí je připojen údajovým vstupem 231 na výstup 224 výstupního multiplexoru 22, zapisovým vstupem 232 na vnější vstup 10 signálu pro zápis do registru a výstupem 233 na vnější mikroinstrukční výstup 11.

Činnost příkladu konkrétního provedení paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí (obr. 1) lze popsat takto:

Paměťový modul pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu umožňuje tyto režimy výběrové fáze mikroinstrukcí:

- a) zavedení úvodní adresy mikroprogramu a výpis jejího obsahu
- b) inkrementaci adresy a výpis jejího obsahu
- c) zavedení skokové adresy typu nepodmíněný skok a výpis jejího obsahu
- d) inkrementaci adresy v jednom z čítačů 16 nebo 17 mikroinstrukcí a současně zavedení skokové adresy typu podmíněný skok do opačného čítače 17 nebo 16 mikroinstrukcí a výpis obsahu adresy podle hodnoty proměnné, která je předmětem testu
- e) zavedení skokové adresy typu větvení podle instrukčního kódu nebo jiných vnějších podmínek a výpis jejího obsahu.

Pro další popis činnosti se bude předpokládat, že všechny spoje obsahují jeden nebo více vodičů signálů, kterými jsou signály vedeny a že obsahem adres polovin 18 a 19 pamětí mikroprogramů jsou mikroinstrukce.

Režim výběrové fáze mikroinstrukcí a) zavedení úvodní adresy mikroprogramu a výpis jejího obsahu lze popsat takto:

Signály na vnějším vstupu 1 signálů pro nastavení stavu jsou vedeny na vstup 123 nastavení řídicího bloku 12. Řídicí blok 12 signály zpracuje a vyšle výstupem 127 řízení stavu signály, které zajistí nastavení klopného obvodu 13 do požadovaného stavu. Stav klopného obvodu 13 určuje, do kterého z čítačů 16 nebo 17 mikroinstrukcí se napíše úvodní adresa mikroprogramu. Úvodní adresa mikroprogramu je připravena na vnějším vstupu 4 úvodní adresy a je vedena na první údajový vstup 151 adresového multiplexoru 15. Blok 14 řízení výběru adresy ze signálů o stavu klopného obvodu 13 na stavovém vstupu 142, ze signálu pro novou instrukci, vstup 2 na instrukčním vstupu 143 a ze signálu pro zápis úvodní adresy, vstup 6 na zapisovací vstup 144 vyrobí jednak signál adresy prvního údajového vstupu 151, který je do adresového multiplexoru 15 přenesen z výstupu 147 řízení výběru adresy na adresový vstup 152 a jednak buď signály pro zápis do horního čítače 16 mikroinstrukcí, které jsou vedeny z výstupu 148 horního zapisovacího signálu na vstup 163 zápisu horního čítače 16 mikroinstrukcí, a nebo signály pro zápis do dolního čítače 17 mikroinstrukcí, které jsou vedeny z výstupu 149 dolního zapisovacího signálu na vstup 173 zápisu dolního čítače 17 mikroinstrukcí.

Součinností uvedených signálů je úvodní adresa mikroprogramu z výstupu 155 adresového multiplexoru 15 zapsána buď vstupem 161 údajů do horního čítače 16 mikroinstrukcí, nebo vstupem 171 údajů do dolního čítače 17 mikroinstrukcí.

Výstup 164 horního čítače 16 mikroinstrukcí aktivuje adresový vstup 181 horní poloviny 18 paměti mikroprogramů a výstup 174 dolního čítače 17 mikroinstrukcí aktivuje adresový vstup 191 dolní poloviny 19 paměti mikroprogramů. Obsahy adres se vedou z výstupu 182 údajů horní poloviny 18 paměti mikroprogramů na údajový vstup 201 horního registru 20 údajů a z dolní poloviny 19 paměti mikroprogramů na údajový vstup 211 dolního registru 21 údajů.

Obsahy adres, čili mikroinstrukce jsou do registrů 20 a 21 údajů zapsány signálem z vnějšího vstupu signálu pro neplnění registru 2, který je připojen na zapisovací vstupy 202 a 212 obou registrů 20 a 21 údajů. Stavový výstup 132 klopného obvodu 13 je připojen na adresový vstup 223 výstupního multiplexoru 22. Stav klopného obvodu 13 byl nastaven na počátku režimu a) pro zavedení úvodní adresy mikroprogramu a výpis jejího obsahu a nebyl změněn. Je tedy adresován buď horní údajový vstup 221, pokud byla úvodní adresa mikroprogramu zapsána do horního čítače 16 mikroinstrukcí, nebo je adresován dolní údajový vstup 222, pokud byla úvodní adresa mikroprogramu zapsána do dolního čítače 17 mikroinstrukcí.

Poznámka: Část popisu činnosti uvedená v následujícím odstavci o čtyřech řádcích nemá přímý vliv na právě popisovaný režim výběrové fáze mikroinstrukcí, nicméně probíhá.

Signál na vnějším vstupu 8 pro přičtení jedničky zajistí, že se v obou čítačích 16 a 17 mikroinstrukcí přičte k jejich stávajícímu obsahu aritmeticky jednička. Tuto operaci zajišťuje spojení inkrementačních vstupů 162 a 172 na vnější vstup 8 signálu pro přičtení jedničky.

Signál na vnějším vstupu 10 signálu pro zápis do registru, který je připojen na zápisový vstup 232 registru 23 mikroinstrukcí, zajistí přepsání obsahu buď horního registru 20 údajů, nebo dolního registru 21 údajů, a to podle stavu klopného obvodu 13. Obsah mikroinstrukčního registru 23 je pak obvyklým způsobem snímán a zpracováván přes vnější výstup 11.

Na popsaný režim výběrové fáze mikroinstrukcí navazuje některý z dále popsaných režimů b), c), d), e) výběrové fáze mikroinstrukcí, jehož průběh je stanoven typem řešené mikroinstrukce během její prováděcí fáze, která probíhá paralelně s vyhledáváním navazující, čili pokračovací mikroinstrukce.

Režim a) zavedení úvodní adresy mikroprogramu a výpis jejího obsahu výběrové fáze mikroinstrukcí lze využít pro zápis návratové adresy v případech, kdy uvažujeme systém mikroprogramování s odskoky do standardních podprogramů na úrovni mikroprogramů.

Režim b) inkrementace adresy a výpis jejího obsahu výběrové fáze mikroinstrukcí lze popsat takto:

Během všech popisovaných režimů a), b), c), d), e) výběrové fáze mikroinstrukcí paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu dochází vždy po zapsání obsahu adresy polovin 18 a 19 paměti mikroprogramů do registrů 20 a 21 údajů k inkrementaci čítačů 16 a 17 mikroinstrukcí. V právě popsaném režimu výběrové fáze mikroinstrukcí se předpokládá lineární úsek mikroprogramu, tedy bez pokračování na skokových adresách.

V tomto případě zůstává klopný obvod 13 beze změny stavu a výstupní multiplexor 22 stále aktivuje buď horní údajový vstup 221, to tehdy, pokud se vybírají obsahy adres v horní polovině 18 paměti mikroprogramů, a nebo dolní údajový vstup 222, to tehdy, pokud se vybírají obsahy adres v dolní polovině 19 paměti mikroprogramů. Přenos adres mezi čítači 16 a 17 mikroinstrukcí a mezi polovinami 18 a 19 paměti mikroprogramů, přenos mikroinstrukcí z polovin 18 a 19 paměti mikroprogramů do registrů 20 a 21 údajů a pak přenos mikroinstrukce do registru 23 mikroinstrukcí jsou shodné s těmiž v režimu a) zavedení úvodní adresy mikroprogramu a výpis jejího obsahu výběrové fáze mikroinstrukcí.

Režim c) zavedení skokové adresy typu nepodmíněný skok a výpis jejího obsahu výběrové fáze mikroinstrukcí lze popsat takto:

Po přepsání obsahů adres z horní poloviny 18 paměti mikroprogramů do horního registru 20 údajů a z dolní poloviny 19 paměti mikroprogramů do dolního registru 21 údajů je ze signálu o stavu klopného obvodu 13, zapojeného na stavový vstup 142 bloku 14 řízení výběru adresy a ze signálů na vstupu 141 buď horního příznakového pole, nebo vstupu 146 dolního příznakového pole bloku 14 řízení výběru adresy vyroben signál řízení výběru adresy, výstup 147, který je veden na adresový vstup 152 adresového multiplexoru 15, který určí, zda bude do jednoho z čítačů 16 nebo 17 mikroinstrukcí přepsána adresa buď z výstupu 205 adresového pole horního registru 20 údajů, nebo z výstupu 215 adresového pole dolního registru 21 údajů. Na výstupu 155 adresového multiplexoru 15 se objeví ta adresa, která odpovídá stávajícímu stavu klopného obvodu 13, tedy byla vypsaná s celou mikroinstrukcí z té poloviny paměti mikroprogramů, ve které právě proběhl výběr obsahu adresy, tj. výběr

mikroinstrukce. Do kterého z čítačů 16 nebo 17 mikroinstrukcí bude pokračovací skoková adresa typu nepodmíněný skok zapsána, rozhodne blok 14 řízení výběru adresy ze signálu o stavu klopného obvodu 13 na stavovém vstupu 142, ze signálů na vstupu 141 horního příznakového pole nebo na vstupu 146 dolního příznakového pole a vnějšího signálu pro přepis adresy skoku, vstup 7, zapojeného na skokový vstup 145 tek, že vyrobí buď horní zapisovací signál, výstup 148, zapojený na vstup 163 zápisu horního čítače 16 mikroinstrukcí, nebo dolní zapisovací signál, výstup 149, zapojený na vstup 173 zápisu dolního čítače 17 mikroinstrukcí.

Současné s přepisem skokové adresy probíhá přepis celé mikroinstrukce buď z horního registru 20 údajů, nebo z dolního registru 21 údajů, a to podle stávajícího stavu klopného obvodu 13 přes výstupní multiplexor 22 do registru 23 mikroinstrukcí, což zajišťuje signál na vnějším vstupu 10 signálu pro zápis do registru, přiváděný na zápisový vstup 232 registru 23 mikroinstrukcí.

Po přepisu údajů do registru 23 mikroinstrukcí je nutné upravit stav klopného obvodu 13, zejména v těch případech, kdy adresa typu nepodmíněný skok byla umístěna do opačného čítače 16 nebo 17 mikroinstrukcí než do toho, z jehož poloviny 19 nebo 18 paměti mikroprogramů byla vypsána mikroinstrukce se skokovou adresou typu nepodmíněný skok. Převedení klopného obvodu 13 do požadovaného stavu zajistí signály horního příznakového pole, výstup 203, horního registru 20 údajů nebo dolního příznakového pole, výstup 213, dolního registru 21 údajů v součinnosti se signálem na stavovém výstupu 132 klopného obvodu 13 a signálem pro vyhodnocení nepodmíněného skoku, vstup 3, zapojeným na vstup 125 vyhodnocení řídicího bloku 12.

Řídicí blok 12 z uvedených signálů vyrobí signál řízení stavu, výstup 127, vedený na ovládací vstup 131 klopného obvodu 13, který zajistí buď ponechání stávajícího stavu, v případě, že mikroprogram po nepodmíněném skoku je uložen v téže polovině 18, nebo 19 paměti mikroprogramů jako předcházející mikroinstrukce nebo změnu stavu klopného obvodu 13, v případě, že mikroprogram je po nepodmíněném skoku uložen v opačné polovině 19 nebo 18 paměti mikroprogramů jako předcházející mikroinstrukce. Tímto zásahem se zajistí uvolnění správné cesty ve výstupním multiplexoru 22 pro přepis vyhledané mikroinstrukce do registru mikroinstrukcí 23, pokud stav klopného obvodu 13 nebude jinými podmínkami změněn.

Režim výběrové fáze mikroinstrukcí d) inkrementace adresy v jednom z čítačů 16 nebo 17 mikroinstrukcí a současně zavedení skokové adresy typu podmíněný skok do opačného čítače 17 nebo 16 mikroinstrukcí a výpis obsahu adresy podle hodnoty proměnné, která je předmětem testu lze popsat takto:

Během všech režimů a), b), c), d), e) výběrové fáze mikroinstrukcí dochází k inkrementaci čítačů 16 a 17 mikroinstrukcí. Tato skutečnost již byla uvedena při popisu režimu výběrové fáze mikroinstrukcí b) inkrementace adresy a výpis jejího obsahu.

Po přepsání obsahu adresy z horní poloviny 18 paměti mikroprogramů do horního registru 20 údajů a z dolní poloviny 19 paměti mikroprogramů do dolního registru 21 údajů je ze signálu o stavu klopného obvodu 13 zapojeného na stavový vstup 142 bloku 14 řízení výběru adresy a ze signálů na vstupu 141 horního příznakového pole nebo vstupu 146 dolního příznakového pole bloku 14 řízení výběru adresy vyroben signál řízení výběru adresy, výstup 147, který je veden na adresový vstup 152 adresového multiplexoru 15, který určí, že se na výstupu 155 adresového multiplexoru 15 objeví buď adresa z výstupu 202 horního adresového pole horního adresového pole horního registru 20 údajů, pokud se právě pracovalo s horní polovinou 18 paměti mikroprogramů, nebo adresa z výstupu 212 dolního adresového pole dolního registru 21 údajů, pokud se právě pracovalo s dolní polovinou 19 paměti mikroprogramů. Skoková pokračovací adresa typu podmíněný skok se zapíše do opačného čítače 16 nebo 17 mikroinstrukcí, než se kterým se právě pracovalo, 17 nebo 16, zapisovacím signálem buď

na výstupu 143, nebo 149 bloku 14 řízení výběru adresy vedeným buď na vstup 163 zápisu horního čítače 16 mikroinstrukcí, nebo na vstup 173 zápisu dolního čítače 17 mikroinstrukcí. Současně je mikroinstrukce, jejíž náplní je test hodnoty proměnné přepsána přes výstupní multiplexor 22 do registru 23 mikroinstrukcí. Během prováděcí fáze mikroinstrukce s testem se již dříve popsaným způsobem provádí vyhledávání obou adres z čítačů 16 a 17 mikroinstrukcí i zápis jejich obsahu do obou registrů 20 a 21 údajů.

Do okamžiku, než začne přepis vyhledaných mikroinstrukcí do registru 23 mikroinstrukcí, musí být v řadiči vyhodnocena hodnota proměnné, která je předmětem testu a převedena na signál na vnějším vstupu 2 signálu hodnoty proměnné, připojeném na vstup 124 podmínky řídicího bloku 12. Řídicí blok 12 zpracuje signál hodnoty proměnné, vstup 2, v součinnosti se signálem o stávajícím stavu klopného obvodu 13 na stavovém vstupu 121 a vytvoří signál na výstupu 127 řízení stavu, který zajistí buď ponechání stávajícího stavu, nebo zajistí změnu stavu klopného obvodu 13.

Při ponechání stávajícího stavu klopného obvodu 13 bude v dalších okamžicích zahájeno zpracování mikroinstrukce z inkrementované adresy, při změně stavu klopného obvodu 13 bude v dalších okamžicích zahájeno zpracování mikroinstrukce ze skokové adresy typu podmíněný skok.

Režim výběrové fáze mikroinstrukcí e) zavedení skokové adresy typu větvení podle instrukčního kódu nebo jiných vnějších podmínek a výpis jejího obsahu lze popsat takto:

Po přepsání obsahu adresy z horní poloviny 18 paměti mikroprogramů do horního registru 20 údajů a z dolní poloviny 19 paměti mikroprogramů do dolního registru 21 údajů je ze signálu o stavu klopného obvodu 13 připojeného na stavový vstup 142 bloku 14 řízení výběru adresy a ze signálu na vstupu 141 horního příznakového pole na vstupu 146 dolního příznakového pole bloku 14 řízení výběru adresy vyroben signál řízení výběru adresy, výstup 147, který je veden na adresový vstup 152 adresového multiplexoru 15, který určí adresu prvního údajového vstupu 151, na který je z vnějšího vstupu 151 úvodní adresy 4 přiváděn instrukční kód, popřípadě kód jiných vnějších podmínek.

Blok 14 řízení výběru adresy ze signálu o stavu klopného obvodu 13, vstup 142, ze signálů buď horního příznakového pole, vstup 141, nebo dolního příznakového pole, vstup 146, a signálu pro přepis adresy skoku, vstup 145, vyrobí buď horní zapisovací signály, výstup 148, nebo dolní zapisovací signály, výstup 149, podle toho, do kterého z čítačů 16 nebo 17 mikroinstrukcí se má skoková adresa zapsat na základě povelu obsaženého v příznakových polích, výstupy buď 205, nebo 215. Další činnost probíhá již dříve popsaným způsobem.

Příklad paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu je zvolen tak, aby jednoduše ukázal podstatu vynálezu. Při konkrétní technické realizaci, až bude jasná celková koncepce logické výstavby řadiče, si konstruktér doplní základní uspořádání paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí (obr. 1) dalšími potřebnými vnějšími vstupy, zejména vstupy na úrovni vstupu 4 úvodní adresy a dalšími potřebnými vnějšími výstupy, zejména výstupem se signálem o stavu klopného obvodu 13, výstupem se signály o obsahu horního čítače 16 mikroinstrukcí, výstupem se signály o obsahu dolního čítače 17 mikroinstrukcí, výstupem se signály o hodnotě horního příznakového pole, výstup 203, popřípadě výstupem se signály o hodnotě dolního příznakového pole, výstup 213. Při konkrétní technické realizaci se také s konečnou platností stanoví vnitřní logická výstavba řídicího bloku 12, bloku 14 řízení výběru adresy a počet adresovatelných údajových vstupů adresového multiplexoru 15. Z celkové koncepce formátů mikroinstrukcí vyplyne i způsob kódování bitů v mikroinstrukcích, které budou zahrnuty do příznakového pole mikroinstrukcí.

Na obr. 2 je uveden příklad časování paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu (obr. 1). Význam jednotlivých časových úseků lze popsat takto:

Význačné fáze a doby v činnosti jsou tyto:

m_{op} - prováděcí fáze nulté mikroinstrukce

m_{1v} - výběrová fáze první mikroinstrukce

m_{1p} - prováděcí fáze první mikroinstrukce

m_{2v} - výběrová fáze druhé mikroinstrukce

m_{2p} - prováděcí fáze druhé mikroinstrukce

m_{3v} - výběrová fáze třetí mikroinstrukce

$D1_x$ - zápis adres do čítačů 16 a 17 mikroinstrukcí: časově se shoduje s dobou $D4_x$

$D2_x$ - vyhledávání adres v polovinách 18 a 19 paměti mikroprogramů

$D3_x$ - zápis obsahů adres do registrů 20 a 21 údajů

$D4_x$ - přepis mikroinstrukce do registru 23 mikroinstrukcí: časově se shoduje s dobou $D1_x$

Poznámka: x je pořadové číslo mikroinstrukce.

Jednotlivé ovládací signály lze časově umístit takto:

- $t1$ - nastavení stavu klopného obvodu 13; signál na vnějším vstupu 1 signálu pro nastavení stavu,
- $t2$ - hodnota úvodní adresy nebo adresa typu větvení podle instrukčního kódu nebo jiných vnějších podmínek; signály na vnějším vstupu 4 úvodní adresy,
- $t3$ - zahajuje se mikroprogram nové instrukce; signál na vnějším vstupu 2 signálu pro novou instrukci,
- $t4$ - zápis úvodní adresy do některého z čítačů 16 nebo 17 mikroinstrukcí; signál na vnějším vstupu signálu pro zápis úvodní adresy,
- $t5$ - upravení stavu klopného obvodu 13 při adrese typu nepodmíněný skok; signál na vnějším vstupu 3 signálu pro vyhodnocení nepodmíněného skoku,
- $t6$ - uložení adres do registrů 20 a 21 údajů; signál na vnějším vstupu 2 signálu pro naplnění registru,
- $t7$ - upravení stavu klopného obvodu 13 podle hodnoty proměnné, která je předmětem testu; signál na vnějším vstupu 2 signálu pro hodnotu proměnné,
- $t8$ - inkrementace čítačů 16 a 17 mikroinstrukcí; signál na vnějším vstupu 3 signálu pro přičtení jedničky,
- $t9$ - přepis skokové adresy; signál na vnějším vstupu 7 signálu pro přepis adresy skoku,
- $t10$ - přepsání mikroinstrukce do registru 23 mikroinstrukcí; signál na vnějším vstupu 10 signálu pro zápis do registru.

Pro správnou činnost paměťového modulu pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí (obr. 1) podle vynálezu je nutné zajistit, aby množina signálů

$A = \{t1, t3, t4\}$ a množina signálů $B = \{t7, t9\}$ byly množiny disjunktní. Charakter zápisu skokové adresy a úvodní adresy je ve všech režimech výběrové fáze mikroinstrukcí v zásadě shodný. Pak lze uvažovat i variantu časování, že signály na vnějším vstupu 6 signálu $t4$ pro zápis úvodní adresy a vnějším vstupu 7 signálu $t9$ pro přepis adresy skoku budou ztotožněny. Rozlišení režimů výběrové fáze mikroinstrukcí pak provede blok 14 řízení výběru adresy.

Paměťový modul pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu lze upravit pro současné větvení mikroprogramů podle hodnot dvou proměnných, které jsou předmětem testu podmíněného skoku tak, že klopné obvody budou dva, čítače

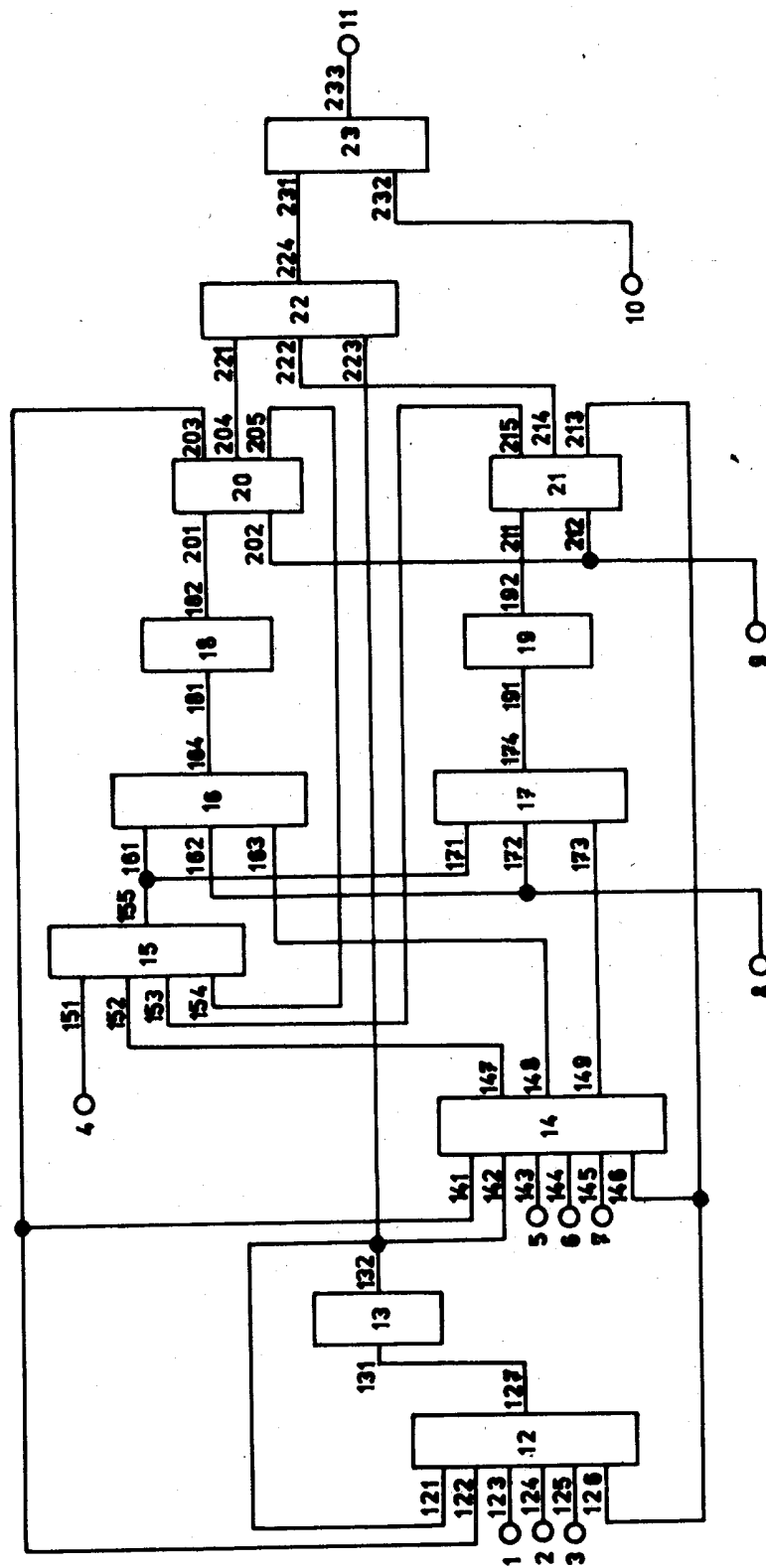
mikroinstrukcí budou čtyři, budou čtyři samostatné čtvrtiny paměti a budou čtyři registry údajů. Paměťový modul pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí podle vynálezu lze použít jako operační paměťový modul u paralelních počítačů s překrýváním vyhledávací a prováděcí fáze instrukcí.

P R E D M Ě T V Y N Á L E Z U

Paměťový modul pro řadiče s překrýváním výběrové a prováděcí fáze mikroinstrukcí, vyznačený tím, že řídící blok (12) je připojen stavovým vstupem (121) na stavový výstup (132) klopného obvodu (13), vstupem (122) horního příznakového pole na výstup (203) horního příznakového pole horního registru (20) údajů, vstupem (123) nastavení na vnější vstup (1) signálu pro nastavení stavu vstupem (124) podmínky na vnější vstup (2) signálu hodnoty proměnné, vstupem (125) vyhodnocení na vnější vstup (3) signálu pro vyhodnocení nepodmíněného skoku, vstupem (126) dolního příznakového pole na výstup (213) dolního příznakového pole dolního registru (21) údajů a výstupem (127) řízení stavu na ovládací vstup (131) klopného obvodu (13), zatímco klopný obvod (13) je připojen ovládacím vstupem (131) na výstup (127) řízení stavu řídícího bloku (12) a stavovým výstupem (132) na stavový vstup (121) řídícího bloku (12) a současně na stavový vstup (142) bloku (14) výběru adresy a současně na adresový vstup (223) výstupního multiplexoru (22), přičemž blok (14) výběru adresy je připojen vstupem (141) horního příznakového pole na výstup (203) horního příznakového pole horního registru (20) údajů, stavovým vstupem (142) na stavový výstup (132) klopného obvodu (13), instrukčním vstupem (143) na vnější vstup (5) signálu pro novou instrukci, zapisovacím vstupem (144) na vnější vstup (6) signálu pro zápis úvodní adresy, skokovým vstupem (145) na vnější vstup (7) signálu pro přepis adresy skoku, vstupem (146) dolního příznakového pole na výstup (213) dolního příznakového pole dolního registru (21) údajů, výstupem (147) řízení výběru adresy na adresový vstup (152) adresového multiplexoru (15), výstupem (148) horního zapisovacího signálu na vstup (163) zápisu horního čítače (16) mikroinstrukcí a výstupem (149) dolního zapisovacího signálu na vstup (173) zápisu dolního čítače (17) mikroinstrukcí, zatímco adresový multiplexor (15) je připojen prvním údajovým vstupem (151) na vnější vstup (4) úvodní adresy, adresovým vstupem (152) na výstup (147) řízení výběru adresy bloku (14) výběru adresy, druhým údajovým vstupem (153) na výstup (215) adresového pole dolního registru (21) údajů, třetím údajovým vstupem (154) na výstup (205) adresového pole horního registru (20) údajů a výstupem (155) na vstup (161) údajů horního čítače (16) mikroinstrukcí a současně na vstup (171) údajů dolního čítače (17) mikroinstrukcí, přičemž horní čítač (16) mikroinstrukcí je připojen vstupem (161) údajů na výstup (155) adresového multiplexoru (15), inkrementálním vstupem (162) na vnější vstup (8) signálu pro přičtení jedničky, vstupem (163) zápisu na výstup (148) horního zapisovacího signálu bloku (14) výběru adresy a výstupem (164) na adresový vstup (181) horní poloviny (18) paměti mikroprogramů, zatímco dolní čítač (17) mikroinstrukcí je připojen vstupem (171) údajů na výstup (155) adresového multiplexoru (15), inkrementálním vstupem (172) na vnější vstup (8) signálu pro přičtení jedničky, vstupem (173) zápisu na výstup (149) dolního zapisovacího signálu bloku (14) výběru adresy a výstupem (174) na adresový vstup (191) dolní poloviny (19) paměti mikroprogramů, zatímco horní polovina (18) paměti mikroprogramů je připojena adresovým vstupem (181) na výstup (164) horního čítače (16) mikroinstrukcí a výstupem (182) údajů na údajový vstup (201) horního registru (20) údajů, přičemž dolní polovina (19) paměti mikroprogramů je připojena adresovým vstupem (191) na výstup (174) dolního čítače (17) mikroinstrukcí a výstupem (192) údajů na údajový vstup (211) dolního registru (21) údajů, zatímco horní registr (20) údajů je připojen údajovým vstupem (201) na výstup (182) údajů horní poloviny (18) paměti mikroprogramů, zapisovacím vstupem (202) na vnější vstup (9) signálu pro naplnění registru, výstupem (203) horního příznakového pole (203) na vstup (122) horního příznakového pole řídícího bloku (12) a současně vstup (141) horního příznakového pole bloku (14) výběru adresy, celoregistrovým výstupem (204) na horní údajový vstup (221) výstupního multiplexoru (22) a výstupem (205) adresového pole

na třetí údajový vstup (154) adresového multiplexoru (15), přičemž dolní registr (21) údajů je připojen údajovým vstupem (211) na výstup (192) údajů dolní poloviny (19) paměti mikroprogramů, zápisovým vstupem (212) na vnější vstup (9) signálu pro neplnění registru, výstupem (213) dolního příznakového pole na vstup (126) dolního příznakového pole řídicího bloku (12) a současně na vstup (146) dolního příznakového pole bloku (14) výběru adresy, celoregistrovým výstupem (214) na dolní údajový vstup (222) výstupního multiplexoru (22) a výstupem (215) adresového pole na druhý údajový vstup (153) adresového multiplexoru (15), zatímco výstupní multiplexor (22) je připojen horním údajovým vstupem (221) na celoregistrový výstup (204) horního registru (20) údajů, dolním údajovým vstupem (222) na celoregistrový výstup (214) dolního registru (21) údajů, adresovým vstupem (223) na stavový výstup (132) klopného obvodu (13) a výstupem (224) na údajový vstup (231) registru (23) mikroinstrukcí, přičemž registr (23) mikroinstrukcí je připojen údajovým vstupem (231) na výstup (224) výstupního multiplexoru (22), zápisovým vstupem (232) na vnější vstup (10) signálu pro zápis do registru a výstupem (233) na vnější mikroinstrukční výstup (11).

2 výkresy



Obr. 1

