

公告本

301738

申請日期	85. 7. 15.
案 號	85/08646
類 別	G09G 3/36

A4
C4

301738

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	多值電壓輸出電路及液晶驅動電路
	英 文	"MULTIPLE VALUE VOLTAGE OUTPUT CIRCUIT AND LIQUID CRYSTAL DISPLAY DRIVING CIRCUIT"
	日 文	多值電圧出力回路および液晶駆動回路
二、發明 人	姓 名	永井敦
	國 籍	日本
	住、居所	日本國奈良縣天理市櫛本町2613-1拉波盧天理851
三、申請人	姓 名 (名稱)	日商夏普股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
	代 表 人 姓 名	辻 晴雄

裝 訂 線

經濟部中央標準局員工消費合作社印製

301738

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本國(地區) 申請專利，申請日期：1995.9.12 案號：7-234322, 有 無主張優先權
 1995.9.27 7-249512, 有 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之背景

1. 發明之領域

本發明係關於一種根據所輸入的信號而從多數電壓選擇地輸出一個電壓之多值電壓輸出電路及藉由施加所選擇的電壓而在液晶顯示面板上進行顯示之液晶驅動電路。

2. 先前技術說明

驅動液晶進行顯示之際，係隔著臨限電壓決定接通電平、截止電平的電壓作為對於液晶材料施加的電壓。在液晶顯示面板等方面，由於進行交流驅動或所謂的負載驅動，所以需要選擇地輸出多值電壓的驅動電路。

圖19為典型習知例的驅動電路101的電路構成圖，圖20為以電晶體電平記述驅動電路101的更詳細電路構成圖。驅動電路101係包含控制電路102、輸出緩衝器103及輸出端子104所構成。控制電路102係包含2個反及(NAND)閘106、107及2個反或(NOR)閘108、109所構成。

輸出緩衝器103係包含為P通道型MOSFET(金屬氧化物半導體場效電晶體)(以下有時也稱為「P型FET」或「P通道電晶體」)的電晶體110、111及為N通道型MOSFET(以下有時也稱為「N型FET」或「N通道電晶體」)的電晶體112、113所構成。又，以下有時也將FET只稱為「電晶體」。

資料信號DA、交流化信號FR及反轉資料信號DAR輸入驅動電路101之控制電路102。資料信號DA係規定由輸出端子104所輸出的電壓的信號。使資料信號DA的信號電平反轉的信號成為反轉資料信號DAR。此外，交流化信號FR

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明(2)

係使由輸出端子104所輸出的電壓各預定的期間反轉的信號。輸入控制電路102的各信號利用不圖示的電平移動器，於前述各信號的電平為高電平時移動到後述定在電壓 V_0 以上的電壓 VEE ，於為低電平時移動到接地電壓或不滿電壓 VEE 的預定基準電壓。

在控制電路102方面，資料信號 DA 輸入反及閘106一方的輸入，交流化信號 FR 輸入他方的輸入。反及閘106的輸出 $P1$ 連接於電晶體110之閘極 G 。反轉資料信號 DAR 輸入反或閘108一方的輸入，交流化信號 FR 輸入他方的輸入。反或閘108的輸出 $P2$ 連接於電晶體113之閘極 G 。

此外，反轉資料信號 DAR 輸入反及閘107一方的輸入，資料信號 DA 輸入反或閘109一方的輸入。交流化信號 FR 輸入反及閘107及反或閘109他方的輸入。反及閘107的輸出 $P3$ 輸入電晶體111之閘極 G ，反或閘109的輸出 $P4$ 輸入電晶體112之閘極 G 。

在輸出緩衝器103方面，給與電晶體110之源極 S 電壓 V_0 ，施加於閘極 G 的輸出 $P1$ 為低電平，就供給透過輸出端子104連接於輸出端子104的例如液晶顯示面板之電極電壓 V_0 。給與電晶體111之源極 S 電壓 V_2 ，施加於閘極 G 的輸出 $P3$ 為低電平，就由輸出端子104輸出電壓 V_2 。給與電晶體112之源極 S 電壓 V_3 ，施加於閘極 G 的輸出 $P4$ 為高電平，就由輸出端子104輸出電壓 V_3 。給與電晶體113之源極 S 電極 V_5 ，施加於閘極 G 的輸出 $P2$ 為高電平，就由輸出端子104輸出電壓 V_5 。各電壓若包含為接地電壓的電壓 V_G 和電壓

五、發明說明 (3)

VEE而表示，則定為 $VEE \geq V_0 > V_2 > V_3 > 5 \geq V_G$ 。

如圖 20 所示，控制電路 102 之各開元件分別為 4 個電晶體所構成。反及開 106 由為 P 型 FET 的電晶體 121、122 和為 N 型 FET 的電晶體 123、124 構成。電晶體 121、122 係給與源極 S 電壓 VEE，共同連接汲極 D。電晶體 123、124 係梯級連接，使電晶體 124 之源極 S 接地。電晶體 123 之汲極 D 共同連接於電晶體 121、122。

電晶體 121、122 和電晶體 123 的連接點電壓輸出作為輸出 P1。資料信號 DA 輸入電晶體 122、124 之閘極 G，交流化信號 FR 輸入電晶體 121、123 之閘極 G。

反或開 108 由為 P 型 FET 的電晶體 125、126 和為 N 型 FET 的電晶體 127、128 構成。電晶體 125、126 係梯級連接，給與電晶體 125 之源極 S 電壓 VEE。電晶體 127、128 係共同連接汲極 D，使源極 S 都接地。

共同連接電晶體 126 之汲極 D 和電晶體 127、128 之汲極 D，連接點電壓輸出作為輸出 P2。反轉資料信號 DAR 輸入電晶體 125、128 之閘極 G，交流化信號 FR 輸入電晶體 126、127 之閘極 G。

反及開 107 由為 P 型 FET 的電晶體 129、130 和為 N 型 FET 的電晶體 131、132 構成。電晶體 129~132 與電晶體 121~124 分別對應，和電晶體 121~124 同樣地分別連接。電晶體 129、130 之汲極 D 和電晶體 131 之汲極 D 的連接點電壓輸出作為輸出 P3。反轉資料信號 DAR 輸入電晶體 130、132 之閘極 G，交流化信號 FR 輸入電晶體 129、131 之閘極 G。

五、發明說明(4)

反或閘109由為P型FET的電晶體133、134和為N型FET的電晶體135、136構成。電晶體133~136與電晶體125~128分別對應，和電晶體125~128同樣地分別連接。電晶體134之汲極D和電晶體135、136之汲極D的連接點電壓輸出作為輸出P4。資料信號DA輸入電晶體133、136之閘極G，交流化信號FR輸入電晶體134、135之閘極G。

以下所示的表1為驅動電路101的真值表。

【表1】

DA	FR	P1	P2	P3	P4	Tr110	Tr111	Tr112	Tr113	輸出電壓
L	L	H	L	H	H	OFF	OFF	ON	OFF	V3
L	H	H	L	L	L	OFF	ON	OFF	OFF	V2
H	L	H	H	H	L	OFF	OFF	OFF	ON	V5
H	H	L	L	H	L	ON	OFF	OFF	OFF	V0

在表1中，例如資料信號DA為高「H」電平，交流化信號FR為高「H」電平時，輸出P1、P2、P4都成為低「L」電平，輸出P3成為高「H」電平。因此，在表1中表示成Tr110~113的各電晶體110~113之中，僅電晶體110成為ON狀態，由輸出端子104輸出電壓V0。

根據資料輸入信號DA和交流化信號FR的信號電平，電晶體110~113之任一電晶體成為ON狀態，而由輸出端子104輸出供給該電晶體的電壓。

如上述之要在液晶顯示面板進行顯示，為了驅動液晶，必須施加大約30~50V的驅動電壓。為此，輸出多值電壓的驅動電路101必須是高耐壓電路，以便即使施加高的電

五、發明說明(5)

壓也不會受到破壞。爲了即使施加高的電壓也不會受到破壞，必須將電路內的各電晶體構造製成例如雙重擴散構造，形成所需的面積變寬。因此，在形成液晶驅動裝置的半導體晶片方面，爲高耐壓電路的部分所占的比率變大。

近幾年要求削減液晶顯示面板及包含驅動液晶顯示面板之裝置的面板裝置的製造成本。爲了降低製造成本，考慮縮小前述半導體晶片全體的面積。爲了縮小前述半導體晶片的面積，縮小高耐壓電路部分所占的面積就成爲課題。

此外，就其他課題而言，可舉出前述面板裝置的消耗電力大。在包含如前述之驅動電路101的驅動IC方面，輸入控制電路102的信號DA、FR上升、下降變化時，輸出緩衝器103的電晶體110~113之中的2個電晶體瞬間同時成爲ON狀態，所謂的貫通電流流動。例如從資料信號DA爲高電平且交流化信號FR爲高電平的狀態，交流化信號FR下降到低電平，電晶體110和電晶體113就同時成爲ON狀態，電流從電壓V0側流到電壓V5側。

防止因貫通電流而消耗電力增加的技术揭示於特開平5-46113號公報。在前述先前技術中，藉由設置由反相閘和電容器等構成的延遲電路，防止貫通電流流動，以免使所輸入的信號具有相位差，輸出緩衝器內的電晶體同時成爲ON狀態。在前述先前技術中，由於以許多電路元件構成驅動用IC的輸出電路部，所以半導體晶片的面積變大，有製造成本增加的可能性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

發明之概述

本發明之目的係提供一種藉由減少作為高耐壓電路所形成的電晶體數，可縮小半導體晶片面積之多值電壓輸出電路及液晶驅動電路。

此外，本發明之其他目的係提供一種藉由以少的電路元件數防止貫通電流流動，抑制電力消耗之多值電壓輸出電路及液晶驅動電路。

本發明係一種多值電壓輸出電路，其特徵在於：

係根據每預定時間從第一電源電位電平轉換為第二電源電位或從第二電源電位電平轉換為第一電源電位的第一輸入信號和比前述預定期間短的每預定基準時間將該電平定為前述第一及第二電源電位之任一方的第二輸入信號，選擇地輸出多數電壓中的一電壓之多值電壓輸出電路，

在具有一端分別連接於前述多數電壓之中的對應電壓，他端共同連接於輸出端子的多數第一開關元件；及，

輸出使前述多數第一開關元件中之一開關元件成為導通狀態、使其他開關元件成為切斷狀態的控制信號的控制電路者方面，

前述控制電路具有邏輯電路，該邏輯電路係前述各第一開關元件由所梯級連接的2個第二開關元件構成，根據前述第二輸入信號，任何一方成為導通狀態，同時給與其一端前述第一或第二電源電位，給與他端前述第一輸入信號，其連接點電位成為該第一開關元件的控制信號者。

按照本發明，在多值電壓輸出電路方面，第二輸入信號輸入邏輯電路，2個第二開關元件的任何一方就成為導通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(7)

狀態，而給與各第一開關元件作為控制信號。各第一開關元件根據控制信號，僅1個開關元件成為導通狀態。由輸出端子輸出供給成為導通狀態的開關元件的電壓。因此，控制第一開關元件導通/切斷的控制信號為邏輯電路的2個第二開關元件的連接點電壓，所以藉由選擇地給與第一開關元件給與邏輯電路的第一或第二電源電位，可使第一開關元件導通。

例如圖1所示，多值電壓輸出電路1係包含控制電路2及第一開關元件3a、3b所構成。控制電路2由2個邏輯電路4a、4b構成。在邏輯電路4a方面，梯級連接第二開關元件5a、5b，給與第二開關元件5a第一電源電位VA1，給與第二開關元件5b第一輸入信號S1。在邏輯電路4b方面，梯級連接第二開關電路5c、5d，給與第二開關元件5c第一輸入信號S1，給與第二開關元件5d第二電源電位VA2。第一輸入信號S1每預定期間交互電平轉換第一電源電位VA1和第二電源電位VA2。

梯級連接的第二開關元件5a、5b的連接點電位輸入第一開關元件3a作為控制信號，根據電位電平控制導通/切斷。此外，第二開關元件5c、5d的連接點電位輸入第一開關元件3b作為控制信號，根據電位電平控制導通/切斷。第二輸入信號S2輸入各第二開關元件5a~5d作為控制信號，根據第二輸入信號S2，各邏輯電路4a、4b的一方第二開關元件5成為導通狀態。第二輸入信號S2比預定期間短的每預定基準時間交互電平轉換第一電源電位VA1和第二電源

五、發明說明(8)

電位 VA2。

回應由各邏輯電路4所輸出的控制信號，任何一個第一開關元件3成爲導通狀態，由輸出端子6輸出給與該第一開關元件3的電壓VB。

此外，本發明之特徵在於：係由第一邏輯電路構成，該第一邏輯電路係連接於預定值以上的電壓的前述第一開關元件由P通道電晶體構成，並且將控制信號輸出到該P通道電晶體的前述邏輯電路由給與其一端使P通道電晶體成爲切斷狀態的電源電位的P通道電晶體之梯級連接電路構成，

係由第二邏輯電路構成，該第二邏輯電路係連接於不滿前述預定值的電壓的前述第一開關元件由N通道電晶體構成，並且將控制信號輸出到該N通道電晶體的前述邏輯電路由給與其一端使N通道電晶體成爲切斷狀態的電源電位的N通道電晶體之梯級連接電路構成者。

按照本發明，爲P通道電晶體的第一開關元件根據控制信號控制導通/切斷，該控制信號係由給與一端使P通道電晶體成爲切斷狀態的電源電位的第一邏輯電路輸出。此外，爲N通道電晶體的第一開關元件根據控制信號控制導通/切斷，該控制信號由給與一端使N通道電晶體成爲切斷狀態的電源電位的第一邏輯電路輸出。因此，給與第一邏輯電路的使P通道電晶體成爲切斷狀態的電源電位或第一輸入信號會輸入爲P通道電晶體的第一開關元件，根據第一輸入信號的電壓電平而導通時以外，該第一開關元件

五、發明說明(9)

被切斷。此外，給與第二邏輯電路的使N通道電晶體成爲切斷狀態的電源電位或第一輸入信號會輸入爲N通道電晶體的第一開關元件，根據第一輸入信號的電壓電平而導通時以外，該第一開關元件被切斷。各邏輯電路給與一端使連接於各邏輯電路的電晶體成爲切斷狀態的電源電位，所以可完全斷開對應的第一開關元件。

此外，本發明之特徵在於：在前述第一及第二電源電位間梯級連接前述第一邏輯電路和第二邏輯電路，給與其連接點前述第一輸入信號而成者。

按照本發明，在第一及第二電源電位間梯級連接第一邏輯電路和第二邏輯電路，給與連接點第一輸入信號。因此，第一輸入信號及第一、第二電源電位透過根據第二輸入信號而成爲導通狀態的邏輯電路給與第一開關元件。

如圖2所示，梯級連接由爲P通道電晶體的第二開關元件5e、5f構成的第一邏輯電路7和由爲N通道電晶體的第二開關元件5g、5h構成的第二邏輯電路8，第一輸入信號S1輸入第一邏輯電路7和第二邏輯電路8的連接點。

此外，本發明之特徵在於：使給與前述第一邏輯電路他端的第一輸入信號和給與前述第二邏輯電路他端的第一輸入信號之相位不同，於前述第一輸入信號的電平轉換時，設置全部邏輯電路的兩端電壓互相相等的期間者。

按照本發明，輸入第一邏輯電路和第二邏輯電路的第一輸入信號設定成互相相位不同的信號。因此，第一輸入信號的電平轉換時會發生全部邏輯電路的兩端電壓互相相等

五、發明說明(10)

的期間。

如圖3所示，給與第一邏輯電路7a一端第一電源電位VA1，給與他端第一輸入信號S11。此外，給與第二邏輯電路8a一端第二電源電位VA2，給與他端和第一輸入信號S11相位不同的第一輸入信號S12。

於第一輸入信號S11、S12的電平轉換之際，由第一邏輯電路7a及第二邏輯電路8a供給使與各邏輯電路對應的開關元件3成爲切斷狀態的電位。因此，藉由2個第一開關元件3成爲導通狀態，可防止流動的貫通電流流動，可減低多值電壓輸出電路的消耗電力。

此外，本發明之特徵在於：在前述多值電壓輸出電路方面，使前述第一輸入信號成爲每框電平轉換的交流化信號，使前述第二輸入信號成爲根據顯示資料決定電平的資料信號者。

按照本發明，第一輸入信號爲每框電平轉換的交流化信號，第二輸入信號爲根據顯示資料決定電平的資料信號。因此，可由輸出端子輸出供給爲資料信號所決定的第一開關元件的電源電壓。

此外，本發明之特徵在於：在前述多值電壓輸出電路方面，使前述第一輸入信號成爲每框電平轉換的交流化信號，使前述第二輸入信號成爲掃描定時信號者。

按照本發明，第一輸入信號爲每框電平轉換的交流化信號，第二輸入信號爲掃描定時信號。因此，可由輸出端子輸出供給爲掃描定時信號所決定的第一開關元件的電源電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

壓。

如以上，根據本發明，由於控制第一開關元件導通/切斷的控制信號為邏輯電路的2個第二開關元件的連接點電壓，所以藉由選擇地給與第一開關元件給與邏輯電路的第一或第二電源電壓，可使第一開關元件導通。此外，給與第一開關元件的第一或第二電源電位為高電位，邏輯電路需形成作為高電壓的電路，但因輸入邏輯電路的第一輸入信號不是輸入專用開關元件，而是透過根據第二輸入信號控制導通/切斷的第二開關元件輸入第一開關元件作為控制信號，所以可減少包含於邏輯電路內的開關元件數，可縮小多值電壓輸出電路的面積。

此外，根據本發明，由於各邏輯電路給與一端使連接於各邏輯電路的電晶體成為切斷狀態的電源電位，所以可完全斷開對應的第一開關元件。

再者，根據本發明，由於在第一及第二電源電壓間梯級連接第一邏輯電路和第二邏輯電路，給與連接點第一輸入信號，所以可由根據第二輸入信號而成為導通狀態的邏輯電路輸出第一及第二電源電位和第一輸入信號，可控制第一開關元件的導通/切斷。

再者，根據本發明，由於輸入第一邏輯電路和第二邏輯電路的第一輸入信號設定成互相相位不同的信號，所以第一輸入信號的電平轉換時會發生全部邏輯電路的兩端電壓互相相等的期間，可阻止通過2個第一開關元件而貫通電流流動。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

再者，根據本發明，由於第一輸入信號為每框電平轉換的交流化信號，第二輸入信號為根據顯示資料決定電平的資料信號，所以可輸出根據資料信號和交流化信號所選擇的電源電位，可以交流驅動時所施加的電源電位驅動液晶。

再者，根據本發明，由於第一輸入信號為每框電平轉換的交流化信號，第二輸入信號為掃描定時信號，所以可輸出根據掃描定時信號和交流化信號所選擇的電源電位，可以交流驅動時所施加的電源電位驅動器。

圖式之簡單說明

本發明之此等目的和此以外的目的、特色、優點由下述詳細說明和圖面當可更加明確。

圖1為顯示本發明實施第一形態的基本觀點之圖。

圖2為顯示本發明實施第一形態的基本觀點之圖。

圖3為顯示本發明實施第二形態的基本觀點之圖。

圖4為本發明實施第一形態的信號電極驅動電路11的電路圖。

圖5為顯示液晶顯示裝置51的基本結構的方塊圖。

圖6為從圖5之切斷面線III-III看的液晶顯示面板52的概略截面圖。

圖7為輸入液晶顯示面板52的各信號的定時圖。

圖8為顯示液晶顯示面板52的顯示例之圖。

圖9為圖8所示之液晶顯示面板52的各顯示信號的波形圖。

五、發明說明 (13)

圖 10A 為合成變成亮燈狀態的在正交點的信號的波形圖。

圖 10B 為合成變成非亮燈狀態的在正交點的信號的波形圖。

圖 11 為驅動電路 11 的各信號的定時圖。

圖 12 為顯示共用驅動器 53 結構的方塊圖。

圖 13 為本發明實施第一形態其他結構例的驅動電路 11a 的電路圖。

圖 14 為驅動電路 11a 的各信號的定時圖。

圖 15 為發明實施第二形態的信號電極驅動電路 81 的電路圖。

圖 16 為交流化信號製成電路 91 的電路圖。

圖 17 為交流化信號製成電路 91 的各信號的定時圖。

圖 18 為信號電極驅動電路 81 的各信號的定時圖。

圖 19 為典型習知例的驅動電路 101 的電路構成圖。

圖 20 為以電晶體電平記述驅動電路 101 的更詳細電路圖。

較佳實施例之詳細說明

以下，參考圖面詳細說明本發明之較佳實施例。

圖 4 為本發明實施第一形態的信號電極驅動電路 11 的電路圖。此外，將本發明實施的此形態基本觀點顯示於前述圖 1 及圖 2。信號電極驅動電路 11 係包含第一開關電路 12、第二開關電路 13、輸出緩衝器 14 及輸出端子 15 所構成。從後述電源電路 56 給與信號電極驅動電路 11 預定的電壓。供

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

給第一開關電路12和第二開關電路13電壓VE，供給輸出緩衝器14電壓V0、V2、V3、V5。各電壓設接地電壓為電壓VG，則定為 $VE \geq V0 > V2 > V3 > V5 \geq VG$ 。

此外，資料信號DA、反轉資料信號DA之信號電平的信號DAR及反轉交流化信號FR之信號電平的信號FRR輸入控制輸出緩衝器14的各電晶體導通/切斷的各開關電路12、13。前述各信號係利用後述電平移動器68移動電平的信號。

第一開關電路12係包含為P通道型FET的電晶體21、22和為N通道型FET的電晶體23、24所構成。在第一開關電路12中，電晶體21、22、23、24按此順序梯級連接。給與電晶體21之源極S電壓VE，電晶體24之源極S接地。

資料信號DA輸入電晶體21、23之閘極G，信號DAR輸入電晶體22、24之閘極G。信號FRR輸入電晶體22和電晶體23的連接點25。設電晶體21和電晶體22的連接點電平為信號A1，設電晶體23和電晶體24的連接點電平為信號A2。

以下所示的表2為第一開關控制電路12的真值表。

【表2】

DA	FR	Tr21	Tr22	Tr23	Tr24	A1	A2
L	L	ON	OFF	OFF	ON	H	L
L	H	ON	OFF	OFF	ON	H	L
H	L	OFF	ON	ON	OFF	H	H
H	H	OFF	ON	ON	OFF	L	L

在表2中，資料信號DA為低「L」電平時，即使交流化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

信號FR為任一電平，信號A1也成為高電平，信號A2成為低電平。資料信號DA為高電平時，交流化信號FR為低電平時，信號A1、A2都成為高電平。此外，資料信號DA為高電平時，交流化信號FR為高電平時，信號A1、A2都成為低電平。

第二開關電路13係電晶體31~34與第一開關電路12之電晶體21~24分別對應，和電晶體21~24同樣地梯級連接。

信號DAR輸入電晶體31、33之閘極G，資料信號DA輸入電晶體32、34之閘極G。信號FRR輸入電晶體32和電晶體33的連接點35。設電晶體31和電晶體32的連接點信號電平為信號A3，設電晶體33和電晶體34的連接點信號電平為信號A4。

以下所示的表3為第二開關控制電路13的真值表。

【表3】

DA	FR	Tr31	Tr32	Tr33	Tr34	A3	A4
L	L	OFF	ON	ON	OFF	H	H
L	H	OFF	ON	ON	OFF	L	L
H	L	ON	OFF	OFF	ON	H	L
H	H	ON	OFF	OFF	ON	H	L

在表3中，資料信號DA為高電平時，即使交流化信號FR為任一電平，信號A3也成為高電平，信號A4成為低電平。資料信號DA為低電平時，交流化信號FR為低電平時，信號A3、A4都成為高電平。此外，交流化信號FR為高電平時，信號A1、A2都成為低電平。

五、發明說明 (16)

輸出緩衝器 14 係包含為 P 通道型 FET 的電晶體 41、42 和為 N 通道型 FET 的電晶體 43、44 所構成。供給輸出端子 15 輸出緩衝器 14 的為第一開關元件的各電晶體 41~44 輸出。供給電晶體 41 電壓 V0，根據信號 A1 控制導通/切斷。電晶體 41 根據信號 A1 的信號電平將電壓 V0 輸出到輸出端子 15。

供給電晶體 42 電壓 V2，根據信號 A3 控制導通/切斷。供給電晶體 43 電壓 V3，根據信號 A4 控制導通/切斷。供給電晶體 44 電壓 V5，根據信號 A2 控制導通/切斷。

以下所示的表 4 為輸出緩衝器 14 的真值表。

【表 4】

A1	A2	A3	A4	Tr41	Tr42	Tr43	Tr44	輸出電壓
H	L	H	H	OFF	OFF	ON	OFF	V3
H	L	L	L	OFF	ON	OFF	OFF	V2
H	H	H	L	OFF	OFF	OFF	ON	V5
L	L	H	L	ON	OFF	OFF	OFF	V0

如表 4 所示，根據表 2、3 所示的信號 A1~A4 電平導通或切斷電晶體 (Tr)41~44。在輸出緩衝器 14 中，電晶體 41~44 之任一電晶體成為導通狀態，由輸出端子 15 輸出供給該電晶體的電壓。為導通狀態的電晶體以外的 3 個電晶體被切斷。

又，在驅動電路 11 方面，各電晶體成為高耐壓的結構，所以為使電晶體導通而施加於閘極的信號及由電晶體所輸出的信號的電壓電平變高。在表 1~4 中，使信號 FR、DA、A1~A4 的信號電平只成為高及低電平，但可定為可導通/切斷各電晶體的信號電平。

五、發明說明 (17)

圖5為顯示液晶顯示裝置51的基本結構的方塊圖，圖6為從圖5之切斷面線III-III看的液晶顯示面板52的概略截面圖。液晶顯示裝置51係包含液晶顯示面板52、共用驅動器53、段驅動器54及驅動控制電路55所構成。

液晶顯示面板52如圖6所示，係包含一對透光性基板57、58，隔開預定間隔而貼合基板57、58的密封構件59及介於基板57、58間的液晶層60所構成。共用電極CO以一定間隔互相平行地設於基板57上。此外，對於共用電極CO正交般地，段電極SE以一定間隔設於基板58上。在液晶顯示面板52方面，共用電極CO分別連接於共用驅動器53，段電極SE分別連接於段驅動器54。在液晶顯示裝置51方面，共用驅動器53和段驅動器54根據由驅動控制電路55所供給的控制信號等，對於各電極CO、SE選擇地施加電壓而進行顯示。

與各段電極SE對應，資料閘鎖電路66、線路閘鎖電路67、電平移動器68及驅動電路11設於段驅動器54上。由驅動控制電路55所供給的資料信號DB為資料閘鎖電路66所閘鎖，與段電極SE1~SEm對應的一水平掃描期間分的資料信號DB一為各資料閘鎖電路66所閘鎖，就轉移到線路閘鎖67。線路閘鎖67將一水平掃描期間分的資料信號DB輸出到電平移動器68。電平移動器68於所輸入的信號的電平為低電平時，變換到接地電壓VG或電壓VE以下的預定基準電壓，於為高電平時，放大到電壓VE而輸出資料信號DA。

五、發明說明 (18)

為電平移動器 68 所變換電壓電平的資料信號 DA 輸入驅動電路 11。此外，交流化信號 FRB 由驅動控制電路 55 輸入電平移動器 68。電平移動器 68 將交流化信號 FRB 和資料信號 DB 同樣地電平變換，輸出作為交流化信號 FR。

圖 7 為輸入液晶顯示面板 52 的各信號的定時圖。又，在本定時圖中，以同一符號顯示電極和給與電極的信號。垂直同步信號 Vsyn 的各周期與共用電極 CO1 ~ CON 分別對應發生水平同步信號 Hsyn。在垂直同步信號 Hsyn 顯示的期間 T1，根據垂直同步信號 Hsyn，僅和共同電極 CO 同數決定水平掃描期間 T2。在各水平掃描期間 T2，共用電極驅動信號 COM1、COM2、COMn 依次成為高電平，該共用電極驅動信號 COM1、COM2、COMn 係顯示施加成為後述選擇狀態的電壓之共用電極 CO 的信號。在共用電極驅動信號 CO 為高電平的期間，段電極驅動信號 SEG1、SEG2、SEGm 成為高電平，該段電極驅動信號 SEG1、SEG2、SEGm 係顯示施加成為後述選擇狀態的電壓之段電極 SE 的信號，為資料信號 DA 所規定的電壓施加於各段電極 SE。

在圖 8 所示的 3 行 x 3 列液晶顯示面板 52 方面，施以斜線的斜線部分 70 顯示非亮燈狀態，白部分 71 顯示亮燈狀態。圖 9 和交流化信號 FR 共同顯示從共用驅動器 53 到共用電極 CO1、共用電極 CO2 及共用電極 CO3 的輸出波形、從段驅動器 54 到段電極 SE1、段電極 SE2 及段電極 SE3 的輸出波形。共用電極 CO1 和段電極 SE2 的正交點為亮燈狀態，共用電極 CO2 和段電極 SE2 的正交點為非亮燈。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

圖 10A 顯示合成變成亮燈狀態時的對於各電極的輸出波形的電壓波形，圖 10B 顯示合成變成非亮燈狀態時的對於各電極的輸出波形的電壓波形。在圖 10A 及圖 10B 中，以實線顯示的共用的輸出電壓係 V0 及 V5 的情況為選擇狀態，V1 及 V4 的情況為非選擇狀態。此外，以虛線顯示的段的輸出電壓係 V0 及 V5 的情況為選擇狀態，V2 及 V3 的情況為非選擇狀態。即，電壓 V0 施加於共用電極 CO 時，電壓 V5 施加於段電極 SE 的正交點亮燈及電壓 V5 施加於共用電極 CO 時，電壓 V0 施加於段電極 SE 的正交點亮燈。電壓 V0 施加於共用電極 CO 時，電壓 V3 施加於段電極 SE 的正交點成為非亮燈狀態及電壓 V5 施加於共用電極 CO 時，電壓 V2 施加於段電極 SE 的正交點成為非亮燈狀態。

圖 11 為驅動電路 11 的各信號的定時圖。在時刻 $t_{41} \sim t_{42}$ ，交流化信號 FR 為低「L」電平，資料信號 DA 為高「H」電平，所以輸出電壓成為 V5。在時刻 $t_{42} \sim t_{43}$ ，交流化信號 FR 為低電平，資料信號 DA 也為低電平，所以輸出電壓成為 V3。

在時刻 $t_{44} \sim t_{45}$ ，交流化信號 FR 成為高電平，資料信號 DA 為高電平，所以輸出電壓成為 V0。設電壓 V0 和電壓 V5 的中間電壓為電壓 VC。在時刻 $t_{45} \sim t_{46}$ ，交流化信號 FR 為高電平，但資料信號 DA 為低電平，所以輸出電壓成為 V2。電壓 V2 對於電壓 VC 具有和電壓 V3 相等的電壓差。

在時刻 t_{45} ，交流化信號 FR 成為低電平，資料信號 DA 為高電平，所以輸出電壓成為 V5。交流化信號 FR 例如從時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

刻 t44 到時刻 t47 的各期間 W41 交互變成高電平和低電平。

上述驅動電路 11 雖然在段驅動器 54 使用，但藉由變更供給輸出緩衝器 14 的電壓及進入第一開關電路 12 的交流化信號 FR，可用於液晶顯示裝置 51 的共用驅動器 53。

圖 12 為共用驅動器 53 的方塊圖。共用驅動器 53 係包含移位暫存器 61、電平移動器 62 及驅動電路 11a 所構成。移位暫存器 61 根據垂直同步信號 Vsyn 和水平同步信號 Hsyn 輸出掃描定時信號 ST。電平移動器 62 將由移位暫存器 61 所輸出的信號電平移動而輸出。驅動電路 11a 根據電平移動器 62 的輸出(電平移動後的掃描定時信號 ST)、交流化信號 FR 及電源電壓 V0、V1、V4、V5 輸出共用電極驅動信號 COM1、...、COMn。

圖 13 為共用驅動器 53 的驅動電路 11a 的電路圖。驅動電路 11a 為和驅動電路 11 同一的構成元件所構成，所以附上同一的參照符號而省略關於結構的說明。驅動電路 11a 和驅動電路 11 不同之點的第一點係在第一開關電路 12 中供給連接點 25 的信號在驅動電路 11 係反轉交流化信號 FRR，但在驅動電路 11a 則成為交流化信號 FR。此外，第二點係供給第一及第二開關電路 12、13 之各電晶體之間極 G 的信號在驅動電路 11 係資料信號 DA 及反轉資料信號 DAR，但在驅動電路 11a 則成為掃描定時信號 ST 及反轉掃描定時信號 STR。再者，第三點係給與輸出緩衝器 14 之電晶體 42 定為 $V0 > V1 > V2$ 的電壓 V1，給與電晶體 43 定為 $V3 > V4 > V5$ 的電壓 V4。

五、發明說明 (21)

圖 14 為驅動電路 11a 的各信號的定時圖。在時刻 t_{51} ，交流化信號 FR 從高電平下降到低電平，掃描定時信號 ST 為低電平，所以輸出電壓成爲 V_4 。在時刻 t_{52} ，掃描定時信號 ST 上升，交流化信號 FR 為低電平，所以輸出電壓成爲 V_0 。在時刻 t_{53} ，掃描定時信號 ST 從高電平下降到低電平，交流化信號 FR 為低電平，所以輸出電壓成爲 V_4 。

在時刻 t_{54} ，交流化信號 FR 從低電平上升到高電平，掃描定時信號 ST 為低電平，所以輸出電壓成爲 V_1 。在時刻 t_{55} ，掃描定時信號 ST 從低電平上升到高電平，交流化信號 FR 為高電平，所以輸出電壓成爲 V_5 。在時刻 t_{56} ，掃描定時信號 ST 從高電平下降到低電平，交流化信號 FR 為高電平，所以輸出電壓成爲 V_1 。

如以上，根據本發明實施之此形態，由於將為能輸出高電壓而形成高耐壓的電晶體數在習知開關電路需要 8 個者在第一開關電路 12 及第二開關電路 13 分別以 4 個電晶體構成，所以可縮小形成高耐壓的電路部分，可縮小形成驅動電路 11、11a 的面積，該驅動電路 11、11a 係選擇輸出驅動液晶的電壓。該結果，可謀求伴隨液晶顯示面板大型化、高精密化、彩色化的潮流的多輸出化及形成液晶顯示面板周邊段驅動器 54 及共用驅動器 53 的框緣領域縮小、與封裝小型化對應的超細晶片化。

圖 15 為顯示本發明實施第二形態的信號電極驅動電路 81 結構的電路圖。此外，將本發明實施的此形態基本觀念顯示於前述圖 3。在驅動電路 81 方面，在和驅動電路 11 同一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (22)

的構成元件附上同一的參照符號而省略說明。

本實施例的驅動電路81之特徵，係供給驅動電路81分別反轉互相相位不同的第一交流化信號FS及第二交流化信號FT的信號FSR、FTR以取代交流化信號FR者。在驅動電路81方面，第一開關電路82和第一開關電路12同樣，係包含電晶體21~24所構成，但電晶體22和電晶體23則未連接。此外，供給電晶體22信號FSR，供給電晶體23信號FTR。至於其他構成元件的連接狀態及所供給的信號、電壓，和第一開關電路12相同。

反轉第一交流化信號FSR於反轉資料信號DAR為低電平時給與電晶體41之閘極G。此外，反轉第二交流化信號FTR於資料信號DA為高電平時給與電晶體44之閘極G。

第二開關電路83和第二開關電路13同樣，係包含電晶體31~34所構成，但電晶體32和電晶體33則未連接。供給電晶體32信號FSR，供給電晶體33信號FTR。信號FSR於資料信號DA為低電平時給與電晶體42之閘極G。此外，信號FTR於反轉資料信號DAR為高電平時給與電晶體43之閘極G。

圖16為交流化信號製成電路91的電路圖，圖17為交流化信號製成電路91的各信號的定時圖。交流化信號製成電路91係包含反相器92、95~99和反及閘93、94所構成。

輸入交流化信號製成電路91的交流化信號FR輸入反及閘94一方的輸入。此外，交流化信號FR透過反相器92輸入反及閘93一方的輸入。反相器98的輸出輸入反及閘93他方的

五、發明說明 (23)

輸入。為反及閘93輸出的信號FR2輸入反相器99，輸出作為信號FTR。此外，信號FR2透過反相器95、96輸入反及閘94他方的輸入。為反及閘94輸出的信號FR1輸出作為信號FSR。此外，信號FR1透過反相器97、98輸入反及閘93他方的輸入。

在圖17中，在時刻t81，交流化信號FR從低電平上升到高電平，信號FR2就從低電平上升到高電平。此外，信號FR1在延遲期間W81的時刻t82下降到低電平。在時刻t81，因信號FR2上升而信號FTR下降。

如上述，交流化信號製成電路91根據交流化信號FR將互相相位不同的信號FSR及信號FTR製成而輸出。

圖18為信號電極驅動電路81的各信號的定時圖。在本定時圖中，資料信號DA經常為高電平。因此，根據交流化信號FTR、FSR的信號電平，電晶體41、44的任何一方成為ON狀態，從輸出端子15輸出電壓V0或V5。

從時刻t90起信號FSR開始上升，成為高電平。到時刻t91為止，輸出電壓為V0。在時刻t91，信號FSR成為高電平，所以電晶體41成為OFF狀態。在時刻t91，雖然信號FTR開始上升，但電晶體44為OFF狀態。在時刻t92，藉由信號FTR變成高電平，電晶體44成為ON狀態，輸出電壓成為V5。

因此，在期間W91，該期間W91係在時刻t91電晶體41成為OFF狀態之後在時刻t92電晶體44成為ON狀態的期間，電晶體41、44都成為OFF狀態，可防止貫通電流流動。此

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

外，在時刻 t_{93} ，信號 FTR 變成低電平，電晶體 44 成爲 OFF 狀態，但電晶體 41 到信號 FSR 在時刻 t_{94} 變成低電平爲止係 OFF 狀態，所以在從時刻 t_{93} 到時刻 t_{94} 的期間 W92，電晶體 41、44 都成爲 OFF 狀態。在從時刻 t_{95} 到時刻 t_{96} 的期間 W93，對於信號 FSR 變成高電平的時刻，信號 FTR 變成高電平的時刻延遲，所以電晶體 41、44 也都成爲 OFF 狀態。

因此，由於輸出電壓切換之際設置輸出切換前的電壓的電晶體和輸出切換後的電壓的電晶體都成爲 OFF 狀態的期間，所以在驅動電路 81 可防止貫通電流流動，可減低具備驅動電路 81 之顯示裝置的消耗電力。

又，在期間 W91、92、93，因輸出電壓不是哪個電壓而成爲高阻抗狀態，但不會因連接於輸出端子 15 的電極、與此電極對向的電極及爲介電層所形成的容量而對顯示面板的顯示發生影響。

如以上，根據本發明實施的此形態，由於分別供給各開關電路 82、83 相位不同的信號 FTR、FSR，所以輸出緩衝器 14 的 2 個電晶體不會同時成爲 ON 狀態，可防止貫通電流流動。此外，由於可防止貫通電流流動，所以可減低驅動電路 81 的消耗電力。

本發明不從其精神或主要特徵脫離，可用其他各種形式實施。因此，前述實施例在所有之點只不過是例示，本發明之範圍顯示於申請專利範圍，一點也不受說明書本文拘束。

再者，屬於申請專利範圍之均等範圍的變形或變更全係本發明範圍內者。

四、中文發明摘要(發明之名稱: 多值電壓輸出電路及液晶驅動電路)

本發明提供一種藉由減少包含於為高耐壓之電路部分的電晶體數，可抑制所形成的面積之多值電壓輸出電路。信號電極驅動電路11將輸入各開關控制電路12、13的反轉交流化信號FRR根據資料信號DA選擇地輸入包含於輸出緩衝器14內的電晶體41~44，使電晶體41~44的任一電晶體導通而從輸出端子15輸出與各電晶體41~44分別對應的電壓。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱: "MULTIPLE VALUE VOLTAGE OUTPUT

CIRCUIT AND LIQUID CRYSTAL DISPLAY DRIVING CIRCUIT")

日文: 多值電圧出力回路および液晶駆動回路

高耐壓である回路部分に含まれるトランジスタの数を少なくすることによって形成される面積を小さく抑えることができる多値電圧出力回路を提供する。信号電極駆動回路11は、各スイッチング制御回路12、13に入力される反転交流化信号FRRをデータ信号DAに基づいて出力バッファ14に含まれるトランジスタ41~44に選択的に入力して、トランジスタ41~44のいずれか1つのトランジスタを導通させて各トランジスタ41~44にそれぞれ対応付けられている電圧を出力端子15から出力する。

六、申請專利範圍

1. 一種多值電壓輸出電路，其係根據每預定時間從第一電源電位電平轉換為第二電源電位或從第二電源電位電平轉換為第一電源電位的第一輸入信號和比前述預定期間短的每預定基準時間將該電平定為前述第一及第二電源電位之任一方的第二輸入信號，選擇地輸出多數電壓之中的一電壓，

其具有一端分別連接於前述多數電壓之中的對應電壓，他端共同連接於輸出端子的多數第一開關元件；及，

輸出使前述多數第一開關元件中之一開關元件成為導通狀態、使其他開關元件成為切斷狀態的控制信號的控制電路；其特徵為：

前述控制電路具有邏輯電路，該邏輯電路係前述各第一開關元件由所梯級連接的2個第二開關元件構成，根據前述第二輸入信號，任何一方成為導通狀態，同時給與其一端前述第一或第二電源電位，給與他端前述第一輸入信號，其連接點電位成為該第一開關元件的控制信號者。

2. 根據申請專利範圍第1項之多值電壓輸出電路，其中：

係由第一邏輯電路構成，該第一邏輯電路係連接於預定值以上的電壓的前述第一開關元件由P通道電晶體構成，並且將控制信號輸出到該P通道電晶體的前述邏輯電路由給與其一端使P通道電晶體成為切斷狀態的電源電位的P通道電晶體之梯級連接電路構成，

係由第二邏輯電路構成，該第二邏輯電路係連接於不

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

滿前述預定值的電壓的前述第一開關元件由N通道電晶體構成，並且將控制信號輸出到該N通道電晶體的前述邏輯電路由給與其一端使N通道電晶體成為切斷狀態的電源電位的N通道電晶體之梯級連接電路構成。

3. 根據申請專利範圍第2項之多值電壓輸出電路，其中在前述第一及第二電源電位間梯級連接前述第一邏輯電路和第二邏輯電路，給與其連接點前述第一輸入信號而成。
4. 根據申請專利範圍第2項之多值電壓輸出電路，其中使給與前述第一邏輯電路他端的第一輸入信號和給與前述第二邏輯電路他端的第一輸入信號之相位不同，於前述第一輸入信號的電平轉換時，設置全部邏輯電路的兩端電壓互相相等的期間。
5. 一種液晶段驅動電路，其係根據申請專利範圍第1項之多值電壓輸出電路，其特徵在於：使前述第一輸入信號成為每框電平轉換的交流化信號，使前述第二輸入信號成為根據顯示資料決定電平的資料信號者。
6. 一種液晶共用驅動電路，其係根據申請專利範圍第1項之多值電壓輸出電路，其特徵在於：使前述第一輸入信號成為每框電平轉換的交流化信號，使前述第二輸入信號成為掃描定時信號者。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

8510 8646

圖 1

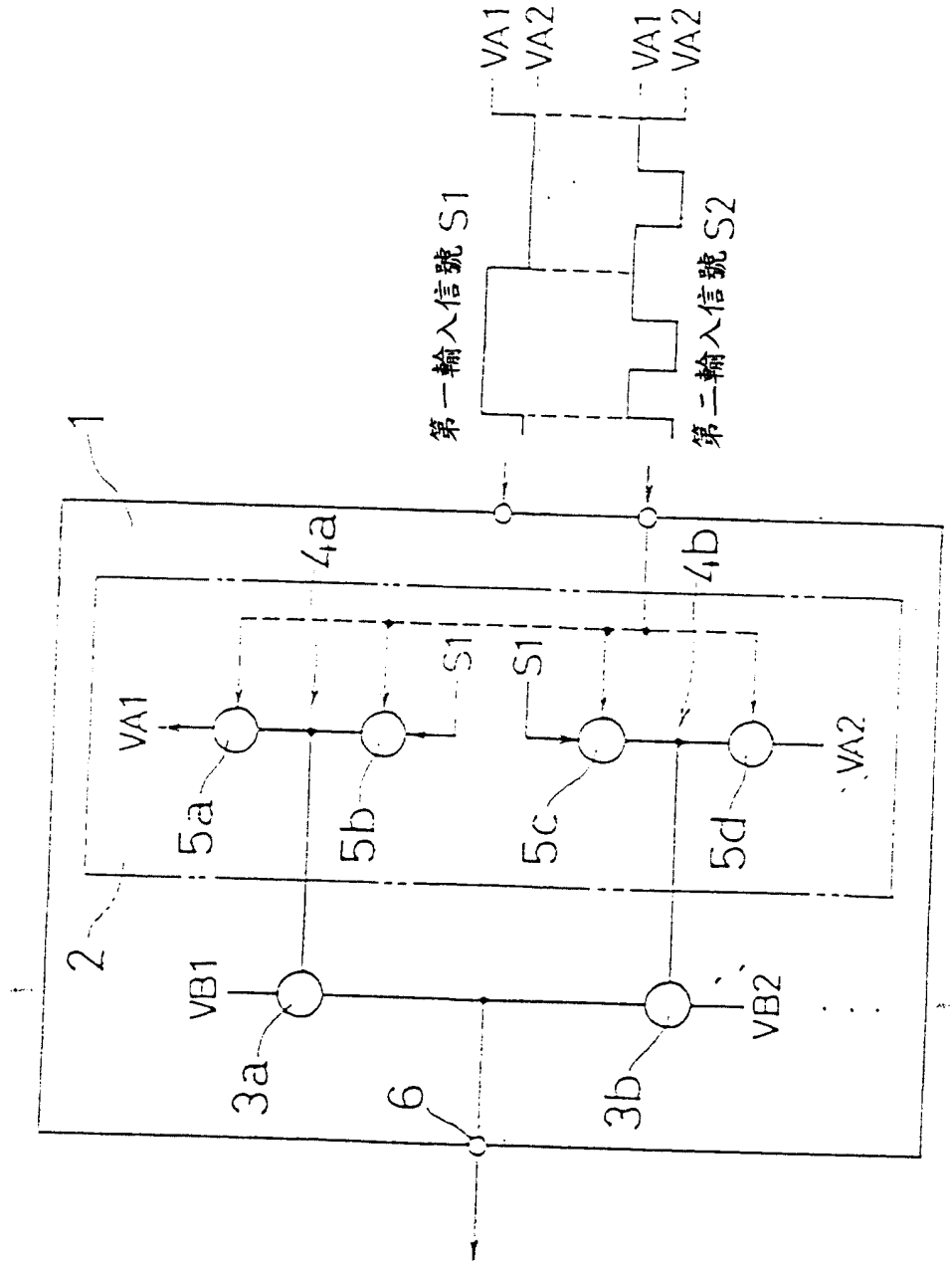


圖 2

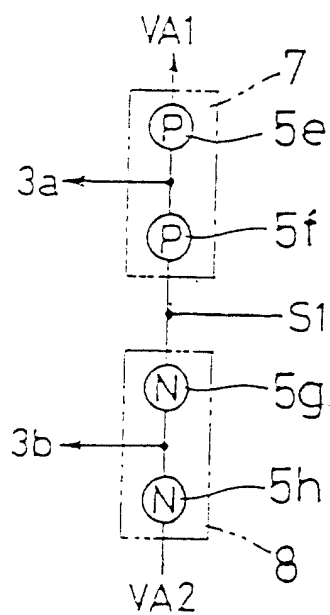


圖 3

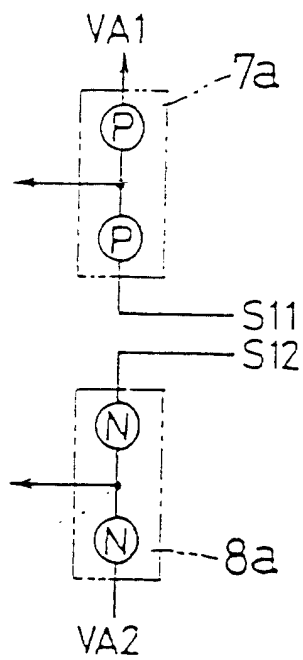


圖 4

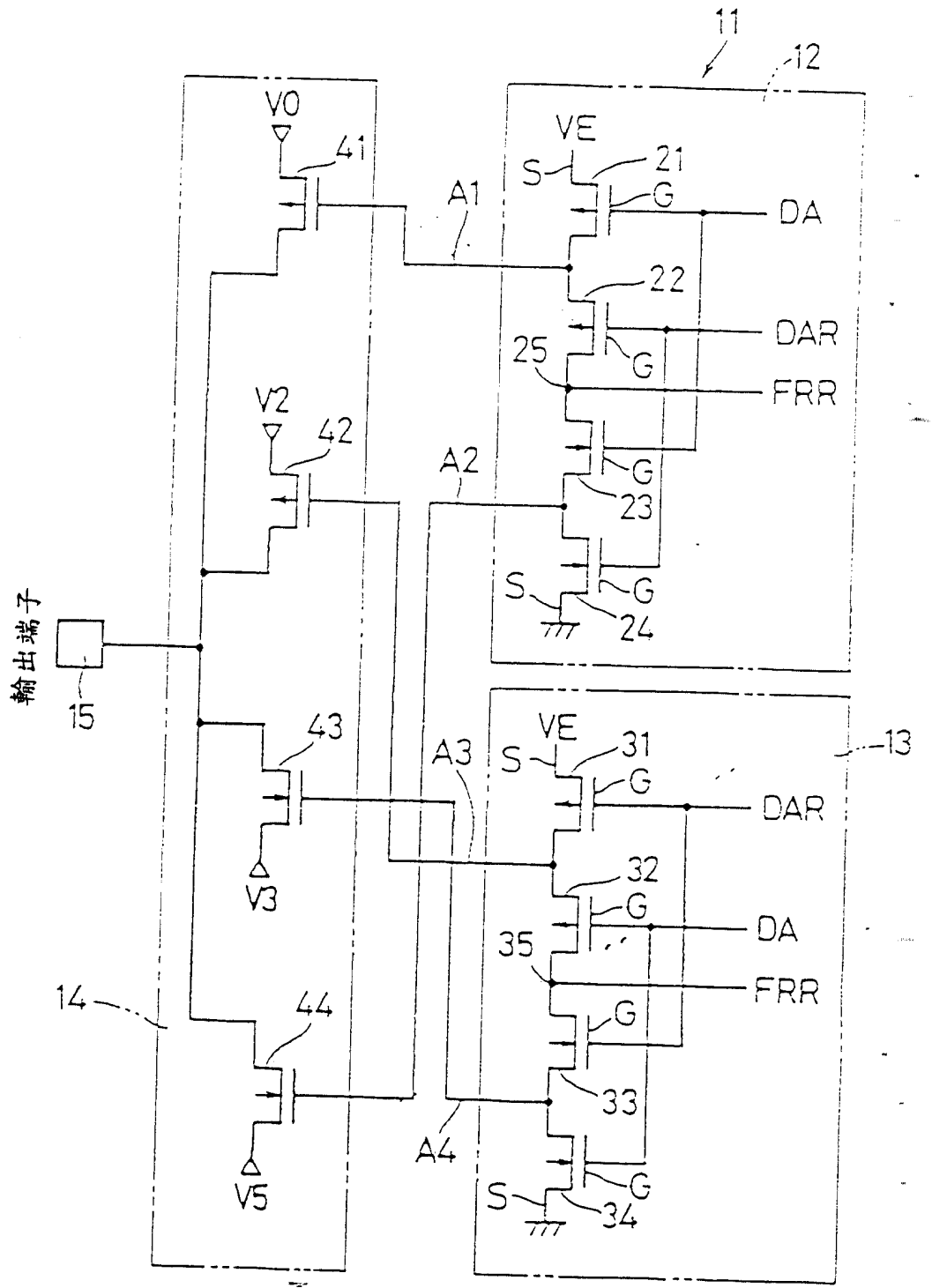


圖 5

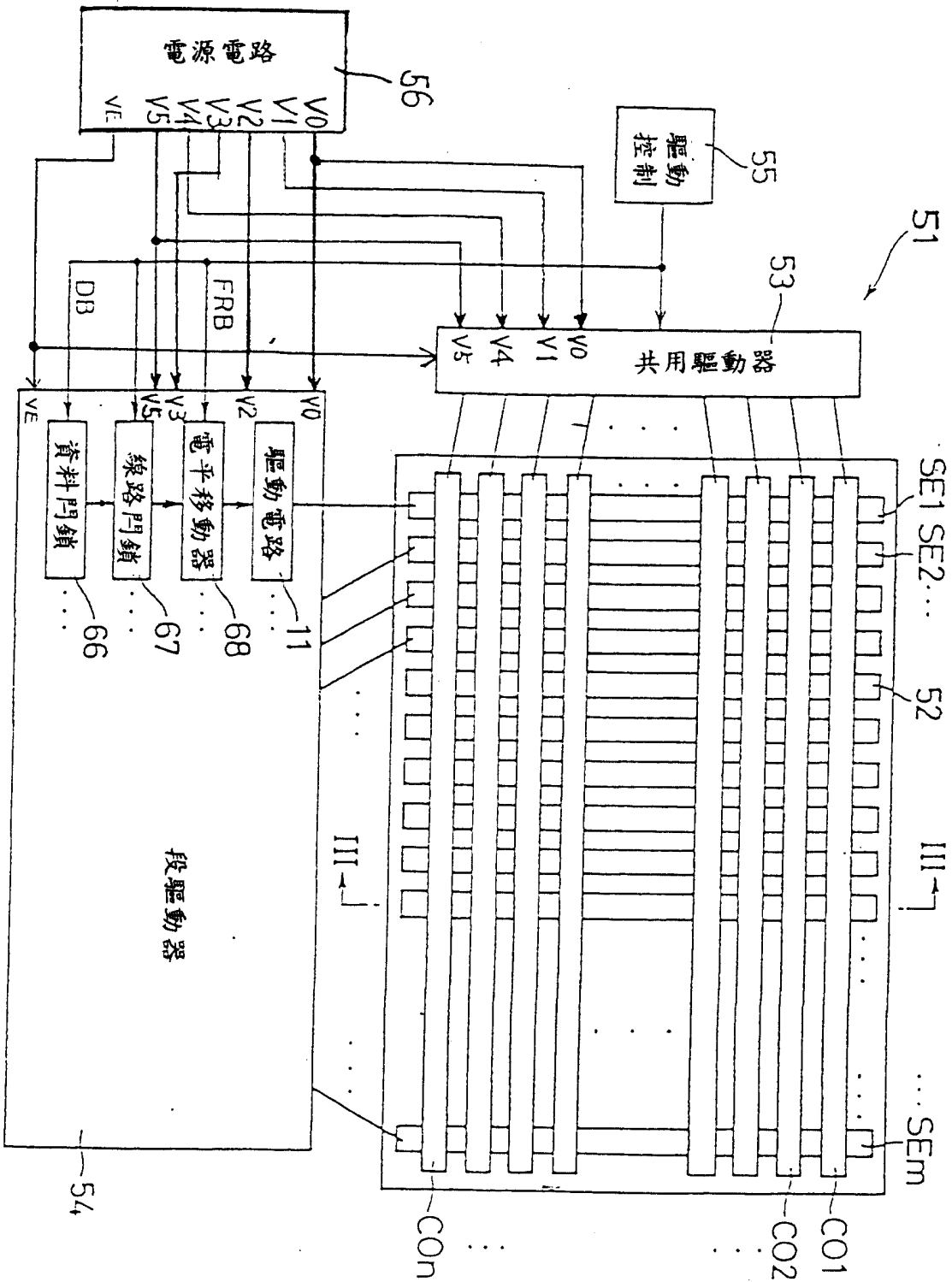


圖 6

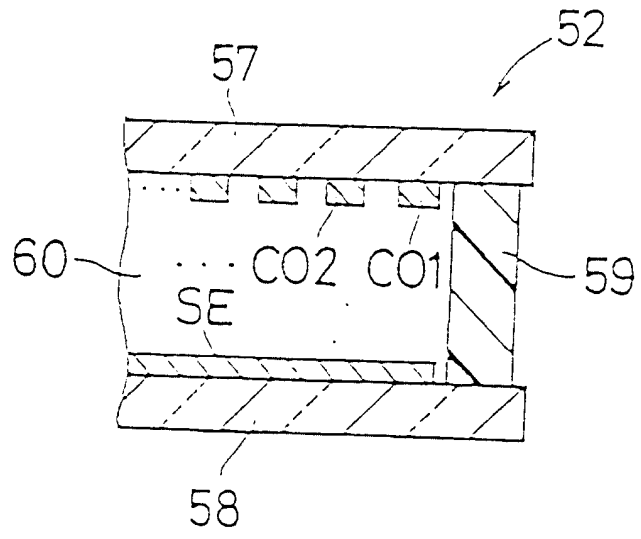


圖 7

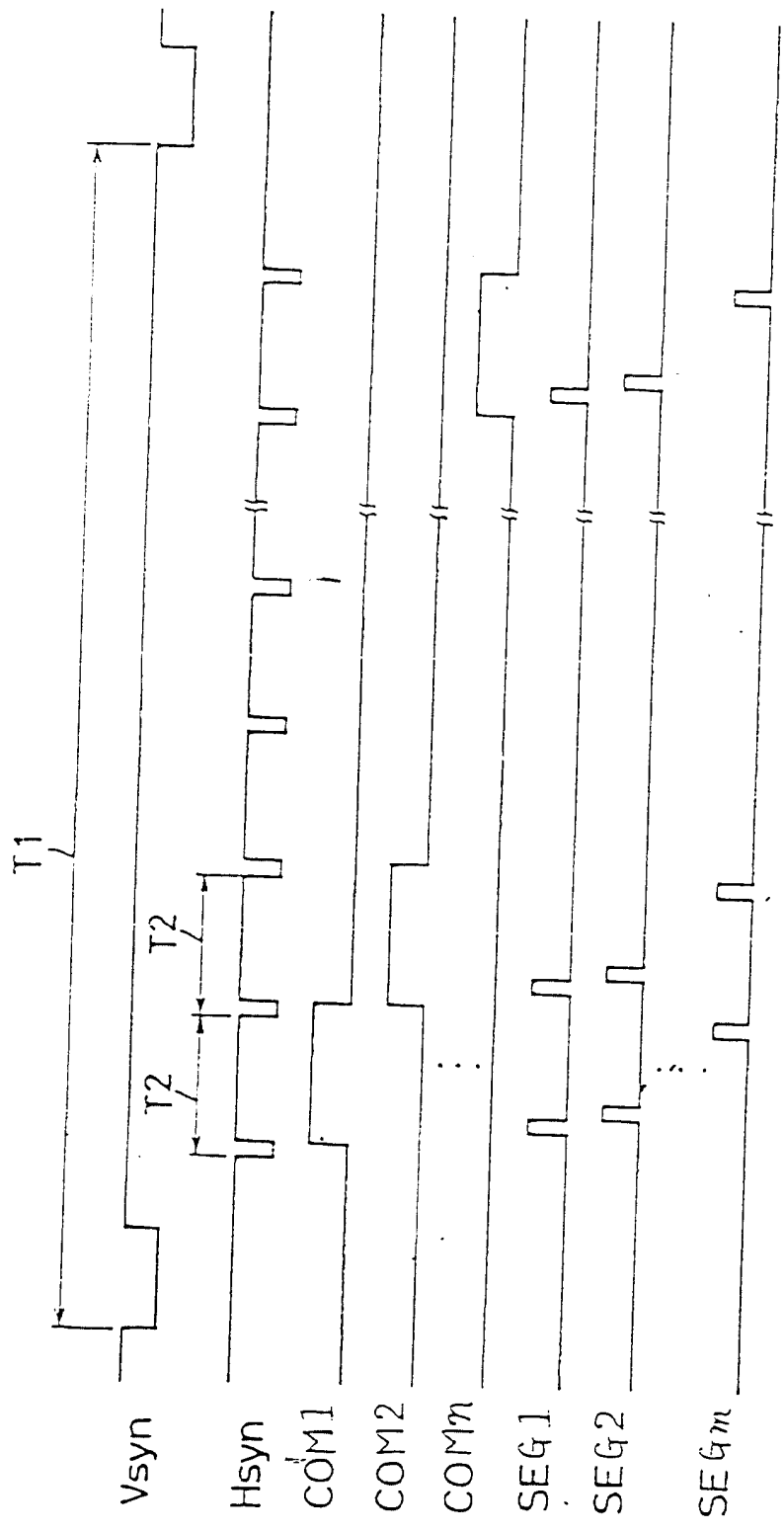


圖 8

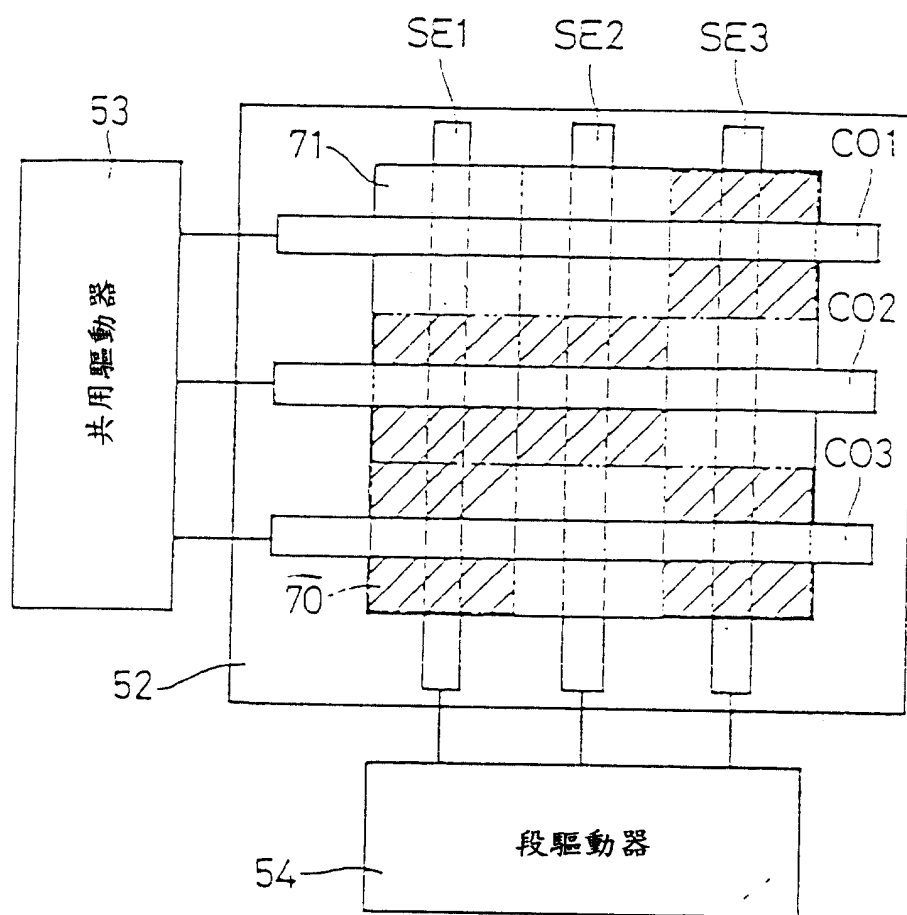


圖 9

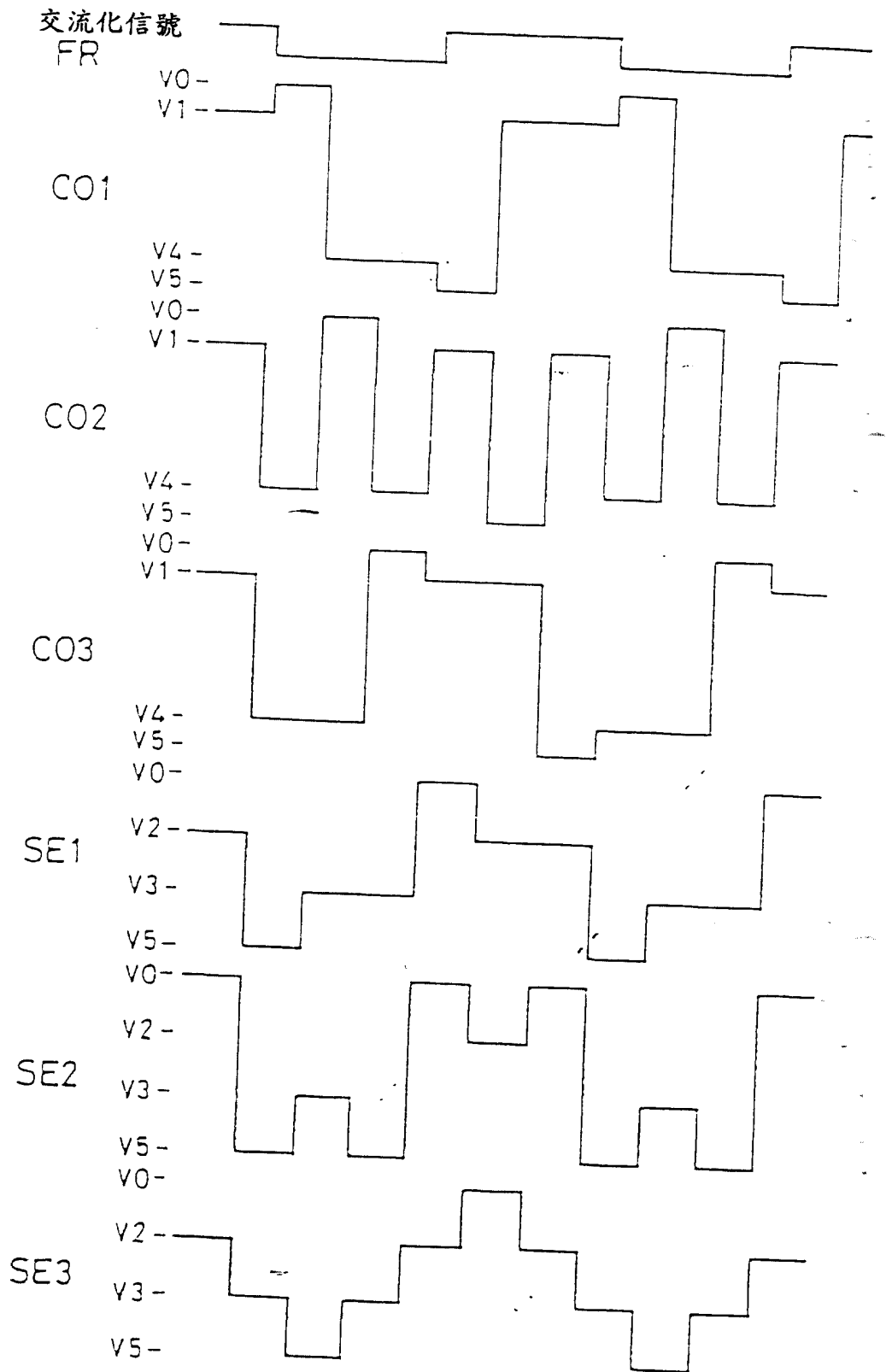


圖 10A

亮燈狀態的
合成波形

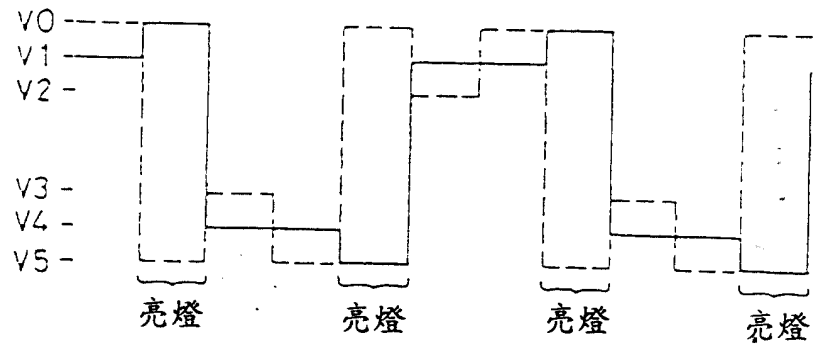


圖 10B

非亮燈狀態的
合成波形

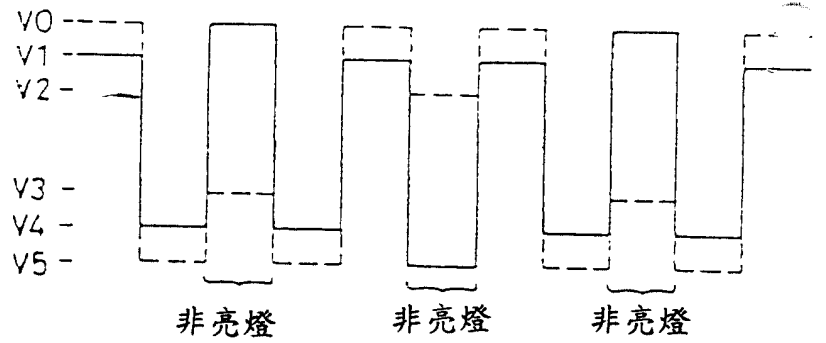


圖 11

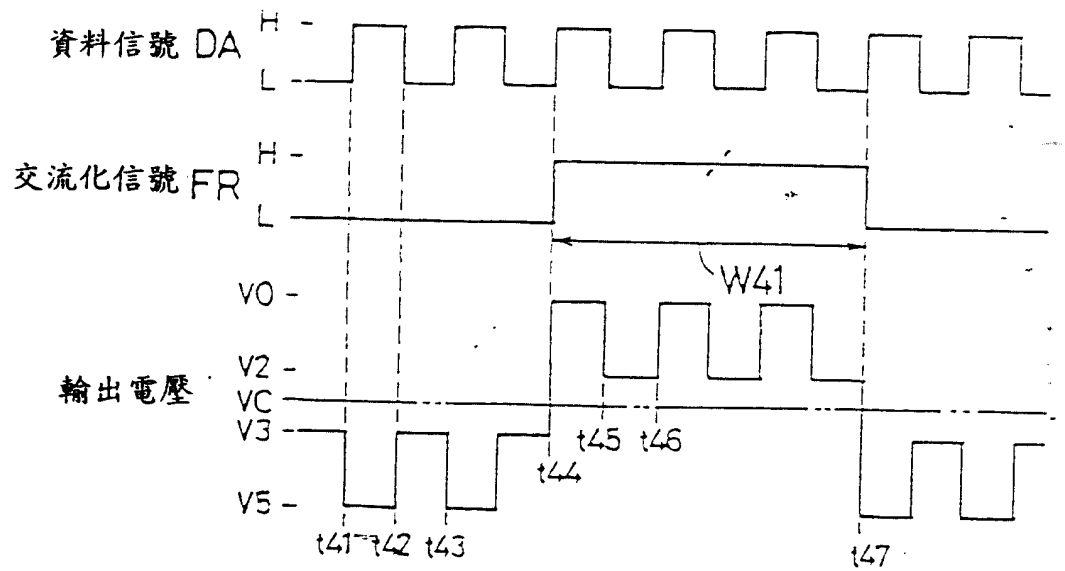


圖 12

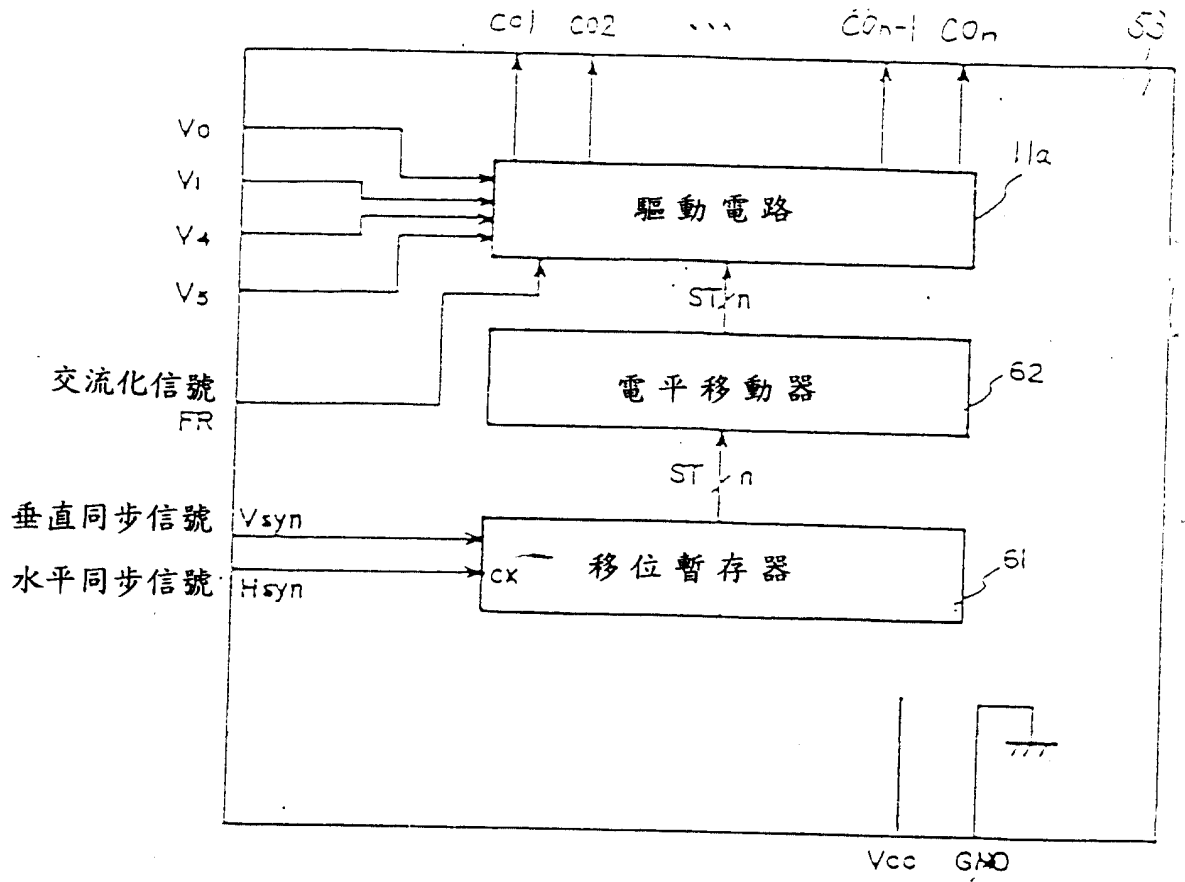


圖 13

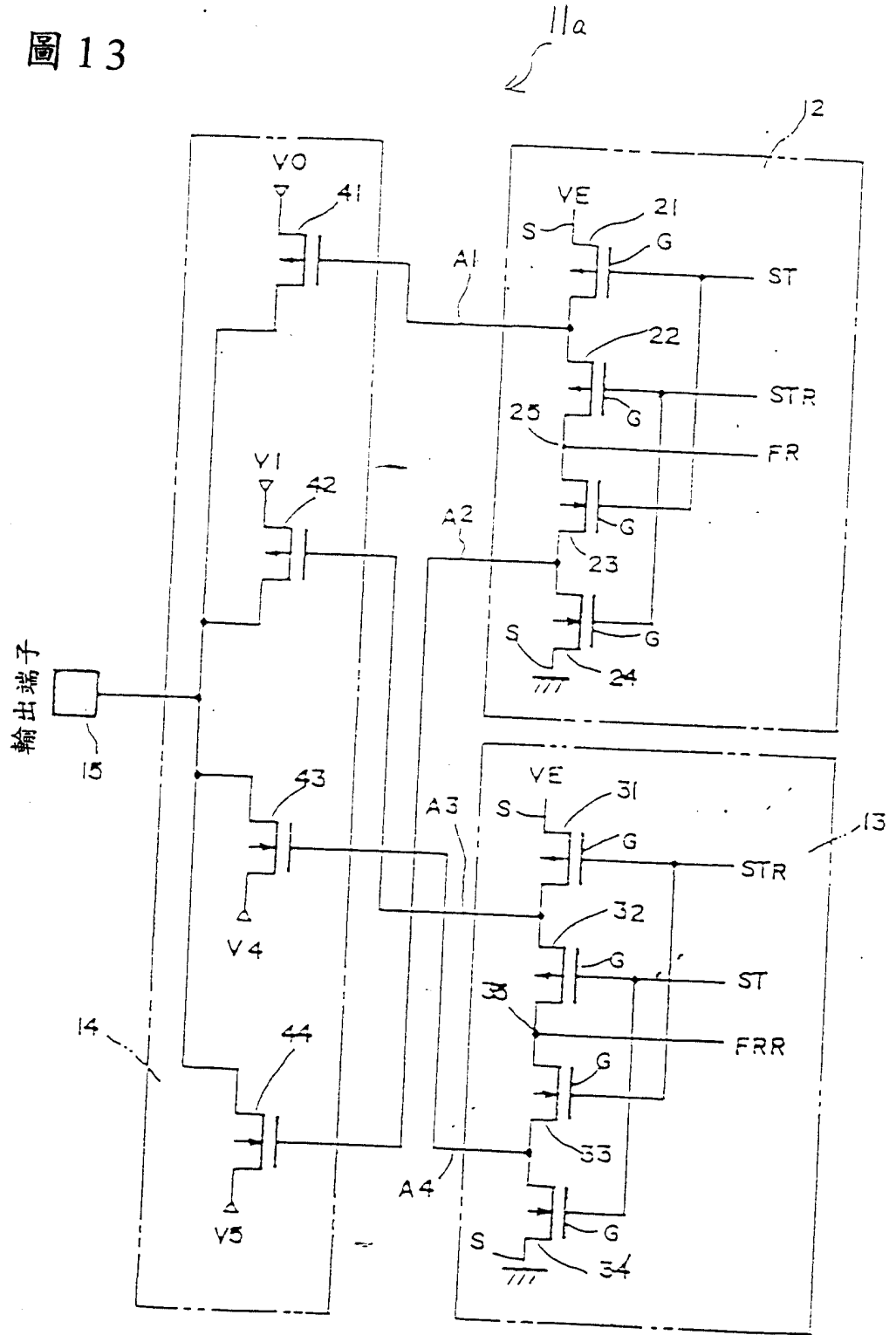
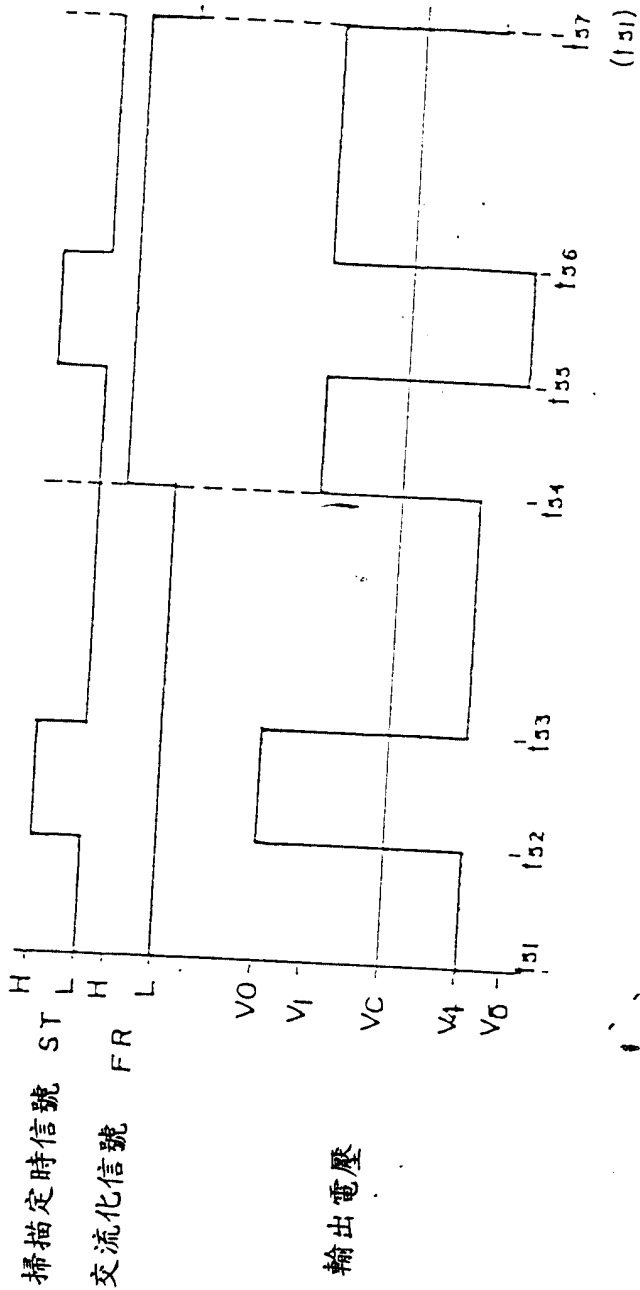


圖 14



1977.12.27

圖 15

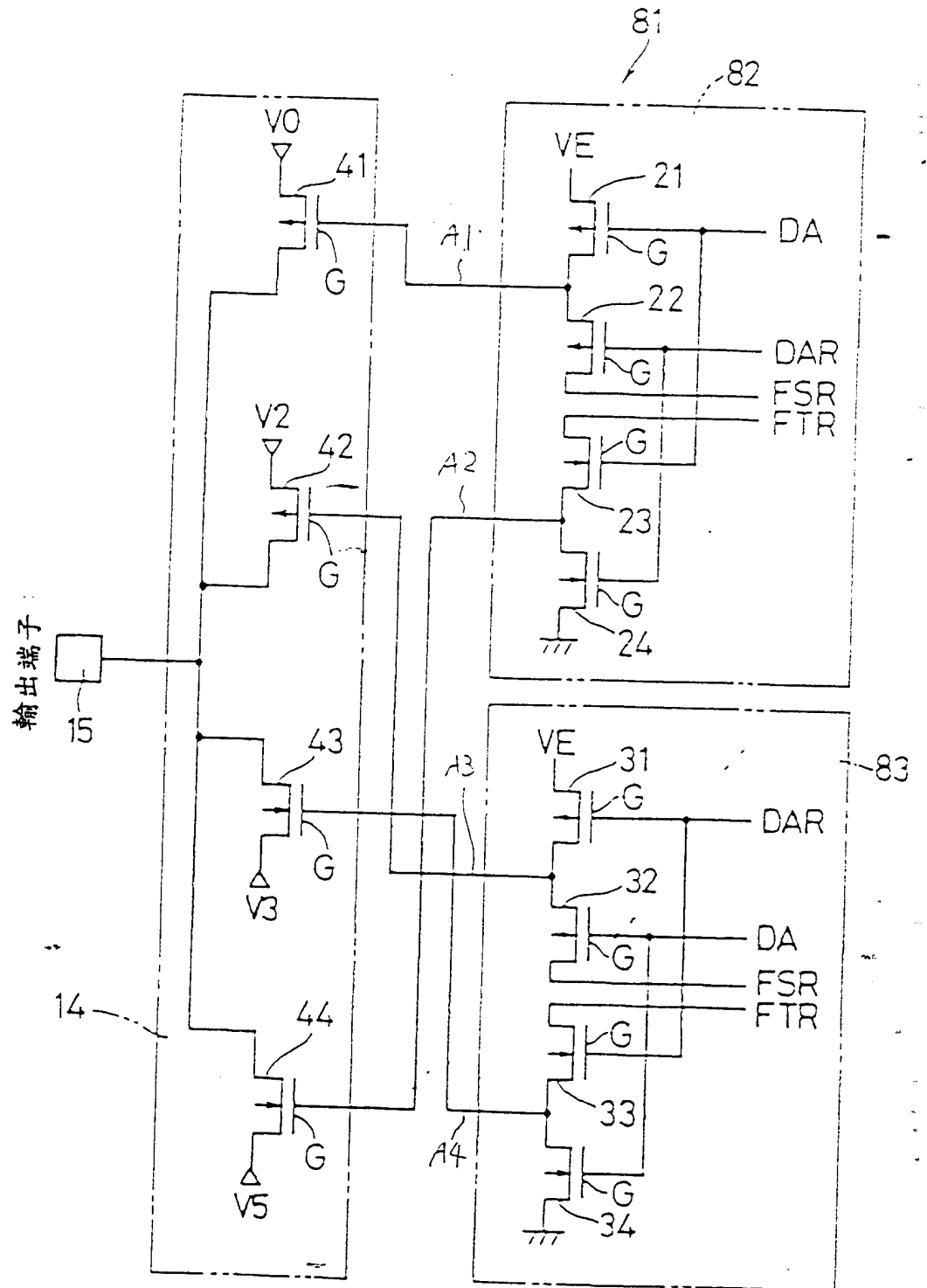


圖 16

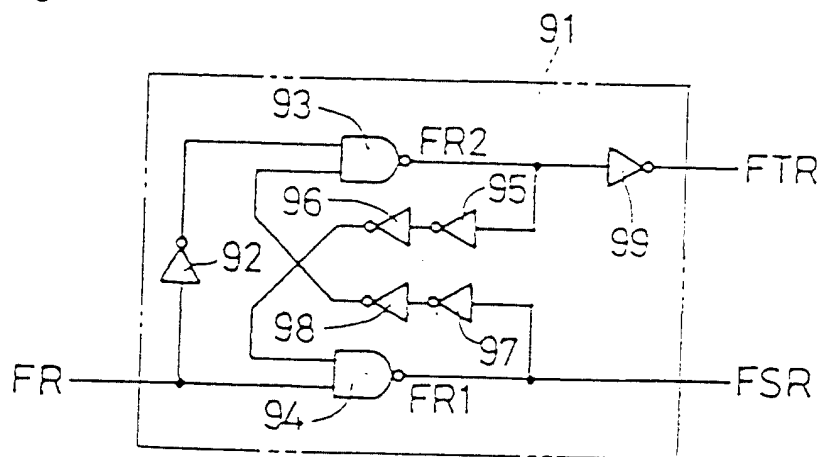


圖 17

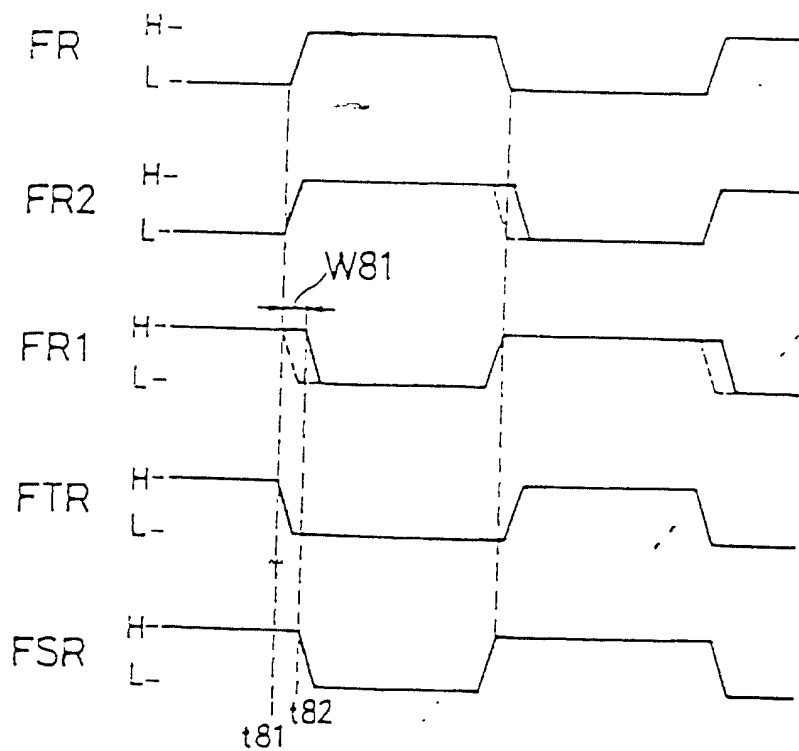


圖 18

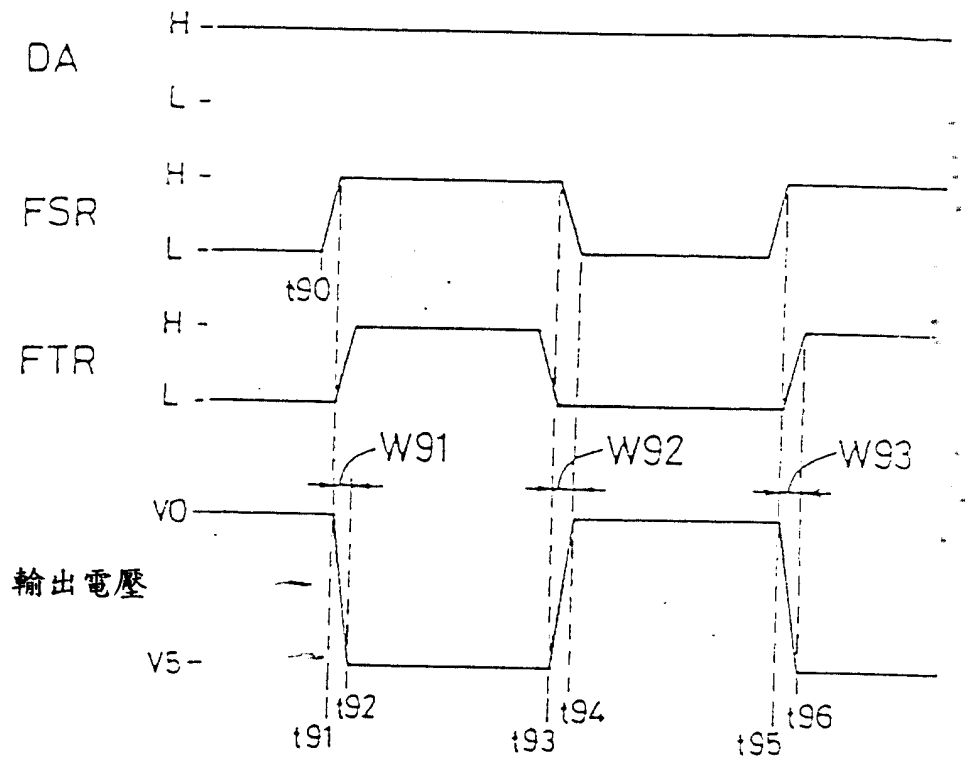


圖 19 先前技術

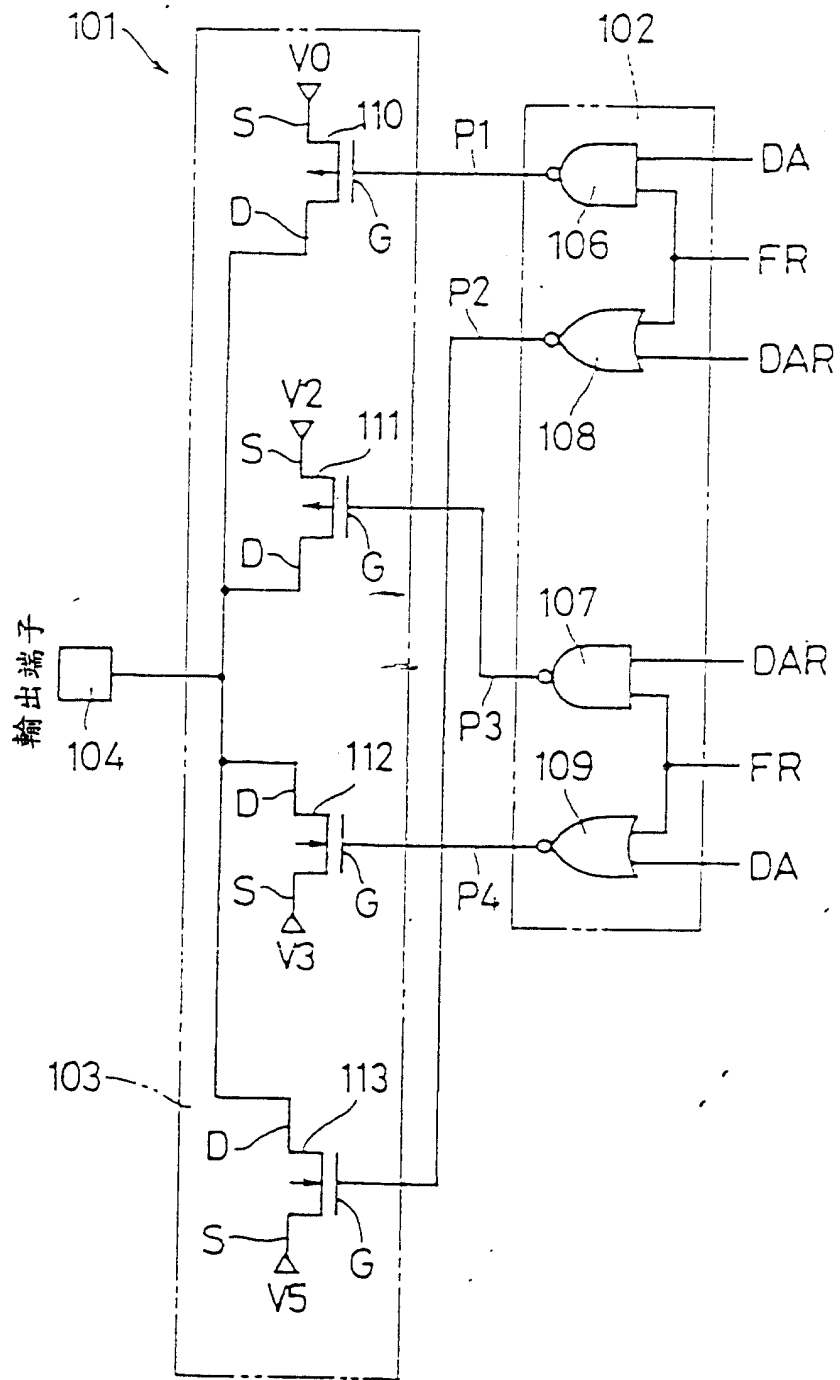


圖 20 先前技術

