



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/336 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월18일 10-0671663 2007년01월12일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0074647 2000년12월08일 2005년09월27일	(65) 공개번호 (43) 공개일자	10-2002-0045263 2002년06월19일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	안태항 서울특별시관악구봉천6동1688-22목화빌라301호
(74) 대리인	신영무 최승민

심사관 : 김주식

전체 청구항 수 : 총 8 항

(54) 반도체 소자의 트랜지스터 제조 방법

(57) 요약

본 발명은 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 폴리 실리콘 저마늄층으로 이루어진 게이트 전극을 형성하고 보론을 이온주입한 후 열처리하는 과정에서, 보론 이온 주입시 질소를 함께 주입하되 질소를 보론보다 더 깊이 주입하여 게이트 산화막 상부에 축적함으로써 폴리 실리콘 저마늄층에서 보론의 확산을 1차로 차단하고, 게이트 산화막 상부에 축적된 질소 성분으로 보론의 확산을 2차 차단함으로써 게이트 산화막을 통과해 채널 영역으로의 보론 침투 현상을 효과적으로 억제하여 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 게이트 전극 방법이 개시된다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 기판 상에 게이트 산화막 및 폴리실리콘 시드층을 형성하는 단계;

상기 폴리실리콘 시드층 상에 폴리 실리콘 저마늄층을 형성하는 단계;

상기 폴리 실리콘 저마늄층에 보론 및 질소를 이온 주입하되 질소를 보론보다 더 깊이 이온 주입하는 단계;

상기 폴리 실리콘 저마늄층, 상기 폴리실리콘 시드층 및 상기 게이트 산화막을 패터닝하는 단계;

열처리를 실시하여 상기 질소를 확산시켜 상기 폴리실리콘 시드층과 상기 게이트 산화막의 계면에 보론의 확산을 방지할 수 있는 질소 축적층을 형성하는 단계 및

게이트 스페이서 및 LDD 구조의 소오스/드레인을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 폴리실리콘 시드층은 550 내지 650℃의 온도에서 100 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 3.

제 1 항에 있어서,

상기 폴리 실리콘 저마늄층은 비정질 또는 결정질 상태로 증착하며, 450 내지 650℃의 온도와 5 내지 1,000mTorr의 압력에서 LPCVD, VLPCVD, PE-VLPCVD, UHVCVD, RTCVD 또는 APCVD법을 이용해 700 내지 2500Å 두께로 증착하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 폴리 실리콘 저마늄층의 저마늄 함량은 10 내지 70%가 되도록 하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 폴리 실리콘 저마늄층은 수소 가스에 SiH_4 가 10 내지 100% 포함된 혼합 가스나 수소 가스에 Si_2H_6 가 10 내지 100% 포함된 혼합 가스를 실리콘의 소오스 가스로 사용하고, 수소 가스에 GeH_4 가스가 1 내지 100% 포함된 혼합 가스 또는 수소 가스에 GeF_4 가 1 내지 100% 포함된 혼합 가스를 저마늄 소오스 가스로 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 보론 이온 주입시 사용하는 보론 불순물로는 B₁₁ 또는 BF₂를 사용하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 7.

제 1 항에 있어서,

상기 질소 이온 주입시 사용하는 질소로는 14N⁺ 또는 28N₂⁺를 사용하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 8.

제 1 항에 있어서,

상기 보론 이온 주입은 보론 불순물 가스를 이용해 인-시투로 주입하거나, 이온 주입 공정을 이용한 익스-시투 방법으로 불순물을 주입하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 특히 폴리 실리콘 저마늄층으로 이루어진 게이트 전극을 형성하는 반도체 소자의 트랜지스터 제조 방법에 관한 것이다.

현재 반도체 소자 제조 방법 중 게이트 전극 재료로 사용되는 폴리실리콘은 게이트 재료로서 우수한 물리적 특성을 갖추고 있어서 현재까지 가장 많이 사용되고 있지만, 소자가 점점 고직접화되는 상황에서 여러 가지 문제점이 대두되고 있는 실정이다. 예를 들어, 매몰 채널(Buried channel)에 기인한 짧은 채널 효과(Short channel effect)와 이로 인한 DIBL(Drain Induced Barrier Lowering) 현상 증가 및 문턱 전압 불안정 현상이 나타난다. 또한, 폴리게이트 공핍 효과(Poly gate depletion effect) 및 게이트 산화막을 통한 채널 영역으로의 보론 불순물 침투 현상으로 소자의 전기적 특성이 열화된다. 이와 같은 단점을 극복하기 위해 도입된 게이트 전극 중의 하나가 폴리실리콘에 저마늄(Ge) 함량을 대략 60%까지 추가한 폴리 실리콘 저마늄(Poly-SiGe)이다. 기발표된 문헌들을 통해 볼 때, 폴리-실리콘 저마늄이 기존 폴리실리콘에 비해 보론 확산을 더 억제시켜 그 침투 현상을 억제시키는 효과가 있다고 하나 여전히 적지 않은 보론 불순물이 하부로 침투하여 소자의 특성을 열화시킬 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 게이트 전극을 폴리 실리콘 저마늄으로 형성하고, 보론 주입시 질소를 함께 주입하되 질소를 보론보다 더 깊이 주입하여 게이트 산화막 상부에 축적함으로써 폴리 실리콘 저마늄층에서 보론의 확산을 1차로 차단하고, 게이트 산화막 상부에 축적된 질소 성분으로 2차 차단함으로써 게이트 산화막을 통과해 채널 영역으로의 보론 침투 현상을 효과적으로 억제하여 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 게이트 전극 방법에 관한 것이다.

발명의 구성

본 발명에 따른 반도체 소자의 트랜지스터 제조 방법은 반도체 기판 상에 게이트 산화막 및 폴리실리콘 시드층을 형성하는 단계, 폴리실리콘 시드층 상에 폴리 실리콘 저마늄층을 형성하는 단계, 폴리 실리콘 저마늄층에 보론 및 질소를 이온 주입 하되 질소를 보론보다 더 깊이 이온 주입하는 단계, 폴리 실리콘 저마늄층, 폴리실리콘 시드층 및 게이트 산화막을 패터닝 하는 단계, 열처리를 실시하여 질소를 확산시켜 폴리실리콘 시드층과 게이트 산화막의 계면에 보론의 확산을 방지할 수 있는 질소 축적층을 형성하는 단계 및 게이트 스페이서 및 LDD 구조의 소오스/드레인을 형성하는 단계로 이루어진다.

폴리실리콘 시드층은 550 내지 650℃의 온도에서 100 내지 500Å의 두께로 형성한다. 폴리 실리콘 저마늄층은 비정질 (Amorphous) 또는 결정질(Crystalline) 상태로 증착하며, 450 내지 650℃의 온도와 5 내지 1,000mTorr의 압력에서 LPCVD(Low Pressure CVD), VLPCVD(Very Low Pressure CVD), PE-VLPCVD(Plasma Enhanced-Very Low Pressure CVD), UHVCVD(Ultra High Vacuum CVD), RTCVD(Rapid Thermal CVD) 또는 APCVD(Atmosphere Pressure CVD)법을 이용해 700 내지 2500Å 두께로 증착한다. 이때, 폴리 실리콘 저마늄층의 저마늄 함량은 10 내지 70%가 되도록 하며, 수소 가스에 SiH₄가 10 내지 100% 포함된 혼합 가스나 수소 가스에 Si₂H₆가 10 내지 100% 포함된 혼합 가스를 실리콘의 소오스 가스로 사용하고, 수소 가스에 GeH₄가스가 1 내지 100% 포함된 혼합 가스 또는 수소 가스에 GeF₄가 1 내지 100% 포함된 혼합 가스를 저마늄 소오스 가스로 사용하여 형성한다. 보론 이온 주입시 사용하는 보론 불순물로는 B₁₁ 또는 BF₂를 사용하며, 질소 이온 주입시 사용하는 질소로는 14N⁺ 또는 28N₂⁺를 사용한다. 보론 이온 주입은 보론 불순물 가스를 이용해 인-시투로 주입하거나, 이온 주입 공정을 이용한 익스-시투(Ex-situ) 방법으로 불순물을 주입할 수도 있다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다.

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 트랜지스터 제조 방법을 설명하기 위하여 순차적으로 도시한 소자의 단면도이다.

도 1a를 참조하면, 반도체 기판(1) 상에 게이트 산화막(2)을 형성한 후 폴리실리콘 시드층(3)을 형성한다.

폴리실리콘 시드층(3)은 폴리 실리콘 저마늄을 게이트 산화막 상에 증착하기 전에, 증착막의 양호한 접착(Adhesion)과 원활한 핵생성(Nucleation)을 위하여 형성하며, 550 내지 650℃의 온도에서 100 내지 500Å의 두께로 형성한다.

도 1b를 참조하면, 폴리실리콘 시드층(3) 상에 폴리 실리콘 저마늄층(4)을 형성한다. 이후, 폴리 실리콘 저마늄층(4)과 폴리실리콘 시드층(3)에 질소와 보론을 연속하여 이온 주입하되 질소를 보론보다 더 깊이 이온 주입한다.

폴리 실리콘 저마늄층(4)은 비정질(Amorphous) 또는 결정질(Crystalline) 상태로 증착하며, 450 내지 650℃의 온도와 5 내지 1,000mTorr의 압력에서 LPCVD(Low Pressure CVD), VLPCVD(Very Low Pressure CVD), PE-VLPCVD (Plasma Enhanced-Very Low Pressure CVD), UHVCVD(Ultra High Vacuum CVD), RTCVD(Rapid Thermal CVD) 또는 APCVD(Atmosphere Pressure CVD)법을 이용해 700 내지 2500Å 두께로 증착한다. 이때, 폴리실리콘 저마늄층 (4)의 저마늄 함량은 10 내지 70%가 되도록 한다. 폴리 실리콘 저마늄층(4) 증착 시 실리콘의 소오스 가스(Source Gas)로는 수소 가스(H₂)에 SiH₄가 10 내지 100% 포함된 혼합 가스나 수소 가스에 Si₂H₆가 10 내지 100% 포함된 혼합 가스를 사용한다. 저마늄 소오스 가스로는 수소 가스에 GeH₄가스가 1 내지 100% 포함된 혼합 가스 또는 수소 가스에 GeF₄가 1 내지 100% 포함된 혼합 가스를 사용한다.

보론 이온 주입시 사용하는 보론 불순물로는 B₁₁ 또는 BF₂를 사용하며, 질소 이온 주입시 사용하는 질소로는 14N⁺ 또는 28N₂⁺를 사용한다. 이때, 보론 불순물은 불순물 가스를 이용해 인-시투(In-situ)로 주입할 수도 있고, 도펀트를 이온 주입 공정을 이용한 익스-시투(Ex-situ) 방법으로 주입할 수도 있다. 한편, 보론 이온과 질소 이온을 주입하기 위하여 이온주입 에너지를 인가하되, 보론 이온보다 질소 이온을 더 깊게 주입하기 위하여 보론 이온을 주입할 때 인가한 이온주입 에너지 보다 큰 이온주입 에너지로 질소 이온을 주입한다.

도 1c를 참조하면, 식각 공정으로 폴리 실리콘 저마늄층(4), 폴리실리콘 시드층(3) 및 게이트 산화막을 패터닝하여 게이트 전극(34)을 형성한 후 산화 분위기에서 열처리를 실시하여 LDD 산화막(도시되지 않음)을 형성함과 동시에 보론을 활성화시키고, 폴리실리콘 시드층(3)과 게이트 산화막(2)의 계면에 질소 성분을 축적시켜 질소 축적층(5)을 형성한다.

열처리에 의해 질소와 보론이 폴리 실리콘 저마늄층(4) 및 폴리실리콘 시드층(3)을 거쳐 하부의 게이트 산화막(2) 쪽으로 확산할 때, 보론은 폴리 실리콘 저마늄층(4)에서 확산이 억제된다.

실리콘 내에서 질소의 확산계수(Diffusivity; $7.29E-13 \text{ cm}^2/\text{sec}$)가 보론의 확산 계수($1.33E-13 \text{ cm}^2/\text{sec}$)보다 대략 5배 크므로 질소가 폴리실리콘 시드층(3)을 통해 더 빨리 확산될 뿐만 아니라, 폴리실리콘 시드층(3)/게이트 산화막(2) 계면에 축적된다. 결국, 보론은 폴리 실리콘 저마늄층(4)에 의해 확산이 억제될 뿐만 아니라, 폴리실리콘 시드층(3)/게이트 산화막(2)의 계면에 축적(Pile-up)된 질소 성분에 의해, 다시 한번 확산이 차단됨으로 보론의 침투를 매우 효과적으로 억제할 수 있다. 또한, 질소 축적층(5)에 의해 보론의 확산이 억제될 때, 그 계면에는 전기적으로 활성화된 보론의 농도가 증가하게 됨으로 소자의 전기적 특성을 더욱 향상시킬 수 있다.

도 1d를 참조하면, 일반적으로 공지된 기술에 의해 게이트 전극 스페이서(6), 소오스/드레인(7) 등을 형성하여 트랜지스터를 제조한다.

발명의 효과

상술한 바와 같이, 본 발명은 후속 열처리시 보론 침투 현상을 효과적으로 억제하고 폴리실리콘 시드층과 게이트 산화막 계면에서 전기적으로 활성화된 보론의 농도가 증가하여 소자의 전기적 특성 및 신뢰성을 향상시키는 효과가 있다.

도면의 간단한 설명

도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 트랜지스터 제조 방법을 설명하기 위하여 순차적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

1 : 반도체 기판 2 : 게이트 산화막

3 : 폴리실리콘 시드층 4 : 폴리 실리콘 저마늄층

5 : 질소 축적층 34 : 게이트 전극

6 : 게이트 스페이서 7 : 소오스/드레인

도면

도면1

