

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-145708

(P2019-145708A)

(43) 公開日 令和1年8月29日(2019.8.29)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 7 D	5 F 0 4 8
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 3 A	
H O 1 L 29/06 (2006.01)	H O 1 L 29/78 6 5 2 T	
H O 1 L 29/861 (2006.01)	H O 1 L 29/78 6 5 2 P	
H O 1 L 29/868 (2006.01)	H O 1 L 29/06 3 0 1 G	
審査請求 未請求 請求項の数 11 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2018-29695 (P2018-29695)
 (22) 出願日 平成30年2月22日 (2018.2.22)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (71) 出願人 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (74) 代理人 100168332
 弁理士 小崎 純一
 (74) 代理人 100146592
 弁理士 市川 浩
 (74) 代理人 100157901
 弁理士 白井 達哲

最終頁に続く

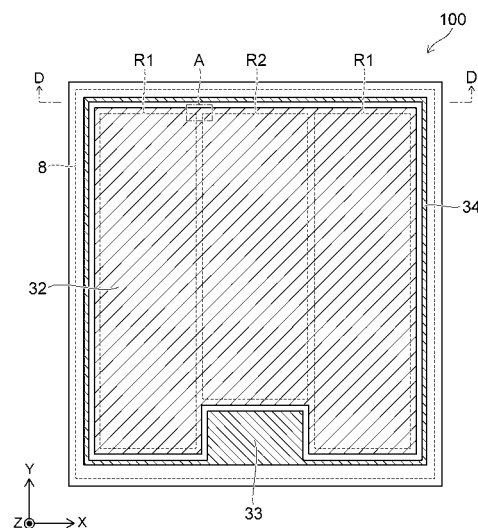
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】破壊が生じ難い半導体装置を提供する。

【解決手段】実施形態に係る半導体装置は、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第2導電形の第3半導体領域と、第1導電形の第4半導体領域と、ゲート電極と、第1導電形の第5半導体領域と、第2導電形の第6半導体領域と、第2導電形の第7半導体領域と、第2導電形の第8半導体領域と、を備える。第1半導体領域は、第1部分と、第2部分と、第1方向において第1部分と第2部分との間に位置する第3部分と、を有する。第2半導体領域は、第1部分の下に設けられている。第3半導体領域は、第1部分の上に設けられている。第4半導体領域は、第3半導体領域の上に設けられている。第5半導体領域は、第2部分の下に設けられている。第6半導体領域は、第2部分の上に設けられている。第7半導体領域は、第3部分の上に設けられている。第8半導体領域は、第1領域及び第2領域を有する。第2領域の下端は第1領域の下端よりも上方に位置する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 部分と、第 2 部分と、第 1 方向において前記第 1 部分と前記第 2 部分との間に位置する第 3 部分と、を有する第 1 導電形の第 1 半導体領域と、

前記第 1 部分の下に設けられた第 2 導電形の第 2 半導体領域と、

前記第 1 部分の上に設けられた第 2 導電形の第 3 半導体領域であって、前記第 2 半導体領域から前記第 3 半導体領域に向かう第 2 方向は前記第 1 方向に対して垂直である、前記第 3 半導体領域と、

前記第 3 半導体領域の上に設けられた第 1 導電形の第 4 半導体領域と、

前記第 1 方向において、前記第 1 半導体領域の一部、前記第 3 半導体領域、及び前記第 4 半導体領域の少なくとも一部とゲート絶縁層を介して対向するゲート電極と、

前記第 2 部分の下に設けられた第 1 導電形の第 5 半導体領域と、

前記第 2 部分の上に設けられた第 2 導電形の第 6 半導体領域と、

前記第 3 部分の上に設けられた第 2 導電形の第 7 半導体領域と、

前記第 3 半導体領域、前記第 6 半導体領域、及び前記第 7 半導体領域を囲む第 2 導電形の第 8 半導体領域であって、前記第 8 半導体領域は、

前記第 1 方向及び前記第 2 方向に垂直な第 3 方向において、一部が前記第 3 半導体領域と並ぶ第 1 領域と、

前記第 3 方向において、一部が前記第 7 半導体領域と並ぶ第 2 領域と、

を有し、前記第 2 領域の下端は前記第 1 領域の下端よりも上方に位置する、前記第 8 半導体領域と、

を備えた半導体装置。

【請求項 2】

前記第 2 領域における第 2 導電形の不純物濃度は、前記第 1 領域における第 2 導電形の不純物濃度よりも低い請求項 1 記載の半導体装置。

【請求項 3】

複数の前記ゲート電極を備え、

複数の前記ゲート電極の 1 つは、前記第 1 方向において、前記第 7 半導体領域と前記複数のゲート電極の別の 1 つとの間に位置し、

前記複数のゲート電極の前記 1 つの下端は、前記複数のゲート電極の前記別の 1 つの下端よりも上方に位置している請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 方向において前記第 7 半導体領域と第 1 絶縁層を介して対向し、前記第 2 電極と電氣的に接続された第 1 導電部をさらに備え、

前記第 1 導電部の下端は、前記複数のゲート電極のそれぞれ下端よりも上方に位置している請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 導電部と、前記第 1 導電部と隣り合う前記ゲート電極と、の間の前記第 1 方向における距離は、隣り合う前記ゲート電極同士の間の前記第 1 方向における距離よりも短い請求項 4 記載の半導体装置。

【請求項 6】

隣り合う前記ゲート電極同士の間の前記第 1 方向における距離は、前記第 1 導電部に近づくほど短い請求項 4 または 5 に記載の半導体装置。

【請求項 7】

複数の前記第 3 半導体領域と、

第 1 導電形の複数の第 9 半導体領域と、

を備え、

前記複数の第 9 半導体領域は、それぞれ、前記複数の第 3 半導体領域と前記第 1 部分との間に設けられ、

前記複数の第 9 半導体領域のそれぞれにおける第 1 導電形の不純物濃度は、前記第 1 半

10

20

30

40

50

導体領域における第 1 導電形の不純物濃度よりも高く、

前記複数の第 9 半導体領域の 1 つの前記第 1 方向における位置は、前記第 7 半導体領域の前記第 1 方向における位置と、前記複数の第 3 半導体領域の別の 1 つの前記第 1 方向における位置と、の間にあり、

前記複数の第 9 半導体領域の前記 1 つにおける第 1 導電形の不純物濃度は、前記複数の第 9 半導体領域の前記別の 1 つにおける第 1 導電形の不純物濃度よりも低い請求項 1 ~ 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

第 1 部分と、第 2 部分と、第 1 方向において前記第 1 部分と前記第 2 部分との間に位置する第 3 部分と、を有する第 1 導電形の第 1 半導体領域と、

10

前記第 1 部分の下に設けられた第 2 導電形の第 2 半導体領域と、

前記第 1 部分の上に設けられた第 2 導電形の第 3 半導体領域であって、前記第 2 半導体領域から前記第 3 半導体領域に向かう第 2 方向は前記第 1 方向に対して垂直である、前記第 3 半導体領域と、

前記第 3 半導体領域の上に設けられた第 1 導電形の第 4 半導体領域と、

前記第 1 方向において、前記第 1 半導体領域の一部、前記第 3 半導体領域、及び前記第 4 半導体領域の少なくとも一部とゲート絶縁層を介して対向するゲート電極と、

前記第 2 部分の下に設けられた第 1 導電形の第 5 半導体領域と、

前記第 2 部分の上に設けられた第 2 導電形の第 6 半導体領域と、

前記第 3 部分の上に設けられた第 2 導電形の第 7 半導体領域と、

20

前記第 3 半導体領域、前記第 6 半導体領域、及び前記第 7 半導体領域を囲む第 2 導電形の第 8 半導体領域であって、前記第 8 半導体領域は、

前記第 1 方向及び前記第 2 方向に垂直な第 3 方向において、一部が前記第 3 半導体領域と並ぶ第 1 領域と、

前記第 3 方向において、一部が前記第 7 半導体領域と並ぶ第 2 領域と、

を有し、前記第 2 領域における第 2 導電形の不純物濃度は、前記第 1 領域における第 2 導電形の不純物濃度よりも高い、前記第 8 半導体領域と、

を備えた半導体装置。

【請求項 9】

第 1 部分と、第 2 部分と、第 1 方向において前記第 1 部分と前記第 2 部分との間に位置する第 3 部分と、を有する第 1 導電形の第 1 半導体領域と、

30

前記第 1 部分の下に設けられた第 2 導電形の第 2 半導体領域と、

前記第 1 部分の上に設けられた第 2 導電形の複数の第 3 半導体領域であって、前記第 2 半導体領域から前記複数の第 3 半導体領域に向かう第 2 方向は前記第 1 方向に対して垂直である、前記複数の第 3 半導体領域と、

前記複数の第 3 半導体領域の 1 つの上に設けられた第 1 導電形の第 4 半導体領域と、

前記第 1 方向において、前記第 1 半導体領域の一部、前記複数の第 3 半導体領域の前記 1 つ、及び前記第 4 半導体領域の少なくとも一部とゲート絶縁層を介して対向するゲート電極と、

前記第 2 部分の下に設けられた第 1 導電形の第 5 半導体領域と、

40

前記第 2 部分の上に設けられた第 2 導電形の第 6 半導体領域と、

前記第 3 部分の上に設けられた第 2 導電形の第 7 半導体領域と、

前記複数の第 3 半導体領域、前記第 6 半導体領域、及び前記第 7 半導体領域を囲む第 2 導電形の第 8 半導体領域と、

複数の第 9 半導体領域であって、前記複数の第 9 半導体領域はそれぞれ前記複数の第 3 半導体領域と前記第 1 部分との間に設けられ、前記複数の第 9 半導体領域のそれぞれにおける第 1 導電形の不純物濃度は、前記第 1 半導体領域における第 1 導電形の不純物濃度よりも高く、前記複数の第 9 半導体領域の 1 つの前記第 1 方向における位置は、前記第 7 半導体領域の前記第 1 方向における位置と、前記複数の第 3 半導体領域の別の 1 つの前記第 1 方向における位置と、の間にあり、前記複数の第 9 半導体領域の前記 1 つにおける第 1

50

導電形の不純物濃度は、前記複数の第 9 半導体領域の前記別の 1 つにおける第 1 導電形の不純物濃度よりも低い、前記複数の第 9 半導体領域と、
を備えた半導体装置。

【請求項 10】

第 1 部分と、第 2 部分と、第 1 方向において前記第 1 部分と前記第 2 部分との間に位置する第 3 部分と、を有する第 1 導電形の第 1 半導体領域と、

前記第 1 部分の下に設けられた第 2 導電形の第 2 半導体領域と、

前記第 1 部分の上に設けられた第 2 導電形の第 3 半導体領域であって、前記第 2 半導体領域から前記第 3 半導体領域に向かう第 2 方向は前記第 1 方向に対して垂直である、前記第 3 半導体領域と、

10

前記第 3 半導体領域の上に設けられた第 1 導電形の第 4 半導体領域と、

前記第 1 方向において、前記第 1 半導体領域の一部、前記第 3 半導体領域、及び前記第 4 半導体領域の少なくとも一部とゲート絶縁層を介して対向するゲート電極と、

前記第 2 部分の下に設けられた第 1 導電形の第 5 半導体領域と、

前記第 2 部分の上に設けられた第 2 導電形の第 6 半導体領域と、

前記第 3 部分の上に設けられた第 2 導電形の第 7 半導体領域と、

前記第 1 方向において、前記第 7 半導体領域と第 1 絶縁層を介して対向する第 1 導電部であって、前記第 1 導電部の下端は前記ゲート電極の下端よりも上方に位置する、前記第 1 導電部と、

前記第 3 半導体領域、前記第 6 半導体領域、及び前記第 7 半導体領域を囲む第 2 導電形の第 8 半導体領域と、

20

を備えた半導体装置。

【請求項 11】

第 1 部分と、第 2 部分と、第 1 方向において前記第 1 部分と前記第 2 部分との間に位置する第 3 部分と、を有する第 1 導電形の第 1 半導体領域と、

前記第 1 部分の下に設けられた第 2 導電形の第 2 半導体領域と、

前記第 1 部分の上に設けられた第 2 導電形の第 3 半導体領域であって、前記第 2 半導体領域から前記第 3 半導体領域に向かう第 2 方向は前記第 1 方向に対して垂直である、前記第 3 半導体領域と、

前記第 3 半導体領域の上に設けられた第 1 導電形の第 4 半導体領域と、

30

複数のゲート電極であって、前記複数のゲート電極の 1 つは、前記第 1 方向において、前記第 1 半導体領域の一部、前記第 3 半導体領域、及び前記第 4 半導体領域の少なくとも一部とゲート絶縁層を介して対向する、前記複数のゲート電極と、

前記第 2 部分の下に設けられた第 1 導電形の第 5 半導体領域と、

前記第 2 部分の上に設けられた第 2 導電形の第 6 半導体領域と、

前記第 3 部分の上に設けられた第 2 導電形の第 7 半導体領域と、

前記第 1 方向において前記第 7 半導体領域と第 1 絶縁層を介して対向する第 1 導電部であって、前記第 1 導電部と、前記第 1 方向において前記第 1 導電部と隣り合う前記複数のゲート電極の 1 つと、の間の距離は、前記第 1 方向において隣り合う前記ゲート電極同士との間の距離よりも短い、前記第 1 導電部と、

40

前記第 3 半導体領域、前記第 6 半導体領域、及び前記第 7 半導体領域を囲む第 2 導電形の第 8 半導体領域と、

を備えた半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

I G B T (Insulated Gate Bipolar Transistor) としての機能と、F W D (Free Wheel D

50

iode)としての機能と、を備えた R C (Reverse Conducting) - I G B T がある。この半導体装置において、破壊が生じ難いことが望まれている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2016-58654号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、破壊が生じ難い半導体装置を提供することである。

10

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第1導電形の第1半導体領域と、第2導電形の第2半導体領域と、第2導電形の第3半導体領域と、第1導電形の第4半導体領域と、ゲート電極と、第1導電形の第5半導体領域と、第2導電形の第6半導体領域と、第2導電形の第7半導体領域と、第2導電形の第8半導体領域と、を備える。前記第1半導体領域は、第1部分と、第2部分と、第1方向において前記第1部分と前記第2部分との間に位置する第3部分と、を有する。前記第2半導体領域は、前記第1部分の下に設けられている。前記第3半導体領域は、前記第1部分の上に設けられている。前記第2半導体領域から前記第3半導体領域に向かう第2方向は、前記第1方向に対して垂直である。前記第4半導体領域は、前記第3半導体領域の上に設けられている。前記ゲート電極は、前記第1方向において、前記第1半導体領域の一部、前記第3半導体領域、及び前記第4半導体領域の少なくとも一部とゲート絶縁層を介して対向する。前記第5半導体領域は、前記第2部分の下に設けられている。前記第6半導体領域は、前記第2部分の上に設けられている。前記第7半導体領域は、前記第3部分の上に設けられている。前記第8半導体領域は、前記第3半導体領域、前記第6半導体領域、及び前記第7半導体領域を囲む。前記第8半導体領域は、前記第1方向及び前記第2方向に垂直な第3方向において、一部が前記第3半導体領域と並ぶ第1領域と、前記第3方向において、一部が前記第7半導体領域と並ぶ第2領域と、を有する。前記第2領域の下端は前記第1領域の下端よりも上方に位置する。

20

【図面の簡単な説明】

30

【0006】

【図1】第1実施形態に係る半導体装置を表す平面図である。

【図2】図1の部分Aを拡大した斜視断面図である。

【図3】図2のA-A'断面図、B-B'断面図、及びC-C'断面図である。

【図4】図1のD-D'断面図である。

【図5】第1実施形態の変形例に係る半導体装置の一部を表す断面図である。

【図6】第1実施形態の変形例に係る半導体装置の特性を表すグラフである。

【図7】第2実施形態に係る半導体装置を表す斜視断面図である。

【図8】第3実施形態に係る半導体装置を表す斜視断面図である。

【図9】第4実施形態に係る半導体装置を表す斜視断面図である。

40

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

以下の説明及び図面において、 n^+ 、 n 、 n^- 及び p^+ 、 p 、 p^- の表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、「+」が付されている表記は、「

50

「+」及び「-」のいずれも付されていない表記よりも不純物濃度が相対的に高く、「-」が付されている表記は、いずれも付されていない表記よりも不純物濃度が相対的に低いことを示す。また、これらの表記は、それぞれの領域にp形不純物とn形不純物の両方が含まれている場合には、それらの不純物が補償しあった後の正味の不純物濃度の相対的な高低を表す。

以下で説明する各実施形態について、各半導体領域のp形とn形を反転させて各実施形態を実施してもよい。

【0008】

(第1実施形態)

図1は、第1実施形態に係る半導体装置を表す平面図である。

10

図2は、図1の部分Aを拡大した斜視断面図である。

図3(a)~図3(c)は、それぞれ、図2のA-A'断面図、B-B'断面図、及びC-C'断面図である。

図4は、図1のD-D'断面図である。

【0009】

半導体装置100は、RC-IGBTである。図1に表したように、半導体装置100は、少なくとも1つのIGBT領域R1及び少なくとも1つのダイオード領域R2を有する。例えば、ダイオード領域R2は、IGBT領域R1同士の上に位置する。IGBT領域R1は、IGBTとして機能し、半導体装置100がオン状態のときに電流を流す。ダイオード領域R2は、例えば、半導体装置100がオフ状態のときに、フリーホイールダイオードとして機能する。

20

【0010】

半導体装置100の上面には、例えば、エミッタ電極32(第2電極)、ゲートパッド33、及びゲート配線34が設けられている。エミッタ電極32は、IGBT領域R1及びダイオード領域R2の上に設けられている。ゲートパッド33及びゲート配線34は、エミッタ電極32と離間している。ゲート配線34は、ゲートパッド33と接続され、エミッタ電極32の周りに設けられている。

【0011】

図2に表したように、半導体装置100は、n⁻形(第1導電形)ドリフト領域1(第1半導体領域)、p⁺形(第2導電形)コレクタ領域2(第2半導体領域)、p形ベース領域3(第3半導体領域)、n⁺形エミッタ領域4(第4半導体領域)、n⁺形カソード領域5(第5半導体領域)、p⁻形アノード領域6(第6半導体領域)、p形半導体領域7a(第7半導体領域の一例)、p⁻形半導体領域7b(第7半導体領域の別の一例)、p⁺形ガードリング領域8(第8半導体領域)、p⁺形コンタクト領域11、p⁺形アノード領域12、n形バッファ領域13、ゲート電極20、ゲート絶縁層21、第1導電部24、第1絶縁層25、第2導電部28、第2絶縁層29、及びコレクタ電極31(第1電極)をさらに有する。

30

【0012】

実施形態の説明では、XYZ直交座標系を用いる。p⁺形コレクタ領域2からp形ベース領域3に向かう方向をZ方向(第2方向)とする。Z方向に対して垂直であり、相互に直交する2方向をX方向(第1方向)及びY方向(第3方向)とする。また、説明のために、p⁺形コレクタ領域2からp形ベース領域3に向かう方向を「上」と言い、その反対方向を「下」と言う。これらの方向は、p⁺形コレクタ領域2とp形ベース領域3との相対的な位置関係に基づき、重力の方向とは無関係である。

40

【0013】

n⁻形ドリフト領域1は、第1部分1a、第2部分1b、及び第3部分1cを有する。第3部分1cは、X方向において第1部分1aと第2部分1bとの間に位置する。p⁺形コレクタ領域2は、第1部分1aの下及び第3部分1cの一部の下に設けられている。n⁺形カソード領域5は、第2部分1bの下及び第3部分1cの別の一部の下に設けられている。

50

【0014】

n^- 形ドリフト領域1と p^+ 形コレクタ領域2との間及び n^- 形ドリフト領域1と n^+ 形カソード領域5との間には、例えば、 n 形バッファ領域13が設けられている。コレクタ電極31は、 p^+ 形コレクタ領域2及び n^+ 形カソード領域5の下に設けられ、 p^+ 形コレクタ領域2及び n^+ 形カソード領域5と電氣的に接続されている。

【0015】

p 形ベース領域3及びゲート電極20は、第1部分1aの上に設けられている。 n^+ 形エミッタ領域4及び p^+ 形コンタクト領域11は、 p 形ベース領域3の上に設けられている。ゲート電極20は、X方向において、 n^- 形ドリフト領域1の一部、 p 形ベース領域3、及び n^+ 形エミッタ領域4の少なくとも一部と、ゲート絶縁層21を介して対向している。

10

【0016】

p^- 形アノード領域6及び第2導電部28は、第2部分1bの上に設けられている。 p^+ 形アノード領域12は、 p^- 形アノード領域6の上に選択的に設けられている。第2導電部28は、X方向において、 n^- 形ドリフト領域1の一部及び p^- 形アノード領域6と、第2絶縁層29を介して対向している。

【0017】

p 形半導体領域7a及び p^- 形半導体領域7bは、第3部分1cの上に設けられている。例えば、 p 形半導体領域7aは p^+ 形コレクタ領域2の直上に位置し、 p^- 形半導体領域7bは n^+ 形カソード領域5の直上に位置している。 p^+ 形アノード領域12が、 p^- 形半導体領域7bの上に設けられていても良い。第1導電部24は、X方向において p 形半導体領域7a及び p^- 形半導体領域7bとの間に位置し、これらの半導体領域と第1絶縁層25を介して対向している。 p 形半導体領域7aは、X方向においてゲート電極20と第1導電部24との間に位置し、Y方向に延びている。 p^- 形半導体領域7bは、X方向において第1導電部24と第2導電部28との間に位置し、Y方向に延びている。

20

【0018】

エミッタ電極32は、 p 形ベース領域3、 n^+ 形エミッタ領域4、 p^+ 形コンタクト領域11、 p 形半導体領域7a、 p^- 形半導体領域7b、 p^- 形アノード領域6、 p^+ 形アノード領域12、 p^+ 形ガードリング領域8、第1導電部24、及び第2導電部28の上に設けられ、これらと電氣的に接続されている。ゲート電極20は、ゲート配線34を介してゲートパッド33と電氣的に接続されている。ゲート電極20は、エミッタ電極32と電氣的に分離されている。

30

【0019】

p 形ベース領域3、 n^+ 形エミッタ領域4、 p^+ 形コンタクト領域11、 p^- 形アノード領域6、ゲート電極20、第1導電部24、及び第2導電部28のそれぞれは、例えば、X方向において複数設けられ、Y方向に延びている。 p^+ 形アノード領域12は、例えば、それぞれの p^- 形アノード領域6の上において、Y方向に複数設けられている。 p 形半導体領域7a及び p^- 形半導体領域7bは、Y方向に延びている。

【0020】

図1では、 p^+ 形ガードリング領域8の外縁を破線で表している。 p^+ 形ガードリング領域8は、複数の p 形ベース領域3、複数の p^- 形アノード領域6、 p 形半導体領域7a、及び p^- 形半導体領域7bを囲んでいる。 p^+ 形ガードリング領域8は、図2に表したように、第1領域8a、第2領域8b、及び第3領域8cを有する。

40

【0021】

図3(a)に表したように、第1領域8aの一部は、Y方向において p 形ベース領域3と並んでいる。図3(b)に表したように、第2領域8bの一部は、Y方向において p 形半導体領域7aと並んでいる。第2領域8bの別の一部は、Y方向において p^- 形半導体領域7bと並んでいる。図3(c)に表したように、第3領域8cの一部は、Y方向において p^- 形アノード領域6と並んでいる。

【0022】

50

第2領域8bの下端は、第1領域8aの下端及び第3領域8cの下端よりも上方に位置する。すなわち、第2領域8bとn⁻形ドリフト領域1とのpn接合面は、第1領域8aとn⁻形ドリフト領域1とのpn接合面及び第3領域8cとn⁻形ドリフト領域1とのpn接合面よりも上方に位置する。

【0023】

p⁺形ガードリング領域8の下端の位置は、例えば図4(a)に表したように、連続的に変化している。または、p⁺形ガードリング領域8の下端の位置は、図4(b)に表したように、ステップ状に変化していても良い。例えば、第1領域8aの最も深い深さ(最も長いZ方向における長さ)D1は、ゲート絶縁層21、第1絶縁層25、または第2絶縁層29の深さD(図2に表す)の、1.0倍以上2.0倍以下であることが望ましい。深さDは、換言すると、これらの絶縁層の下端とソース電極32との間のZ方向における距離である。第2領域8bの最も浅い深さ(最も短いZ方向における長さ)D2は、Dより大きく、D1未満である。第3領域8cの下端は、例えば、第2領域8bの下端よりも下方に位置する。または、第3領域8cの下端は、第2領域8bの下端と同じ位置にあっても良い。

10

【0024】

半導体装置100の動作を説明する。

コレクタ電極31に、エミッタ電極32に対して正の電圧が印加された状態で、ゲート電極20に閾値以上の電圧が印加されると、半導体装置100がオン状態となる。このとき、p形ベース領域3のゲート絶縁層21近傍の領域にチャネル(反転層)が形成される。電子は、このチャネルを通してn⁺形エミッタ領域4からn⁻形ドリフト領域1に注入され、正孔は、p⁺形コレクタ領域2からn⁻形ドリフト領域1に注入される。これにより、IGBT領域R1に電流が流れる。その後、ゲート電極20に印加される電圧が閾値よりも低くなると、p形ベース領域3におけるチャネルが消滅し、半導体装置100がオフ状態になる。

20

【0025】

例えば、複数の半導体装置100によってブリッジ回路が構成されている場合、1つの半導体装置100がオン状態からオフ状態に切り替わると、ブリッジ回路のインダクタンス成分により、別の半導体装置100のエミッタ電極32に誘導起電力が加わる。これにより、この別の半導体装置100において、ダイオード領域R2が動作し、p⁻形アノード領域6(p⁺形アノード領域12)からn⁻形ドリフト領域1へ正孔が注入され、n⁺形カソード領域5からn⁻形ドリフト領域1へ電子が注入される。

30

【0026】

半導体装置100の各構成要素の材料の一例を説明する。

n⁻形ドリフト領域1、p⁺形コレクタ領域2、p形ベース領域3、n⁺形エミッタ領域4、n⁺形カソード領域5、p⁻形アノード領域6、p形半導体領域7a、p⁻形半導体領域7b、p⁺形ガードリング領域8、p⁺形コンタクト領域11、p⁺形アノード領域12、及びn形バッファ領域13は、半導体材料として、シリコン、炭化シリコン、窒化ガリウム、またはガリウムヒ素を含む。半導体材料としてシリコンが用いられる場合、n形不純物として、ヒ素、リン、またはアンチモンを用いることができる。p形不純物として、ボロンを用いることができる。

40

ゲート電極20、第1導電部24、及び第2導電部28は、ポリシリコンなどの導電材料を含む。

ゲート絶縁層21、第1絶縁層25、及び第2絶縁層29は、酸化シリコンなどの絶縁材料を含む。

コレクタ電極31、エミッタ電極32、ゲートパッド33、及びゲート配線34は、アルミニウムなどの金属を含む。

【0027】

第1実施形態の効果を説明する。

半導体装置100がオン状態からオフ状態に切り替わると、半導体装置100が接続さ

50

れた電気回路のインダクタンス成分により、コレクタ電極 31 に誘導起電力が加わる場合がある。コレクタ電極 31 に誘導起電力が加わると、IGBT 領域 R1 内部において、アバランシェ降伏が生じる。一般的に、アバランシェ降伏は、IGBT 領域 R1 において局所的に発生し、これにより、IGBT 領域 R1 を流れる電流フィラメントが発生する。電流フィラメントが発生すると、その箇所の温度が上昇する。従って、同じ箇所で電流フィラメントが発生し続けると、最終的に熱暴走によって半導体装置 100 が破壊されてしまう。

【0028】

発明者は、RC-IGBT において、電流フィラメントによる破壊が、IGBT 領域 R1 とダイオード領域 R2 との境界の近傍であり、且つ p⁺ 形ガードリング領域 8 近傍の部分において、特に発生しやすいことを発見した。発明者は、この知見に基づき検討を行ったところ、当該部分における電界を、IGBT 領域 R1 の p⁺ 形ガードリング領域 8 近傍の電界よりも低くすることで、電流フィラメントによる破壊が発生し難くなることを発見した。

10

【0029】

半導体装置 100 では、n⁻ 形ドリフト領域 1 は、IGBT 領域 R1 に含まれる第 1 部分 1a と、ダイオード領域 R2 に含まれる第 2 部分 1b と、の間に位置する第 3 部分 1c を有する。第 3 部分 1c の上には、p 形半導体領域 7a 及び p⁻ 形半導体領域 7b が設けられ、p⁺ 形ガードリング領域 8 の第 2 領域 8b の一部は、p 形半導体領域 7a 及び p⁻ 形半導体領域 7b と Y 方向において並んでいる。この第 2 領域 8b の下端は、p 形ベース領域 3 と Y 方向において並ぶ第 1 領域 8a の下端よりも上方に位置する。この構成によれば、従来の半導体装置において電流フィラメントによる破壊が生じ易い箇所の電界を低減でき、当該箇所で破壊が発生する可能性を低減できる。

20

【0030】

(変形例)

図 5 は、第 1 実施形態の変形例に係る半導体装置の一部を表す断面図である。

図 6 は、第 1 実施形態の変形例に係る半導体装置の特性を表すグラフである。

【0031】

変形例に係る半導体装置 110 は、半導体装置 100 と、p⁺ 形ガードリング領域 8 の構造が異なる。図 5(a) ~ 図 5(c) は、それぞれ、図 2 の A-A' 断面図、B-B' 断面図、及び C-C' 断面図に対応する。図 5(a) ~ 図 5(c) に表したように、半導体装置 110 では、第 1 領域 8a ~ 第 3 領域 8c のそれぞれの下端が同じ位置にある。

30

【0032】

図 6 の横軸は、X 方向における位置 P を表し、縦軸は、p⁺ 形ガードリング領域 8 の各点の p 形不純物濃度 C [atoms/cm³] を表す。図 6 に表したように、第 2 領域 8b における p 形不純物濃度は、第 1 領域 8a における p 形不純物濃度よりも低い。例えば、第 1 領域 8a におけるピークの p 形不純物濃度 C1 は、第 2 領域 8b における最も低い p 形不純物濃度 C2 の、1.1 倍以上、10 倍以下であることが望ましい。

【0033】

第 3 領域 8c における p 形不純物濃度は、例えば、第 2 領域 8b における p 形不純物濃度よりも高い。または、第 3 領域 8c における p 形不純物濃度は、第 2 領域 8b における p 形不純物濃度と同じでも良い。

40

【0034】

第 2 領域 8b における p 形不純物濃度が第 1 領域 8a における p 形不純物濃度よりも低いことで、半導体装置 100 と同様に、第 2 領域 8b 近傍における電界強度を、第 1 領域 8a 近傍における電界強度よりも低減できる。これにより、半導体装置 100 と同様に、電流フィラメントによる破壊が発生する可能性を低減できる。

【0035】

なお、半導体装置 110 において、半導体装置 100 と同様に、第 2 領域 8b の下端を、第 1 領域 8a の下端よりも上方に位置させても良い。これにより、第 2 領域 8b 近傍に

50

おける電界強度をより低減できる。

【0036】

(第2実施形態)

図7は、第2実施形態に係る半導体装置を表す斜視断面図である。

第2実施形態に係る半導体装置200は、ゲート電極20の構造について、半導体装置100と差異を有する。

【0037】

半導体装置200では、第1絶縁層25の下端及び第2絶縁層29の下端が、ゲート絶縁層21の下端よりも上方に位置している。すなわち、第1導電部24の下端及び第2導電部28の下端が、ゲート電極20の下端よりも上方に位置している。第1導電部24及び第2導電部28のそれぞれのZ方向における長さは、ゲート電極20のZ方向における長さよりも短い。

10

【0038】

複数のゲート電極20は、ゲート電極20a、20b、及び20cを含む。ゲート電極20bの下端の位置は、ゲート電極20aの下端の位置よりも上方に位置し、ゲート電極20cの下端の位置よりも下方に位置している。ゲート電極20cは、X方向において、p形ベース領域3とp形半導体領域7aとの間及びゲート電極20bと第1導電部24との間に位置している。ゲート電極20bは、ゲート電極20aよりもp形半導体領域7a側に位置している。換言すると、ゲート電極20の下端の位置は、p形半導体領域7a(ダイオード領域R2)に近づくほど、より上方に位置している。

20

【0039】

IGBT領域R1とダイオード領域R2との境界近傍に設けられたゲート電極20cの下端の位置を、IGBT領域R1の中心側に設けられたゲート電極20a及び20bの下端の位置よりも上方に位置させることで、境界近傍の電界強度を低減できる。これにより、第2領域8b近傍における電界強度も低減され、電流フィラメントによる破壊が発生する可能性を低減できる。

【0040】

望ましくは、ゲート電極20bの下端の位置は、ゲート電極20aの下端の位置よりも情報に位置する。このように、IGBT領域R1内において、ダイオード領域R2に近づくほど、ゲート電極20の下端の位置を上方に位置させることで、IGBT領域R1とダイオード領域R2との境界近傍における電界強度をより一層低減できる。

30

【0041】

(第3実施形態)

図8は、第3実施形態に係る半導体装置を表す斜視断面図である。

第3実施形態に係る半導体装置300は、n形バリア領域9(第9半導体領域)をさらに有する。n形バリア領域9は、X方向において複数設けられている。複数のn形バリア領域9は、それぞれ、Z方向において、第1部分1aと複数のp形ベース領域3との間に設けられている。

【0042】

複数のn形バリア領域9は、n形バリア領域9a及びn形バリア領域9bを含む。n形バリア領域9bのn形不純物濃度は、n形バリア領域9aのn形不純物濃度よりも低い。n形バリア領域9bのX方向における位置は、p形半導体領域7aのX方向における位置と、n形バリア領域9aのX方向における位置と、の間にある。すなわち、p形半導体領域7a(ダイオード領域R2)に近づくほど、n形バリア領域9のn形不純物濃度が低い。

40

【0043】

IGBT領域R1とダイオード領域R2との境界近傍に設けられたn形バリア領域9bのn形不純物濃度を、IGBT領域R1の中心側に設けられたn形バリア領域9aのn形不純物濃度よりも低くすることで、境界近傍の電界強度を低減できる。これにより、第2領域8b近傍における電界強度も低減され、電流フィラメントによる破壊が発生する可能

50

性を低減できる。

【0044】

望ましくは、 n 形バリア領域9aの n 形不純物濃度は、 n 形バリア領域9aよりもIGBT領域R1の中心側に設けられた、別の n 形バリア領域9の n 形不純物濃度よりも低い。このように、IGBT領域R1内において、ダイオード領域R2に近づくほど、 n 形バリア領域9の濃度を低下させることで、IGBT領域R1とダイオード領域R2との境界近傍における電界強度をより一層低減できる。

【0045】

なお、本実施形態における n 形バリア領域9同士の間、の n 形不純物濃度の高低について、 n 形バリア領域9に p 形不純物と n 形不純物の両方が含まれている場合には、それらの不純物が補償しあった後の正味の不純物濃度の相対的な高低が、上述した関係にあれば良い。

【0046】

(第4実施形態)

図9は、第4実施形態に係る半導体装置を表す斜視断面図である。

図9に表したように、複数のゲート電極20は、ゲート電極20a、ゲート電極20b、及びゲート電極20cを含む。複数のゲート絶縁層21は、ゲート絶縁層21a、ゲート絶縁層21b、及びゲート絶縁層21cを含む。

【0047】

第4実施形態に係る半導体装置400では、第1絶縁層25と、第1絶縁層25とX方向において隣り合うゲート絶縁層21cと、の間の距離D3が、X方向において隣り合うゲート絶縁層21bとゲート絶縁層21cと、の間の距離D4よりも短い。これに伴い、第1導電部24と、第1導電部24とX方向において隣り合うゲート電極20cと、の間の距離D6が、X方向において隣り合うゲート電極20bとゲート電極20cと、の間の距離D7よりも短い。

【0048】

また、距離D4は、ゲート絶縁層21aとゲート絶縁層21bと、の間のX方向における距離D5よりも短い。これに伴い、距離D7は、ゲート電極20aとゲート電極20bと、の間のX方向における距離D8よりも短い。

【0049】

また、上記の構成に伴い、 p 形半導体領域7aのX方向における長さL1は、 p 形半導体領域7aに隣り合う p 形ベース領域3bのX方向における長さL2よりも短い。 p 形ベース領域3bの長さL2は、 p 形ベース領域3aのX方向における長さL3よりも短い。

【0050】

この構成によれば、他の実施形態と同様に、境界近傍の電界強度を低減できる。これにより、第2領域8b近傍における電界強度を低減でき、電流フィラメントによる破壊が発生する可能性を低減できる。

【0051】

望ましくは、距離D5は、よりIGBT領域R1の中心側に設けられた、隣り合うゲート絶縁層21同士の間、のX方向における距離よりも短い。距離D8は、よりIGBT領域R1の中心側に設けられた、隣り合うゲート電極20同士の間、のX方向における距離よりも短い。長さL3は、よりIGBT領域R1の中心側に設けられた、別の p 形ベース領域3のX方向における長さよりも短い。このような構成によれば、IGBT領域R1とダイオード領域R2との境界近傍における電界強度をより一層低減できる。

【0052】

以上で説明した各実施形態における、各半導体領域の間の不純物濃度の相対的な高低については、例えば、SCM(走査型静電容量顕微鏡)を用いて確認することが可能である。なお、各半導体領域におけるキャリア濃度は、各半導体領域において活性化している不純物濃度と等しいものとみなすことができる。従って、各半導体領域の間のキャリア濃度の相対的な高低についても、SCMを用いて確認することができる。

10

20

30

40

50

また、各半導体領域における不純物濃度については、例えば、SIMS（二次イオン質量分析法）により測定することが可能である。

【0053】

以上、本発明のいくつかの実施形態を例示したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更などを行うことができる。これら実施形態やその変形例は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

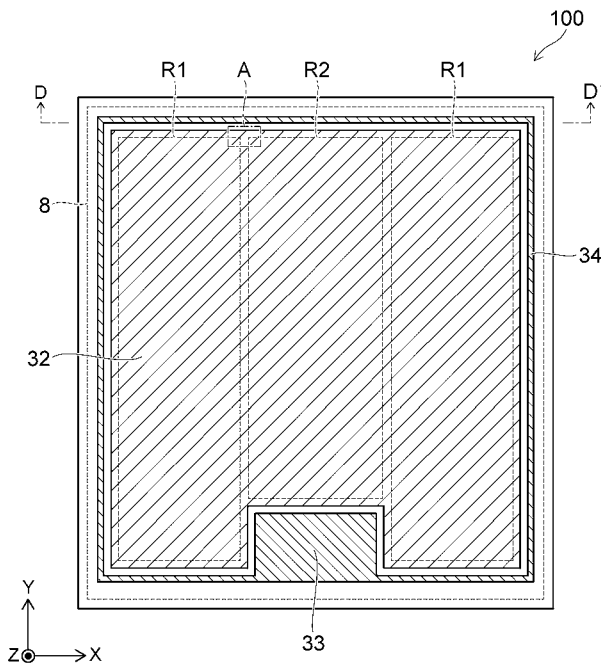
【0054】

1 n^- 形ドリフト領域、 1a 第1部分、 1b 第2部分、 1c 第3部分、 2 p^+ 形コレクタ領域、 3、 3a、 3b p 形ベース領域、 4 n^+ 形エミッタ領域、 5 n^+ 形カソード領域、 6 p^- 形アノード領域、 7a p 形半導体領域、 7b p^- 形半導体領域、 8 p^+ 形ガードリング領域、 8a 第1領域、 8b 第2領域、 8c 第3領域、 9、 9a、 9b n 形バリア領域、 11 p^+ 形コンタクト領域、 12 p^+ 形アノード領域、 13 n 形バッファ領域、 20、 20a、 20b、 20c ゲート電極、 21、 21a、 21b、 21c ゲート絶縁層、 24 第1導電部、 25 第1絶縁層、 28 第2導電部、 29 第2絶縁層、 31 コレクタ電極、 32 エミッタ電極、 33 ゲートパッド、 34 ゲート配線、 100、 110、 200、 300、 400 半導体装置、 R1 IGBT領域、 R2 ダイオード領域

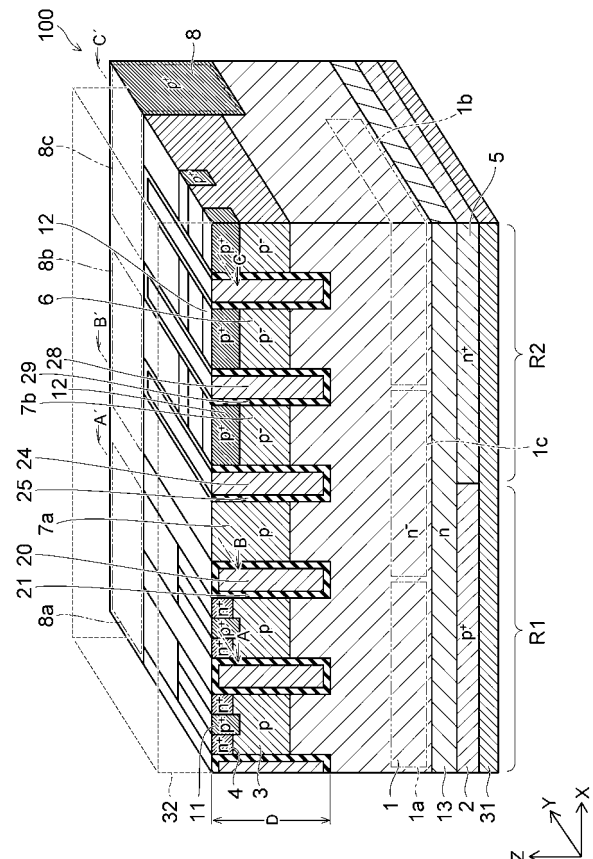
10

20

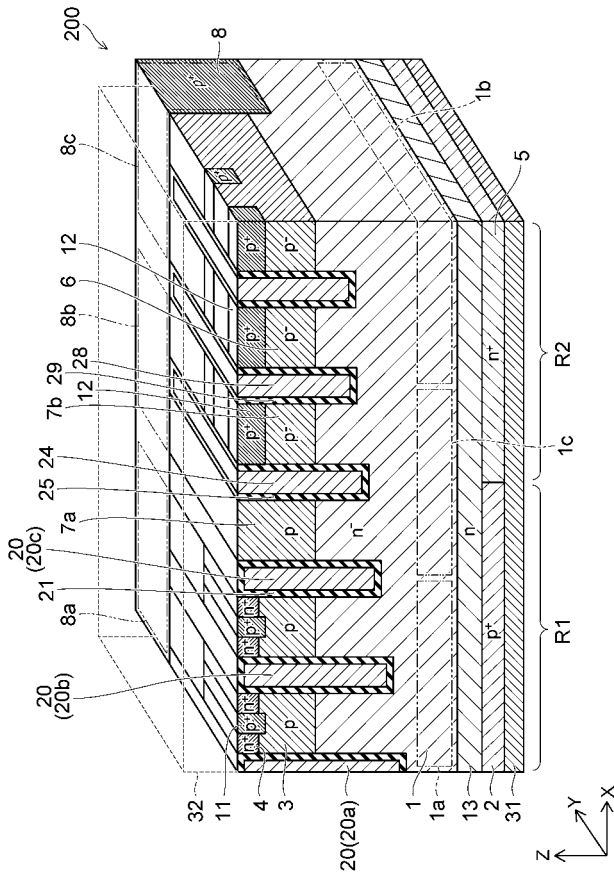
【図1】



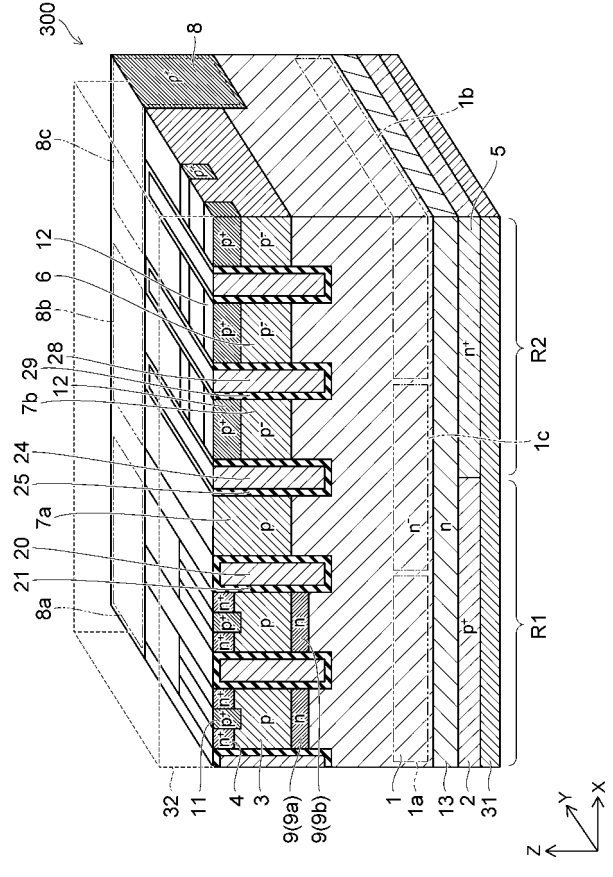
【図2】



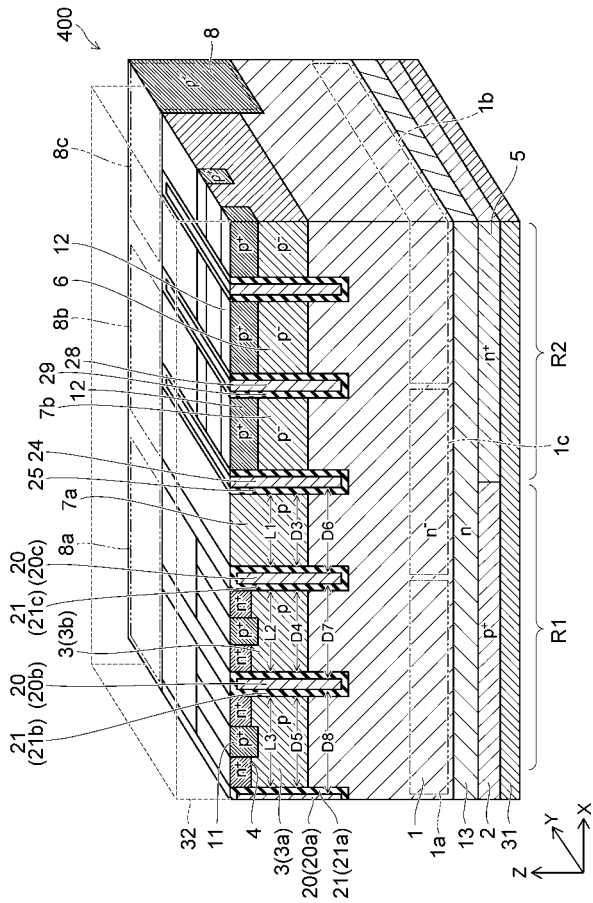
【 図 7 】



【圖 8】



【 図 9 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/739 (2006.01)	H 0 1 L 29/06	3 0 1 V
H 0 1 L 21/8234 (2006.01)	H 0 1 L 29/91	D
H 0 1 L 27/06 (2006.01)	H 0 1 L 29/78	6 5 5 D
	H 0 1 L 29/78	6 5 5 F
	H 0 1 L 29/78	6 5 2 D
	H 0 1 L 29/78	6 5 2 K
	H 0 1 L 29/78	6 5 2 J
	H 0 1 L 29/78	6 5 5 B
	H 0 1 L 27/06	1 0 2 A

(74)代理人 100172188

弁理士 内田 敬人

(72)発明者 下條 亮平

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

Fターム(参考) 5F048 AC10 BA14 BA15 BA16 BB05 BB19 BC03 BC12 BD07 BF02