

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年6月21日(21.06.2012)



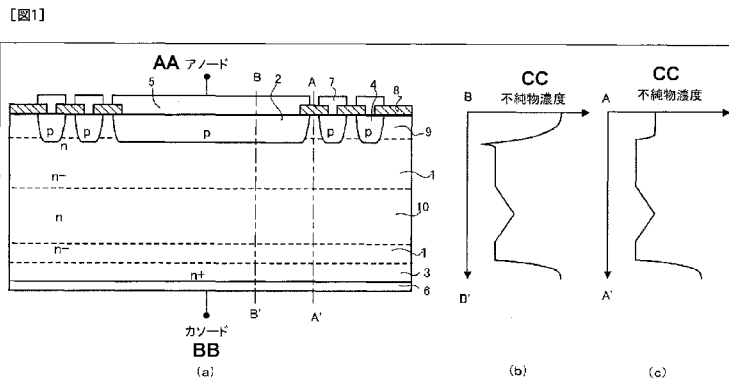
(10) 国際公開番号
WO 2012/081664 A1

- (51) 国際特許分類:
H01L 29/861 (2006.01) H01L 29/06 (2006.01)
H01L 21/329 (2006.01) H01L 29/739 (2006.01)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2011/079042
- (22) 国際出願日: 2011年12月15日(15.12.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-281132 2010年12月17日(17.12.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 水島 智教(MIZUSHIMA, Tomonori) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関3丁目2番5号 霞が関ビルディング20階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCTION THEREOF

(54) 発明の名称: 半導体装置およびその製造方法



AA ANODE
BB CATHODE
CC CONCENTRATION OF IMPURITIES

(57) Abstract: An n-type semiconductor substrate (1) has an anode layer (2) which is arranged in an element activation part, and a ring-shaped p-type guard ring (4) and an n-type surface high-concentration region (9) both of which are arranged in a ring-shaped terminal pressure-resistant region that surrounds the outer periphery of the anode layer (2), all of which are formed on the surface layer, i.e., the front surface, of the semiconductor substrate (1). The n-type surface high-concentration region (9) contains impurities at a higher concentration than that in the semiconductor substrate (1) and at a lower concentration than that in the p-type guard ring (4). The n-type surface high-concentration region (9) has a smaller depth than that of the guard ring (4). At the same time of the formation of the anode layer (2) and the guard ring (4), the concentration of oxygen in the semiconductor substrate (1) is adjusted to a value ranging from $1 \times 10^{16} / \text{cm}^3$ to $1 \times 10^{18} / \text{cm}^3$ inclusive. Subsequently, the front surface side of the semiconductor substrate (1) is irradiated with a particle beam. In this manner, it becomes possible to provide a semiconductor device having high pressure-resistance reliability at low cost, in which the control of life time can be achieved without carrying out any additional step and the increase in the ratio of an area occupied by the terminal pressure-resistant region can be prevented.

(57) 要約:

[続葉有]



WO 2012/081664 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

n型の半導体基板(1)のおもて面の表面層には、素子活性部にアノード層(2)と、アノード層(2)の外周を取り囲む環状の終端耐圧領域に環状のp型のガードリング(4)およびn型表面高濃度領域(9)とが設けられている。n型表面高濃度領域(9)は、半導体基板(1)よりも高不純物濃度で、且つp型のガードリング(4)より低不純物濃度である。n型表面高濃度領域(9)の深さは、ガードリング(4)の深さよりも浅い。アノード層(2)とガードリング(4)とを形成するとともに、半導体基板(1)中の酸素濃度を $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲にする。その後、半導体基板(1)のおもて面側から粒子線照射を行うことにより、製造工程を追加することなく、ライフタイム制御を可能にするとともに、終端耐圧領域の占有面積比率の増加を抑えて、耐圧信頼性の高い半導体装置を安価に提供することができる。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] この発明は、半導体装置およびその製造方法に関する。

背景技術

[0002] コンバーター・インバーター等の電力用半導体装置は、低損失・省電力且つ高速・高効率という特性が求められている。これらの電力用半導体装置には、600V、1200Vあるいはそれ以上の耐圧を有する電力用のダイオードやIGBT（絶縁ゲート型バイポーラトランジスタ）等が用いられる。従って、これらの電力用のダイオードやIGBT等についてもオン時やスイッチング時などに低損失特性が得られるデバイスの開発が進展している。

[0003] 従来のダイオードやIGBT等のデバイスの不純物濃度分布について説明する。図11は、従来の一般的なダイオードの一様な不純物濃度分布を示す説明図である。また、図12は、従来のブロードバッファ構造を備えたダイオードの不純物濃度分布を示す説明図である。図11(a)には、一般的なダイオードの断面構造を模式的に示す。図12(a)には、従来のブロードバッファ構造（Broad Buffer構造：以下、BB構造とする）を備えたダイオードの断面構造を模式的に示す。

[0004] オン時やスイッチング時などに低損失特性が得られるデバイスに対するさらなる改良の一つとして、電力用のダイオードや図12に示すようにドリフト層1にBB領域10が設けられたBB構造のダイオードやIGBT等のデバイスが提案されている（例えば、下記特許文献1参照。）。このBB構造とは、PIN（P-Intrinsic-N）ダイオードやIGBTのn型のドリフト層1に、不純物濃度分布が同ドリフト層1の中央近辺で極大値を持ち、pアノード層2およびn⁺カソード層3の両方向に向かってそれぞれ緩やかに不純物濃度が減少するような不純物濃度分布を有する構造のことである。

- [0005] この図12に示すBB構造のダイオードのドリフト層1について、図11に示す従来の一般的なダイオードの一様な不純物濃度分布を有するドリフト層（以下、一様な不純物濃度のドリフト層とする）1と比較する。図11（a）に示すダイオードは、図12に示すBB構造のダイオードと同じ膜厚で同じ耐圧が得られるように構成されている。また、図11（b）には、図11（a）の切断線B-B'における不純物濃度分布を示す。図11（c）には、図11（a）の切断線A-A'における不純物濃度分布を示す。
- [0006] また、図12（b）には、図12（a）の切断線B-B'における不純物濃度分布を実線で示す。図12（c）には、図12（a）の切断線A-A'における不純物濃度分布を実線で示す。さらに、図12（b）、12（c）には、BB構造のダイオードのドリフト層1の不純物濃度分布と一般的なダイオードの一様な不純物濃度のドリフト層1の不純物濃度分布との違いを明確にするために、一般的なダイオードの一様な不純物濃度のドリフト層1の不純物濃度分布を点線で示す。
- [0007] デバイスのドリフト層にBB領域を形成する方法の一つとして、プロトン（以下、H⁺とする）照射を用いてデバイスのドリフト層にBB領域を形成する方法が提案されている（例えば、下記特許文献2参照。）。下記特許文献2に示すBB領域の形成方法では、FZ（Floating Zone）バルクウエハにH⁺を照射し、熱処理を行うことで照射したH⁺を局部的にドナー化させることにより、図12（b）、12（c）に示すような所望の不純物濃度分布を有するBB領域10をドリフト層1に形成する。
- [0008] しかしながら、上述したようなBB構造のダイオードやIGBTには、次のような問題点がある。図11、図12に示すように、耐圧が等しい一般的なダイオードとBB構造のダイオードとの、一様な不純物濃度のドリフト層1とBB領域10が設けられたドリフト層1の不純物濃度とを比較した場合、BB領域10が設けられたドリフト層1の不純物濃度の極大値（以下、最大不純物濃度とする）は、一般的なダイオードのドリフト層1の不純物濃度よりも高い。そして、BB領域10が設けられたドリフト層1の不純物濃度の

最小値は、一般的なダイオードのドリフト層1の不純物濃度より低くなる。

[0009] このようにBB構造のダイオードのドリフト層1は、耐圧の等しい一般的なダイオードの同様不純物濃度のドリフト層1よりも半導体基板表面部分の不純物濃度が低くなる。このため、半導体基板表面部分での空乏層の半導体基板表面に水平な方向（以下、沿面方向とする）の広がりが大きくなり易く、終端耐圧領域の面積を大きくしなくてはならなくなる。また、終端耐圧領域の表面の不純物濃度が低い場合、外部電荷の影響も受け易くなるため、耐圧信頼性も低下し易くなる。この耐圧信頼性が低下する問題を回避する方法として、終端耐圧領域の表面部分を高不純物濃度化したダイオードについて提案されている（例えば、下記特許文献3参照。）。

先行技術文献

特許文献

- [0010] 特許文献1：特開2003-318412号公報
特許文献2：再公表2007-055352号公報
特許文献3：特開2006-332127号公報

発明の概要

発明が解決しようとする課題

[0011] しかしながら、前記特許文献3の記載にあるように、BB構造のダイオードにおいて、終端耐圧領域の表面部分を高不純物濃度化するためには、終端耐圧領域の表面部分を高不純物濃度化するための専用のマスク形成工程とフォトリソグラフィ工程を行い、終端耐圧領域の表面に部分的にイオン注入と熱拡散処理を施す必要がある。このため、製造工程数が増し、チップコストが上昇するという問題がある。

[0012] 上述したような終端耐圧領域表面部分が低不純物濃度であることに起因する問題は、BB構造などのダイオードに限らず、IGBTなどでも十分起こり得る問題である。その理由は、デバイスを高耐圧化するために、通常、高抵抗半導体基板を用いて低不純物濃度のドリフト層の厚さを所望の耐圧に合

わせて厚くする構成とするからである。従って、高抵抗半導体基板（低不純物濃度半導体基板）を採用した場合、終端耐圧領域の占有面積が増大して素子活性部の面積が相対的に減少するとともに、耐圧信頼性も低下し易くなる。

[0013] このため、耐圧信頼性の観点から可能な限り低抵抗（高不純物濃度）半導体基板が用いられる。従って、耐圧信頼性の確保と、製造工程数の維持およびチップコストの低減とはトレードオフの関係にあり、このトレードオフを解消させることは困難であるという問題がある。

[0014] この発明は、上述した従来技術による問題点を解消するため、製造工程を追加することなく、ライフタイム制御が可能な半導体装置およびその製造方法を提供することを目的とする。また、この発明は、上述した従来技術による問題点を解消するため、終端耐圧領域の占有面積比率の増加を抑えることができる半導体装置およびその製造方法を提供することを目的とする。また、この発明は、上述した従来技術による問題点を解消するため、耐圧信頼性の高い半導体装置を安価に提供することができる半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0015] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。主電流の流れる活性部において、前記 n 型の半導体基板の一方の主面側の表面層に選択的に p 型半導体領域が設けられている。前記 p 型半導体領域の外周を取り囲む環状の終端耐圧領域において、前記半導体基板の一方の主面側の表面層に選択的に例えばガードリングのような環状の p 型耐圧構造領域が設けられている。また、前記終端耐圧領域において、前記半導体基板の一方の主面側の表面層の環状の前記 p 型耐圧構造領域が形成された領域を除く領域を占める n 型表面高濃度領域が設けられている。そして、前記 n 型表面高濃度領域の不純物濃度は、前記半導体基板の不純物濃度よりも高く、且つ前記 p 型耐圧構造領域の不純物濃度よりも低い。また、前記 n 型表面高濃度領域の深さは、前記 p 型耐圧構造領域の深

さよりも浅い。

[0016] また、この発明にかかる半導体装置は、上述した発明において、前記 n 型表面高濃度領域の不純物濃度が、前記半導体基板の不純物濃度より 1.5 倍以上 4.5 倍以下の範囲で高不純物濃度であることを特徴とする。

[0017] また、この発明にかかる半導体装置は、上述した発明において、前記半導体基板中に、当該半導体基板よりも不純物濃度が高く、前記半導体基板の深さ方向における不純物濃度の極大部を中心に当該極大部から当該半導体基板の両主面に向かってそれぞれ不純物濃度が低くなる不純物濃度の傾斜分布を有する n 型ブロードバッファ領域をさらに備えることを特徴とする。

[0018] また、この発明にかかる半導体装置は、上述した発明において、前記 n 型表面高濃度領域の厚さが $6 \mu\text{m}$ 以下の厚さであることを特徴とする。

[0019] また、この発明にかかる半導体装置は、上述した発明において、ダイオードまたは IGBT であることを特徴とする。

[0020] また、この発明にかかる半導体装置の製造方法は、上述した半導体装置を製造する発明であり、次の特徴を有する。酸素雰囲気中で 1100°C 以上 1350°C 以下の温度で、5 時間以上 100 時間以下の熱処理と、不純物イオン注入および熱拡散処理とを行い、n 型の前記半導体基板の表面層に、前記 p 型半導体領域と、当該 p 型半導体領域の外周を取り囲む環状の前記終端耐圧領域とを形成するとともに、前記半導体基板中の酸素濃度を $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲にする。その後、前記半導体基板の前記 p 型半導体領域を形成した表面側からヘリウムイオン、ネオンイオン、アルゴンイオン、電子線および白金イオンのいずれかの粒子線照射を行い、前記 n 型表面高濃度領域を形成する。

[0021] また、この発明にかかる半導体装置の製造方法は、上述した半導体装置を製造する発明であり、次の特徴を有する。酸素雰囲気中で 1100°C 以上 1350°C 以下の温度で、5 時間以上 100 時間以下の熱処理と、不純物のイオン注入および熱拡散処理とを行い、前記半導体基板の表面層に、前記 p 型半導体領域と、当該 p 型半導体領域の外周を取り囲む環状の終端耐圧領域と

を形成するとともに、前記半導体基板中の酸素濃度を $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲にする。その後、前記半導体基板の前記 p 型半導体領域を形成した表面からドーズ量が $1 \times 10^{11} / \text{cm}^2$ 以上 $1 \times 10^{14} / \text{cm}^2$ 以下の範囲であって、且つ加速エネルギーが 1.0 MeV 以上 20.0 MeV 以下の範囲であるプロトン照射を行い、前記 n 型ブロードバッファ領域と、前記 n 型表面高濃度領域とを形成する。

[0022] また、この発明にかかる半導体装置の製造方法は、さらに、次の特徴を有する。前記 p 型半導体領域の p 型半導体領域側の表面から前記 n 型ブロードバッファ領域の不純物濃度の極大部の一つまでの距離（飛程） R_p の間の区間の領域のうち、前記半導体基板の酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲となる領域が当該区間の半分以上の厚さであり、且つ前記 n 型ブロードバッファ領域の不純物濃度の極大部の一つにおける含有酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲となるように、前記 n 型ブロードバッファ領域と、前記 n 型表面高濃度領域とを形成する。

[0023] 上述した発明によれば、ライフタイムキラ形成時の粒子線照射および熱処理工程によって n 型表面高濃度領域を形成することができるため、工程が少なく簡易な方法で BB 領域を形成することができる。また、上述した発明によれば、半導体基板の不純物濃度を低くしたままでも終端耐圧領域の表面から $6 \mu\text{m}$ の深さまでの n 型表面高濃度領域の不純物濃度を半導体基板の不純物濃度よりも高不純物濃度化することができる。この結果、外部電荷に対する耐性を向上させることができるとともに、逆バイアス時に pn 接合から広がる空乏層の等電位線が該 n 型表面高濃度領域では密になり広がりが抑えられる。

発明の効果

[0024] 本発明にかかる半導体装置およびその製造方法によれば、製造工程を追加することなく、ライフタイム制御を可能にすることができるという効果を奏する。また、本発明にかかる半導体装置およびその製造方法によれば、終端耐圧領域の占有面積比率の増加を抑えることができるという効果を奏する。

本発明にかかる半導体装置およびその製造方法によれば、耐圧信頼性の高い半導体装置を安価に提供することができるという効果を奏する。

図面の簡単な説明

[0025] [図1]図1は、本発明の実施の形態1にかかるダイオードの断面構造および不純物濃度分布を示す説明図である。

[図2]図2は、本発明の実施の形態1にかかるダイオードの主要な製造工程を示す断面図である。

[図3]図3は、半導体基板の不純物濃度と外部電荷密度との関係を示す相関図である。

[図4]図4は、本発明の実施の形態1にかかるダイオードの別の一例を示す断面構造および不純物濃度分布を示す説明図である。

[図5]図5は、半導体基板内の酸素濃度とダイオード順方向電圧との関係を示す相関図である。

[図6]図6は、半導体基板内の酸素濃度と H^+ の活性化（ドナー化）率の関係を示す相関図である。

[図7]図7は、本発明の実施の形態2にかかるIGBTの断面構造および不純物濃度分布を示す説明図である。

[図8]図8は、本発明の実施の形態2にかかるIGBTの主要な製造工程を示す断面図である。

[図9]図9は、本発明の実施の形態2にかかるIGBTの別の一例を示す断面構造および不純物濃度分布を示す説明図である。

[図10]図10は、本発明の実施の形態2にかかる逆阻止型IGBTの構成を示す断面図である。

[図11]図11は、従来一般的なダイオードの一様な不純物濃度分布を示す説明図である。

[図12]図12は、従来ブロードバッファ構造を備えたダイオードの不純物濃度分布を示す説明図である。

[図13]図13は、本発明にかかる半導体装置のネットドーピング濃度分布を

示す特性図である。

発明を実施するための形態

[0026] 以下に添付図面を参照して、この発明にかかる半導体装置およびその製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n や p に付す $+$ および $-$ は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本発明はその要旨を超えない限り、以下に説明する実施の形態の記載に限定されるものではない。

[0027] (実施の形態1)

以下、本発明の実施の形態1にかかる半導体装置について説明する。例えば、実施の形態1にかかる半導体装置がダイオードである場合を例に説明する。図1は、本発明の実施の形態1にかかるダイオードの断面構造および不純物濃度分布を示す説明図である。図1(a)には、実施の形態1にかかるダイオードの断面構造を模式的に示す。図1(b)には、図1(a)の切断線B-B'における不純物濃度分布を示す。図1(c)には、図1(a)の切断線A-A'における不純物濃度分布を示す。

[0028] 図1(a)に示すダイオードは、主電流の流れる素子活性部において、半導体基板1の一方の主面(以下、おもて面とする)側の表面層に、アノード層2が選択的に設けられている。また、アノード層2を囲む耐压構造領域において、半導体基板1のおもて面側の表面層には、 p 型ガードリング4が選択的に設けられている。さらに、素子活性部から耐压構造領域にわたって、半導体基板1のおもて面側の表面層に、 n 型表面高濃度領域9が設けられている。 n 型表面高濃度領域9は、 H^+ 照射によって形成された空孔と酸素との複合欠陥からなるドナーを高濃度に含む。

[0029] n 型表面高濃度領域9の深さは、アノード層2および p 型ガードリング4

の深さよりも浅い。n型表面高濃度領域9の不純物濃度は、半導体基板1の不純物濃度よりも高く、かつアノード層2の不純物濃度よりも低い。半導体基板1内には、半導体基板1のおもて面からアノード層2およびガードリング4の深さよりも深い位置に、素子活性部から耐圧構造領域にわたって、n型のブロードバッファ（BB）領域10が設けられている。BB領域10は、n型表面高濃度領域9に接していてもよいし、n型表面高濃度領域9から離れていてもよい。

[0030] 半導体基板1のおもて面の表面の、アノード層2およびガードリング4が設けられていない部分は、例えば、シリコン酸化膜などからなる絶縁膜8で覆われている。アノード電極5は、アノード層2に接する。ガードリング電極7は、ガードリング4に接する。アノード電極5とガードリング電極7とは、絶縁膜8によって互いに絶縁されている。半導体基板1の他方の主面（アノード層2が形成された主面に対して反対側の主面、以下、裏面とする）には、BB領域10と離れて、カソード層3が設けられている。カソード電極6は、カソード層3に接する。

[0031] 次に、図1（a）に示す本発明の実施の形態1にかかるダイオードの製造方法について、図2を参照して説明する。図2は、本発明の実施の形態1にかかるダイオードの主要な製造工程を示す断面図である。まず、高抵抗のFZ法により作製されたn型のシリコン半導体基板（以下、単に半導体基板とする）1を用意する。次に、酸素雰囲気での熱処理による熱酸化を行った後、フォトリソグラフィ工程によって、半導体基板1の一方の主面（以下、おもて面とする）の表面に所定部分を開口したレジストマスクを形成する。次に、レジストマスクをマスクとしてイオン注入を行い、半導体基板1のおもて面側からレジストマスクの開口部にボロンなどのp型不純物を導入する。

[0032] そして、昇・降温時または定常温度の期間にて酸素を含むような雰囲気での熱拡散処理を行い、主電流の流れる素子活性部にアノード層2を選択的に形成するとともに、アノード層2を囲む耐圧構造領域19にp型ガードリング4を選択的に形成する（図2（a））。この段階で、これまでの酸素雰囲気

の熱処理により、半導体基板 1 の表面層には、酸素が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲の不純物濃度で導入され、分布している。

[0033] その後、熱酸化または膜成長によって、半導体基板 1 のおもて面の表面、アノード層 2 およびガードリング 4 が設けられていない部分を覆う絶縁膜 8 を形成する。そして、蒸着やスパッタなどによって、アノード層 2 およびガードリング 4 の表面にそれぞれ導電接触するアノード電極 5 およびガードリング電極 7 を形成する (図 2 (b))。次に、半導体基板 1 の、アノード層 2 などを形成するためのイオン注入を行った主面 (おもて面) と同じ主面側からプロトン (H^+) を照射して熱処理を行う。

[0034] この H^+ 照射によって、半導体基板 1 のおもて面からアノード層 2 およびガードリング 4 の深さよりも浅い表面層に空孔と酸素との複合欠陥からなるドナーを高濃度に含む n 型表面高濃度領域 9 を形成する。さらに、この H^+ 照射によって、n 型表面高濃度領域 9 とともに、半導体基板 1 のおもて面からアノード層 2 およびガードリング 4 の深さよりも深い位置に BB 領域 10 を形成する (図 2 (c))。n 型表面高濃度領域 9 と BB 領域 10 とは、半導体基板 1 の深さ方向に重なっていてもよいし、離れていてもよい。

[0035] H^+ 以外の粒子線を用いて n 型表面高濃度領域 9 を作成する場合は、 H^+ の代わりにヘリウム (He) イオン、ネオン (Ne) イオン、アルゴン (Ar) イオン、電子線、白金 (Pt) イオンなどの粒子線を照射すればよい。各粒子線をシリコンに照射 (注入) したときの飛程 R_p は、加速エネルギーが 200 keV から 30 MeV の範囲において、次の通りである。飛程 R_p とは、粒子線を半導体基板 1 に照射したときに、粒子線が半導体基板 1 中で完全に停止するまでの平均距離である。 H^+ の飛程 R_p は、例えば $1.8 \sim 4910 \mu\text{m}$ であってもよい。ヘリウムイオンの飛程 R_p は、例えば $1.1 \sim 432.7 \mu\text{m}$ であってもよい。ネオンイオンの飛程 R_p は、例えば $0.4 \sim 16.0 \mu\text{m}$ であってもよい。アルゴンイオンの飛程 R_p は、例えば $0.2 \sim 9.8 \mu\text{m}$ であってもよい。

[0036] また、白金 (Pt) イオンの飛程 R_p は、例えば、加速エネルギーが 20

0 k e Vから1 0 0 M e Vの範囲において、0. 0 7 ~ 1 3. 5 μ mであってもよい。また、電子線の飛程R pは、例えば、1 0 0 k e Vから1 0 M e Vの範囲において、8 0 μ m ~ 2 0 m mであってもよい。そして、各粒子線の照射量と加速エネルギーは、次の通りである。H⁺では、例えば、ドーズ量が $1 \times 1 0^{11} / \text{c m}^2 \sim 1 \times 1 0^{14} / \text{c m}^2$ で、加速エネルギーが1. 0 M e V ~ 2 0 M e V程度であってもよい。

[0037] H eでは、例えば、ドーズ量が $1 \times 1 0^{11} / \text{c m}^2 \sim 1 \times 1 0^{14} / \text{c m}^2$ で、加速エネルギーが1. 0 M e V ~ 3 0 M e V程度であってもよい。電子線を用いる場合、加速エネルギーが1. 0 M e Vから1 0 M e V、照射線量が1 0 k G y ~ 6 0 0 k G y程度であれば、電子線の飛程R pが十分深くなり、半導体基板1のおもて面側の表面層にn型の表面高濃度領域9を形成することができるので、好ましい。A rイオン、N eイオンおよびP tイオンについても、それぞれ上記の範囲の加速エネルギーにおいて、 $1 \times 1 0^{11} / \text{c m}^2 \sim 1 \times 1 0^{14} / \text{c m}^2$ のドーズ量にて照射することが好ましい。

[0038] 照射量を上記範囲とした理由は、照射量が上記範囲よりも少ない場合には複合欠陥の過少によって有効な効果が得られず、照射量が上記範囲よりも多い場合には複合欠陥の過多により移動度が大きく低下してしまい、所望の順方向電圧V fが得られなくなるからである。そして、加速エネルギーを上記範囲とした理由は、シリコン半導体からなる半導体基板1内への飛程R pを所望の深さにするために必要であるからである。

[0039] また、H⁺の加速エネルギーを上記範囲とした理由は、B B領域10の半値幅を所望の厚さにするために必要であるからである。さらに、H⁺の加速エネルギーは1. 0 M e V ~ 8. 0 M e Vであり、H⁺のドーズ量は $1 \times 1 0^{12} / \text{c m}^2 \sim 1 \times 1 0^{13} / \text{c m}^2$ の範囲であるのがより一層好ましい。その理由は、幅が注入の標準偏差($\Delta R p$)程度(1 μ m ~ 2 5 μ m)で、電氣的に活性化したドナーの実効的なドーズ量が $2 \times 1 0^{11} / \text{c m}^2 \sim 1 \times 1 0^{12} / \text{c m}^2$ の範囲のB B領域10を形成することができるからである。

[0040] 次に、図示省略するが半導体基板1の裏面を研削して所定の厚さとする。

そして、イオン注入によって半導体基板 1 の裏面側からリンなどの n 型不純物を導入し、熱拡散処理によって半導体基板 1 の裏面にカソード層 3 を形成する。その後、このカソード層 3 の表面をカソード電極 6 で被覆する。これにより、図 1 (a) に示すダイオードが完成する。

[0041] 次に、図 1 に示す半導体装置における半導体基板 1 の不純物濃度に対する BB 領域 10 の不純物濃度の極大値の比と、外部電荷密度との関係について説明する。図 3 は、半導体基板の不純物濃度と外部電荷密度との関係を示す相関図である。図 3 には、半導体基板 1 の当初の不純物濃度に対する n 型表面高濃度領域 9 の最大不純物濃度の比と、逆耐圧が減少を始める外部電荷濃度（密度）および逆耐圧とを示す。半導体基板 1 の当初の不純物濃度とは、半導体基板 1 に n 型表面高濃度領域 9 および BB 領域 10 が形成される前の半導体基板 1 の不純物濃度である。

[0042] 図 3 に示す相関図から分かることは、図 1 に示すダイオードの層構造では、n 型表面高濃度領域 9 の不純物濃度を半導体基板 1 の不純物濃度より 1.5 倍～4.5 倍程度の高不純物濃度にするにより、外部電荷密度が $1 \times 10^{12} / \text{cm}^2$ のように高い場合でも耐圧は低下せず、且つ外部電荷への耐性が強い高信頼性のダイオードが得られることである。一方、n 型表面高濃度領域 9 の不純物濃度を半導体基板 1 の不純物濃度と比較して 4.5 倍以上に高不純物濃度化しすぎた場合では、ガードリング 4 間の表面不純物濃度が高くなりすぎて、そこで空乏層が伸び難くなり電界強度が大きくなり耐圧が低下する。また、図 3 に示す相関図から、n 型表面高濃度領域 9 の不純物濃度を半導体基板 1 の不純物濃度より 2.0 倍～4.0 倍の範囲で高くすることにより、外部電荷密度による耐圧の変動がなく、且つ安定的な耐圧を維持できるため、なお一層好ましいことがわかる。

[0043] また、この n 型表面高濃度領域 9 の形成方法としては H⁺照射に限定されるものではない。前述した他の粒子線、例えば、He や電子線などによって形成される複合欠陥でも同様の効果を得ることが可能である。これら H⁺以外の粒子線で形成した n 型表面高濃度領域 9 を有するダイオードの断面図と不純

物濃度分布図を図4に示す。図4は、本発明の実施の形態1にかかるダイオードの別の一例を示す断面構造および不純物濃度分布を示す説明図である。図4(a)には、半導体基板1からなるドリフト層にBB領域10を有さず、n型表面高濃度領域9を有する構成のダイオードを示す。図4(b)には、図4(a)の切断線B-B'における不純物濃度分布を示す。図4(c)には、図4(a)の切断線A-A'における不純物濃度分布を示す。図4に示すダイオードが図1に示すダイオードと異なるのは、BB領域10を有さない点である。

[0044] このとき、H⁺照射によるn型表面高濃度領域9の形成には留意すべき点がある。すなわち、前記特許文献1に示されているように、半導体基板1内部の酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以下と低すぎる場合では、H⁺照射に起因する空孔と酸素の複合欠陥からなるドナーの増加の影響よりもH⁺照射時の移動度低下の影響が非常に大きく、順方向特性が悪化するからである。この順方向特性が悪化することについて、図5を参照して説明する。図5は、半導体基板内の酸素濃度とダイオード順方向電圧との関係を示す相関図である。図5には、プロトンの飛程 R_p に対して酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上の領域の半導体基板1表面からの深さ(幅)の比とダイオード順方向電圧との関係を示す。図5の相関図に示すように、半導体基板1表面から飛程 R_p の深さまでの領域中、酸素濃度が $1 \times 10^{16} / \text{cm}^3$ よりも高い領域が半分以下の厚さで存在する場合、言い換えると酸素濃度が $1 \times 10^{16} / \text{cm}^3$ よりも低い領域が半分以上の厚さを占めた場合、移動度低下による順方向電圧増大が顕著になる。

[0045] また、H⁺照射による効率的なBB領域10の形成の際には、H⁺のドナー化率の高いことが望ましい。図6は、半導体基板内の酸素濃度とH⁺の活性化(ドナー化率)との関係を示す相関図である。図6から半導体基板1内部の酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上でH⁺のドナー化率が大きく向上していることがわかる。一方、半導体基板1内部の酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 未満の場合では、H⁺のドナー化率が急激に低くなり、10%以下になると効率的にBB

領域 10 を形成できないために BB 領域 10 による発振抑制効果が期待できない。また、 H^+ の照射量を増加させて無理に BB 領域 10 を形成した場合は、 H^+ の過剰な照射による著しいライフタイムの低下や、漏れ電流の増大、移動度低下などの影響が生じ、 $E_{rr} - V_f$ (逆回復損失 - 順電圧降下) のトレードオフが悪化する。

[0046] 以上、説明したように、半導体基板 1 内の酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上の高濃度であることが望ましい。ただし、半導体基板 1 内の酸素濃度が $1 \times 10^{18} / \text{cm}^3$ 以上と高すぎる場合では半導体基板 1 内で OSF 欠陥 (Oxidation-induced Stacking Fault: 酸化誘起積層欠陥) が顕著に現れて漏れ電流が増加するので好ましくない。

[0047] したがって、半導体基板 1 内、特にアノード層 2 表面から BB 領域 10 の不純物濃度の極大部までの飛程 R_p の間の区間では半導体基板 1 に含まれる酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上で且つ $1 \times 10^{18} / \text{cm}^3$ 以下である領域が、当該区間の半分以上の厚さであり、且つブロードバッファ領域 (BB 領域) 10 の極大値における含有酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下であることが望ましい。また、 H^+ を複数回照射して BB 領域 10 を複数形成する場合も、複数の BB 領域 10 の極大部 (極大値の部分) のうち少なくとも 1 つにおける含有酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下であることが望ましい。

[0048] なお、イオン注入法または熱拡散法にて、あらかじめ酸素を半導体基板 1 の表面に導入しておく方法もある。例えば、FZ 法により作製された表面鏡面仕上げの n 型の半導体基板 1 の表面に、酸素イオンを加速エネルギーが 100 keV から 10 MeV 、ドーズ量が $1 \times 10^{12} / \text{cm}^2$ 以上 $1 \times 10^{16} / \text{cm}^2$ 以下の範囲で注入する。そして、酸素雰囲気の中で、 $1100^\circ\text{C} \sim 1350^\circ\text{C}$ くらいの温度で 10 時間 ~ 100 時間の時間をかけて熱処理を行う。これにより、半導体基板 1 内に、 $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の濃度範囲の酸素を含む領域を形成することができる。

[0049] または、酸素イオンのイオン注入を行わずに、酸素雰囲気の中で 1100

℃～1350℃くらいの温度、好ましくは1200℃～1350℃の範囲の温度で、5時間～100時間（好ましくは10時間～100時間）かけて酸化膜を形成しつつ熱処理を行う。これにより、上述したイオン注入により半導体基板1内に酸素を含む領域を形成した場合と同様の濃度の酸素を半導体基板に導入することができる。または、公知のパイロジェニック酸化等で、酸素雰囲気中で1μm厚程度の熱酸化膜をあらかじめ形成し、その後に酸素雰囲気もしくは窒素雰囲気中で1100℃～1350℃の温度で10時間～100時間熱処理してもよい。半導体基板1中の酸素濃度の分布を細かく制御する必要がある場合には、前者のイオン注入法を組合せて熱処理するのがよい。また、酸素のイオン注入により半導体基板1の表面に導入されるダメージを避ける場合は、逆に酸素のイオン注入を避ければよい。

[0050] 次に、半導体基板1内のネットドーピング濃度分布について説明する。図13は、本発明にかかる半導体装置のネットドーピング濃度分布を示す特性図である。図13は、酸素雰囲気の中で、温度を1300℃にて15時間かけて、表面に酸化膜を形成しながら酸素を導入した半導体基板1の表面から、H⁺を加速エネルギーが8MeV、ドーズ量が $2 \times 10^{12} / \text{cm}^2$ にて照射し、350℃にて熱処理を行ったときのネットドーピング濃度を、周知の広がり抵抗測定法にて測定した結果である。測定には、Solid-State Measurement社製のSSM-2000を用いた。

[0051] 図13に示す結果から、H⁺の照射により表面から30μmの深さよりも深い領域に、BB領域10を形成することができたことがわかる。さらに、半導体基板1表面（0μm）から深さ6μmにわたり、半導体基板1からなるドリフト層の不純物濃度（約 $4 \times 10^{13} / \text{cm}^3$ ）よりも不純物濃度が高く、最大濃度がおおよそ $9 \times 10^{13} / \text{cm}^3$ のn型表面高濃度領域9を形成することができた。

[0052] このときの酸素は、半導体基板1の表面付近の不純物濃度が最大で約 $3 \times 10^{17} / \text{cm}^3$ となるガウス分布にて導入することができたことを、周知の2次イオン質量分析法（SIMS）により確認した。粒子線が通過した領域にお

ける空孔と酸素の複合欠陥のドナー化率はおよそ0.03%~0.3%の範囲であるため、酸素濃度が最大となる部分(0~6 μm)が、半導体基板1の濃度よりも高くなる。

[0053] なお、あらかじめ半導体基板1に酸素を導入する上記の工程だけでなく、通常のp型アノード層2あるいはガードリング4をイオン注入および熱拡散にて導入する工程、あるいは絶縁層としてシリコンの熱酸化にて1 μm 以下の厚さの熱酸化膜を形成する工程でも、酸素は半導体基板1に導入される。本発明のn型表面高濃度領域9の形成は、通常のp型アノード層2などの熱拡散あるいは熱酸化膜の形成のみで形成することができる場合もあるが、あらかじめ半導体基板1に酸素を導入する上記の工程を行う方が、確実に前述の濃度分布にて酸素が導入されるので、好ましい。

[0054] 以上説明したように、実施の形態1にかかる半導体装置によれば、半導体基板の不純物濃度を低くしたままでも終端耐圧領域の表面から6 μm の深さまでのn型表面高濃度領域の不純物濃度を半導体基板の不純物濃度よりも高不純物濃度化することができる。この結果、外部電荷に対する耐性を向上させることができるとともに、逆バイアス時にpn接合から広がる空乏層の等電位線が該n型表面高濃度領域では密になり広がりが抑えられる。このため、信頼性が高く、且つ終端耐圧領域の占有面積比率の増加を抑え小型化を図った半導体装置を提供することが可能となる。また、粒子線照射による欠陥を再結合中心としても活用することができるため、終端耐圧領域近傍のライフタイム減少も可能となる。これにより、導通時および逆回復時の該終端耐圧領域へのキャリアの集中を回避することが可能となる。また、実施の形態1にかかる半導体装置の構造は、ライフタイムキラー形成時の粒子線照射および熱処理工程によってn型表面高濃度領域およびBB領域(またはn型表面高濃度領域のみ)を形成することができるため、工程が少なく簡易な方法での形成が可能である。これにより、安価な半導体装置を提供することが可能となる。また、ドリフト層中に高不純物濃度のブロードバッファ領域を有することにより、高速・低損失であり、且つソフトなスイッチング特性を持

つダイオードが得られる。

[0055] (実施の形態 2)

以下、本発明の実施の形態 2 にかかる半導体装置について説明する。例えば、実施の形態 2 にかかる半導体装置が IGBT である場合を例に説明する。図 7 は、本発明の実施の形態 2 にかかる IGBT の断面構造および不純物濃度分布を示す説明図である。図 7 (a) には、実施の形態 2 にかかる IGBT の断面構造を模式的に示す。図 7 (b) には、図 7 (a) の切断線 B-B' における不純物濃度分布を示す。図 7 (c) には、図 7 (a) の切断線 A-A' における不純物濃度分布を示す。

[0056] 図 7 (a) に示す IGBT は、主電流の流れる素子活性部において、半導体基板 1 のおもて面側の表面層に、p 型ベース層 11 が選択的に設けられている。p 型ベース層 11 内には、エミッタ層 12 が選択的に設けられている。また、素子活性部を囲む耐压構造領域において、半導体基板 1 のおもて面側の表面層には、p 型ガードリング 4 が選択的に設けられている。さらに、素子活性部から耐压構造領域にわたって、半導体基板 1 のおもて面側の表面層には、n 型表面高濃度領域 9 が設けられている。

[0057] n 型表面高濃度領域 9 の深さは、p 型ベース層 11 および p 型ガードリング 4 の深さよりも浅い。n 型表面高濃度領域 9 の不純物濃度は、半導体基板 1 の不純物濃度よりも高く、かつ p 型ベース層 11 の不純物濃度よりも低い。半導体基板 1 内には、半導体基板 1 のおもて面から p 型ベース層 11 およびガードリング 4 の深さよりも深い位置に、素子活性部から耐压構造領域にわたって、n 型の BB 領域 10 が設けられている。n 型表面高濃度領域 9 および BB 領域 10 の構成は、それぞれ、実施の形態 1 の n 型表面高濃度領域 および BB 領域と同様である。

[0058] 半導体基板 1 のおもて面の表面の、p 型ベース層 11 およびガードリング 4 が設けられていない部分は、例えば、シリコン酸化膜などからなる絶縁膜 8 で覆われている。エミッタ電極 14 は、p 型ベース層 11 およびエミッタ層 12 に接する。ガードリング電極 7 は、ガードリング 4 に接する。エミッ

タ電極 14 とガードリング電極 7 とは、絶縁膜 8 によって互いに絶縁されている。半導体基板 1 の裏面（p 型ベース層 11 が形成された主面に対して反対側の主面）には、BB 領域 10 と離れて、コレクタ層 13 が設けられている。コレクタ電極 15 は、コレクタ層 13 に接する。

[0059] 図 7 (a) に示す本発明の実施の形態 2 にかかる IGBT の製造方法について、図 8 を参照して以下説明する。図 8 は、本発明の実施の形態 2 にかかる IGBT の主要な製造工程を示す断面図である。まず、FZ 法により作製された高抵抗の n 型の半導体基板 1 を用意し、イオン注入および熱拡散により、半導体基板 1 のおもて面側の表面層に選択的に p 型ベース層 11、エミッタ層 12 およびガードリング 4 を形成する（図 8 (a)）。次に、エミッタ層 12 と半導体基板 1 の表面層とに挟まれる p 型ベース層 11 の表面上にゲート絶縁膜、ゲート電極 17 などからなる MOS ゲート構造を形成する。

[0060] その後、ガードリング 4 表面に熱酸化または膜成長によって、半導体基板 1 のおもて面の表面、p 型ベース層 11 およびガードリング 4 が設けられていない部分を覆う絶縁膜 8 を形成する。そして、蒸着やスパッタなどによって、p 型ベース層 11 およびエミッタ層 12 に接触し、かつ層間絶縁膜 16 を介してゲート電極 17 を覆うエミッタ電極 14 と、ガードリング 4 に接触するガードリング電極 7 とを形成する（図 8 (b)）。

[0061] 次に、半導体基板 1 のおもて面側から H^+ を照射して熱処理をすることにより、半導体基板 1 の p 型の領域以外の表面部に空孔と酸素の複合欠陥からなるドナーによる n 型表面高濃度領域 9 を形成するとともに、半導体基板 1 内の深い位置に BB 領域 10 を形成する（図 8 (c)）。このとき、n 型表面高濃度領域 9 と BB 領域 10 とは重なっていてもよいし、離れていてもよい。電子線などの粒子線を用いて n 型表面高濃度領域 9 を形成する場合は、 H^+ の代わりに電子線などの粒子線を照射すればよい。

[0062] その後、半導体基板 1 の裏面側を研削して所定の厚さとし、コレクタ層 13 をボロンなどの p 型不純物のイオン注入および活性化工程（熱処理、レーザーアニールなど）を用いて形成する、そして、コレクタ層 13 の表面にコ

レクタ電極 15 を形成する。これにより図 7 (a) に示す IGBT が完成する。なお、ドリフト層 1 とコレクタ層 13 の間に、 n 型のドーパント（リン、 H^+ など）で周知の n 型フィールドストップ層（不図示）を設けて、空乏層がコレクタ層 13 にパンチスルーするのを防ぐようにしてもよい。

[0063] また、この n 型表面高濃度領域 9 の形成については、 H^+ 照射に限定せず前述の他の粒子線、たとえば He や電子線などによって形成される欠陥でも同様の効果を得ることが可能である。これら H^+ 以外の粒子線で n 型表面高濃度領域 9 を形成した場合の IGBT の断面構造を図 9 に示す。図 9 は、本発明の実施の形態 2 にかかる IGBT の別の一例を示す断面構造および不純物濃度分布を示す説明図である。図 9 (a) には、ドリフト層 1 に BB 領域 10 を有さず、 n 型表面高濃度領域 9 を有する構成の IGBT を示す。図 9 (b) には、図 9 (a) の切断線 B-B' における不純物濃度分布を示す。図 9 (c) には、図 9 (a) の切断線 A-A' における不純物濃度分布を示す。図 9 に示す IGBT が図 7 に示す IGBT と異なるのは、BB 領域 10 を有さない点である。これらの n 型表面高濃度領域 9 を形成する粒子線の照射は、IGBT のライフタイムキラー形成目的とする粒子線の照射と同時に進めてもよく、従来と工程数を増やさずに効果を得ることが可能となる。

[0064] また、図 7, 9 ではプレーナゲート型の IGBT を示したが、トレンチゲート型 IGBT とすることもできる。また、図 10 の断面図に示すように一般的な IGBT だけではなく、逆阻止型 IGBT においても同様の効果を得ることは可能である。図 10 は、本発明の実施の形態 2 にかかる逆阻止型 IGBT の構成を示す断面図である。図 10 の逆阻止型 IGBT に付けられた符号のうち、符号 18 は p 型分離層である。図 10 に示す逆阻止型 IGBT の p 型分離層 18 以外の構成は、図 7 に示す IGBT と同様である。この p 型分離層 18 はコレクタ層 13 とドリフト層 1 間との pn 接合の端部を半導体基板 1 の表面側へ湾曲させる機能を備える。この pn 接合端面は表面で絶縁膜 8 により保護されるため、逆電圧を有効に保持することができる。

[0065] また、実施の形態 1 にかかるダイオードと同様の理由で、実施の形態 2 に

かかる IGBT においても半導体基板 1 内、特にエミッタ層 1 2 表面から BB 領域 1 0 の極大値までの各粒子線の飛程 R_p の間の区間では半導体基板に含まれる酸素の濃度が $1 \times 10^{16} / \text{cm}^3$ 以上で且つ $1 \times 10^{18} / \text{cm}^3$ 以下である領域が、当該区間の半分以上の厚さであり、且つブロードバッファ領域の極大値の一つにおける含有酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下であることが望ましい。

[0066] 以上説明したように、実施の形態 2 にかかる半導体装置によれば、実施の形態 1 にかかる半導体装置と同様に、半導体基板の不純物濃度を低くしたままでも終端耐圧領域の表面から $5 \mu\text{m}$ の深さまでの n 型表面高濃度領域の不純物濃度を半導体基板の不純物濃度よりも高不純物濃度化することができる。この結果、外部電荷に対する耐性を向上させることができるとともに、p 型ベース層と n 型ドリフト層間との pn 接合が逆バイアスされた時に pn 接合から広がる空乏層の等電位線が該 n 型表面高濃度領域では密になり広がりが抑えられるため、素子の小型化が可能となる。また、粒子線照射による欠陥を再結合中心としても活用することができるため、終端耐圧領域近傍のライフタイム減少も可能となる。これにより、導通時および逆回復時の該終端耐圧領域へのキャリアの集中を回避することが可能となる。また、実施の形態 2 にかかる半導体装置の構造は、ライフタイムキラ形成時の粒子線照射および熱処理工程によって n 型表面高濃度領域および BB 領域（または n 型表面高濃度領域のみ）を形成することができるため、工程が少なく簡易な方法での形成が可能である。また、ドリフト層中に高不純物濃度のブロードバッファ領域を有することにより、高速・低損失であり、且つソフトなスイッチング特性を持つ IGBT が得られる。

[0067] 以上において本発明の各実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型としたが、本発明は第 1 導電型を p 型とし、第 2 導電型を n 型としても同様に成り立つ。

産業上の利用可能性

[0068] 以上のように、本発明にかかる半導体装置およびその製造方法は、特にダ

イオードまたは I G B T などの電力用の半導体装置に有用である。

符号の説明

- [0069]
- 1 半導体基板（ドリフト層、シリコン半導体基板）
 - 2 アノード層
 - 3 カソード層
 - 4 ガードリング
 - 5 アノード電極
 - 6 カソード電極
 - 7 ガードリング電極
 - 8 絶縁層
 - 9 n型表面高濃度領域
 - 10 ブロードバッファ領域（B B領域）
 - 11 ベース層
 - 12 エミッタ層
 - 13 コレクタ層
 - 14 エミッタ電極
 - 15 コレクタ電極
 - 16 層間絶縁膜
 - 17 ゲート電極
 - 18 p型分離層
 - 19 耐圧構造領域

請求の範囲

- [請求項1] 第1導電型の半導体基板と、
主電流の流れる活性部において、前記半導体基板の一方の主面側の表面層に選択的に形成された第2導電型半導体領域と、
前記第2導電型半導体領域の外周を取り囲む環状の終端耐圧領域において、前記半導体基板の一方の主面側の表面層に選択的に形成された環状の第2導電型耐圧構造領域と、
前記終端耐圧領域において、前記半導体基板の一方の主面側の表面層の、前記第2導電型耐圧構造領域が形成された領域を除く領域を占める第1導電型表面高濃度領域と、
を備え、
前記第1導電型表面高濃度領域の不純物濃度が、前記半導体基板の不純物濃度よりも高く、且つ前記第2導電型耐圧構造領域の不純物濃度よりも低く、
前記第1導電型表面高濃度領域の深さが、前記第2導電型耐圧構造領域の深さよりも浅いことを特徴とする半導体装置。
- [請求項2] 前記第1導電型表面高濃度領域の不純物濃度が、前記半導体基板の不純物濃度より1.5倍以上4.5倍以下の範囲で高不純物濃度であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記半導体基板中に、当該半導体基板よりも不純物濃度が高く、前記半導体基板の深さ方向における不純物濃度の極大部を中心に当該極大部から当該半導体基板の両主面に向かってそれぞれ不純物濃度が低くなる不純物濃度の傾斜分布を有する第1導電型ブロードバッファ領域をさらに備えることを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記第1導電型表面高濃度領域の厚さが6 μ m以下の厚さであることを特徴とする請求項1に記載の半導体装置。
- [請求項5] ダイオードまたはIGBTであることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。

[請求項6] 酸素雰囲気中で 1100°C 以上 1350°C 以下の温度で、5時間以上100時間以下の熱処理と、不純物のイオン注入および熱拡散処理とを行い、前記半導体基板の表面層に、前記第2導電型半導体領域と、当該第2導電型半導体領域の外周を取り囲む環状の前記終端耐圧領域とを形成するとともに、前記半導体基板中の酸素濃度を $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲にする第1の工程と、

前記第1の工程の後に、前記半導体基板の前記第2導電型半導体領域を形成した表面側からヘリウムイオン、ネオンイオン、アルゴンイオン、電子線および白金イオンのいずれかの粒子線照射を行い、前記第1導電型表面高濃度領域を形成する第2の工程と、

を含むことを特徴とする請求項1または2に記載の半導体装置の製造方法。

[請求項7] 酸素雰囲気中で 1100°C 以上 1350°C 以下の温度で、5時間以上100時間以下の熱処理と、不純物のイオン注入および熱拡散処理とを行い、前記半導体基板の表面層に、前記第2導電型半導体領域と、当該第2導電型半導体領域の外周を取り囲む環状の前記終端耐圧領域とを形成するとともに、前記半導体基板中の酸素濃度を $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲にする第1の工程と、

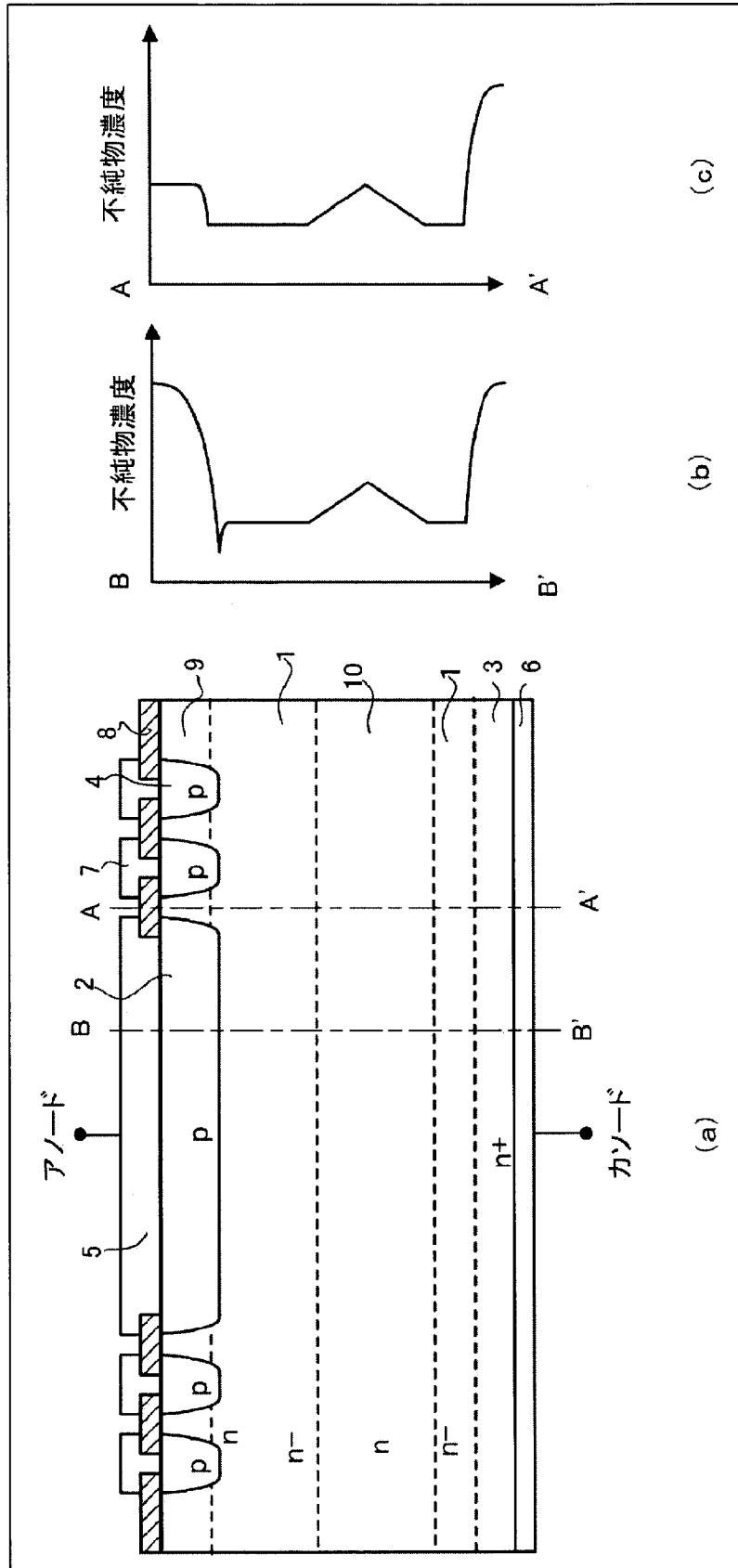
前記第1の工程の後に、前記半導体基板の前記第2導電型半導体領域を形成した表面側からドーズ量が $1 \times 10^{11} / \text{cm}^2$ 以上 $1 \times 10^{14} / \text{cm}^2$ 以下の範囲であって、且つ加速エネルギーが 1.0 MeV 以上 20.0 MeV 以下の範囲であるプロトン照射を行い、飛程の深さに不純物濃度の極大部を有する前記第1導電型ブロードバッファ領域と、前記第1導電型表面高濃度領域とを形成する第2の工程と、

を含むことを特徴とする請求項3に記載の半導体装置の製造方法。

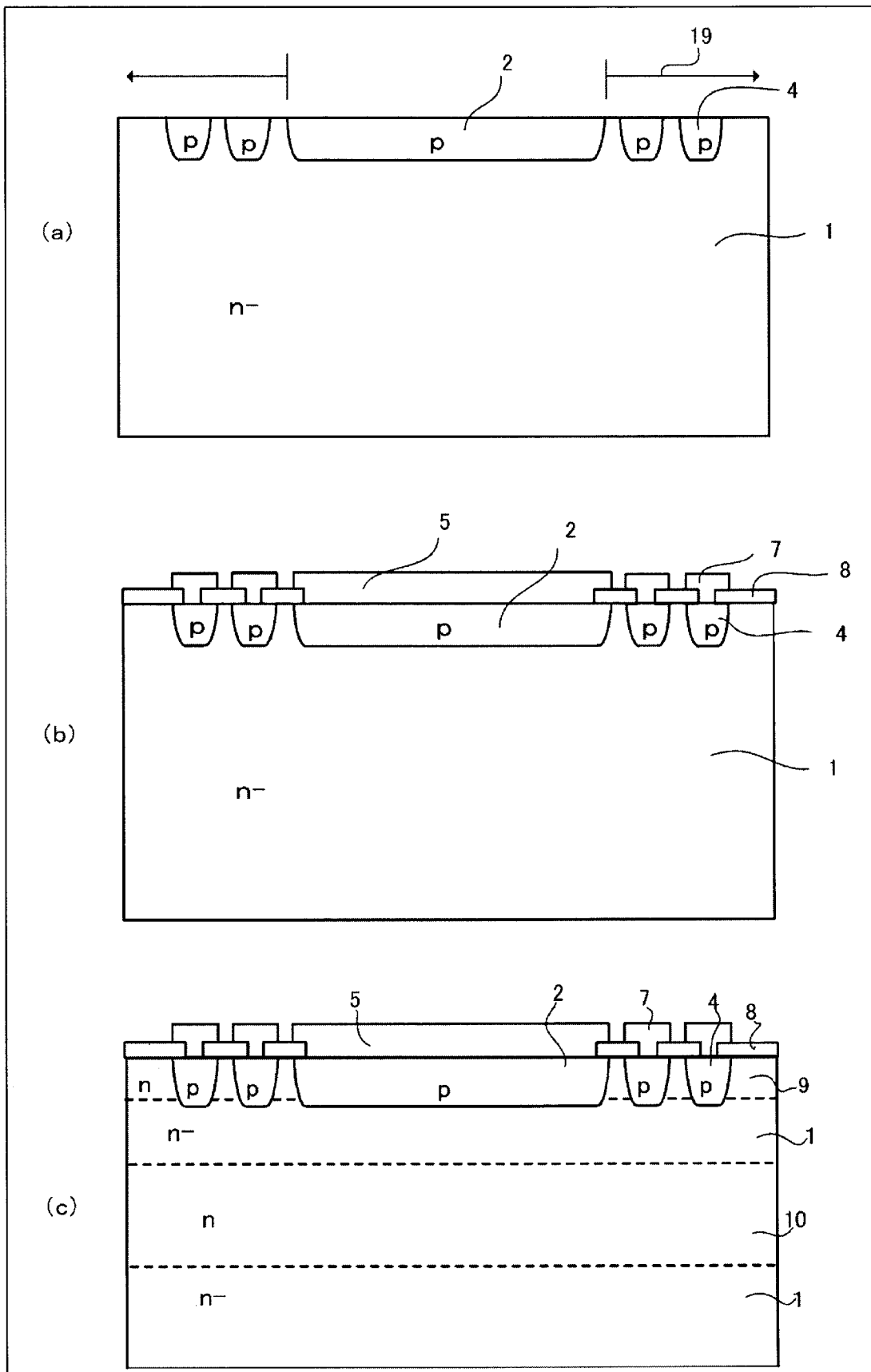
[請求項8] 前記第2導電型半導体領域の前記第2導電型半導体領域側の表面から前記第1導電型ブロードバッファ領域の不純物濃度の極大部までの区間の領域のうち、前記半導体基板の酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以

上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲となる領域が当該区間の半分以上の厚さであり、且つ前記第1導電型ブロードバッファ領域の不純物濃度の極大部の一つにおける含有酸素濃度が $1 \times 10^{16} / \text{cm}^3$ 以上 $1 \times 10^{18} / \text{cm}^3$ 以下の範囲となるように前記第2の工程を行うことを特徴とする請求項7に記載の半導体装置の製造方法。

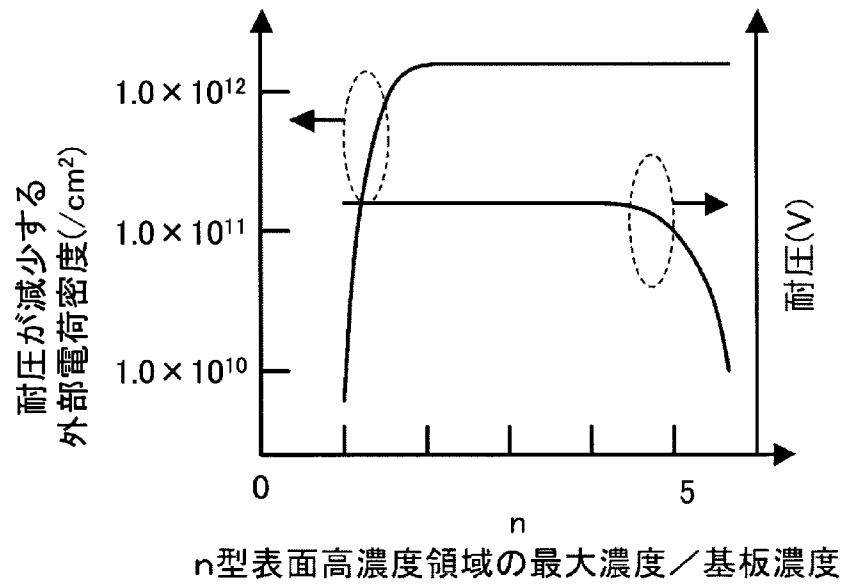
[図1]



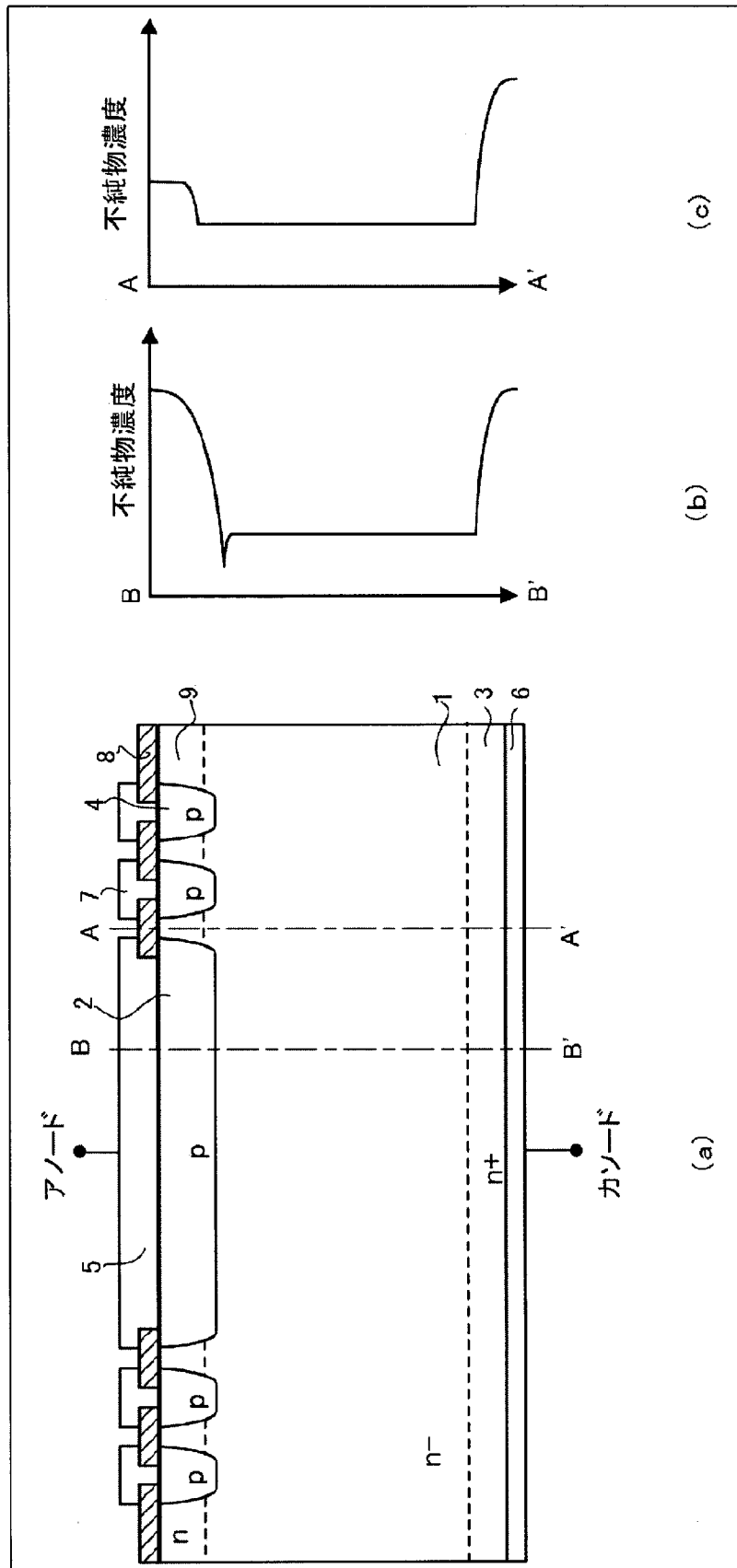
[図2]



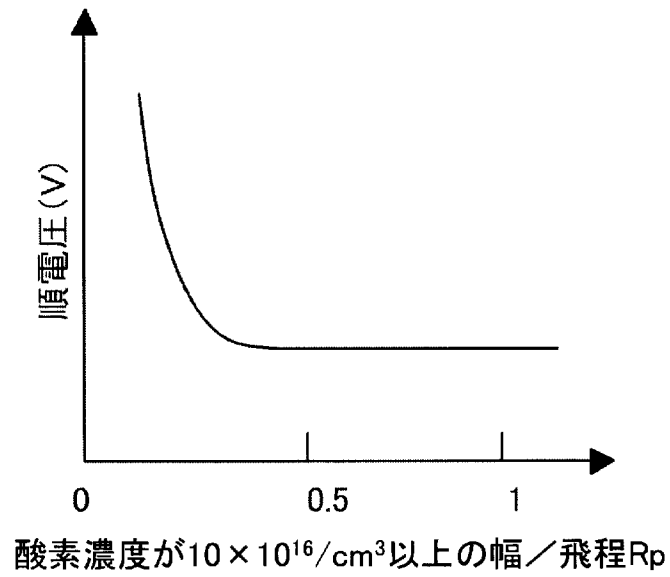
[図3]



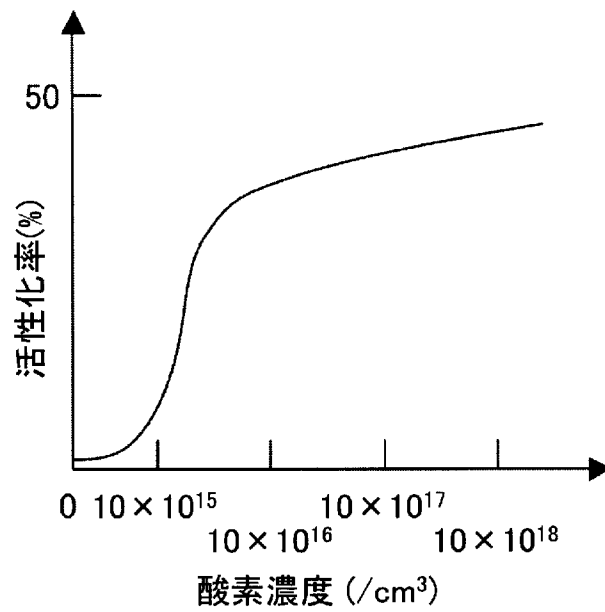
[図4]



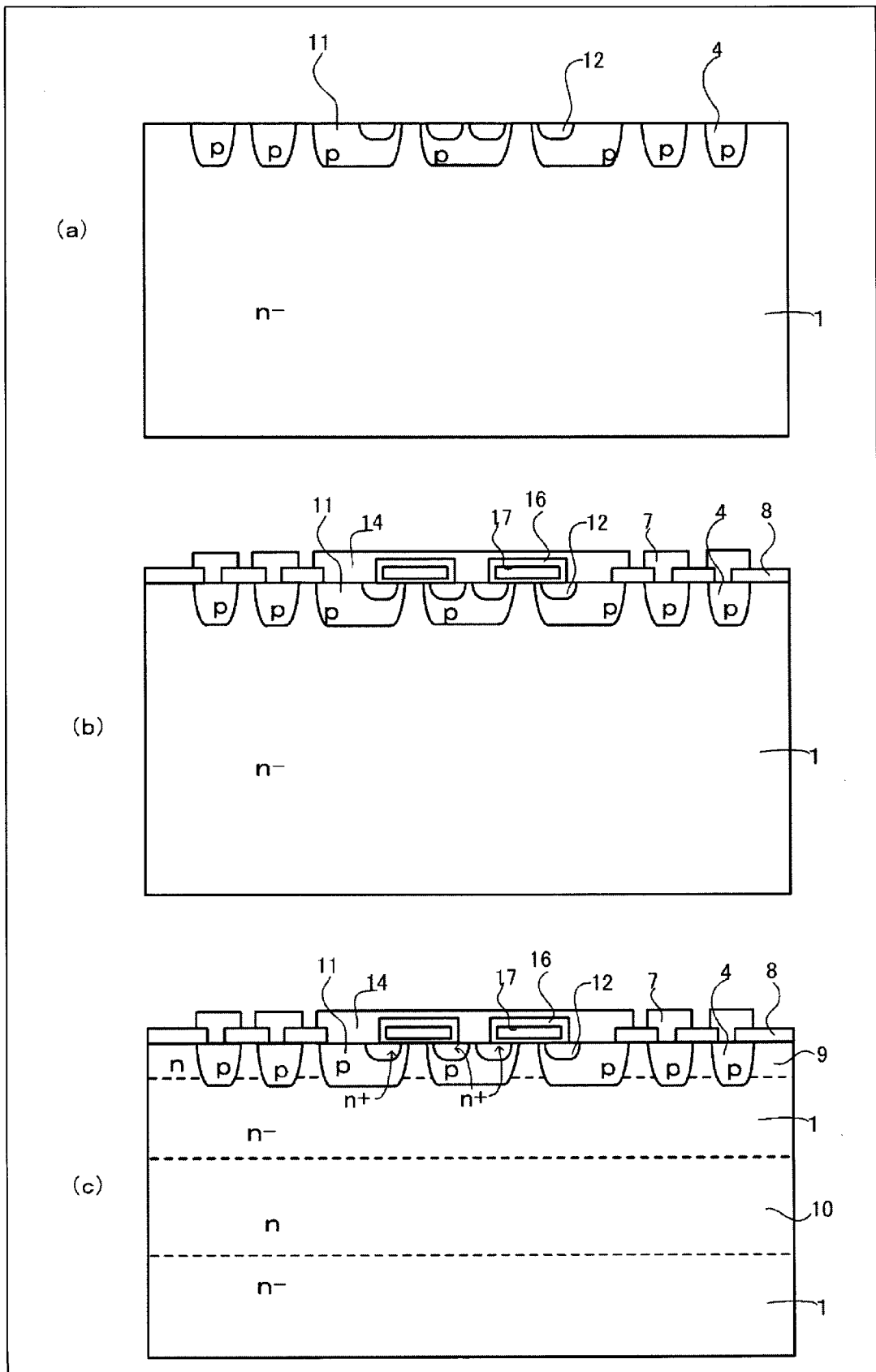
[図5]



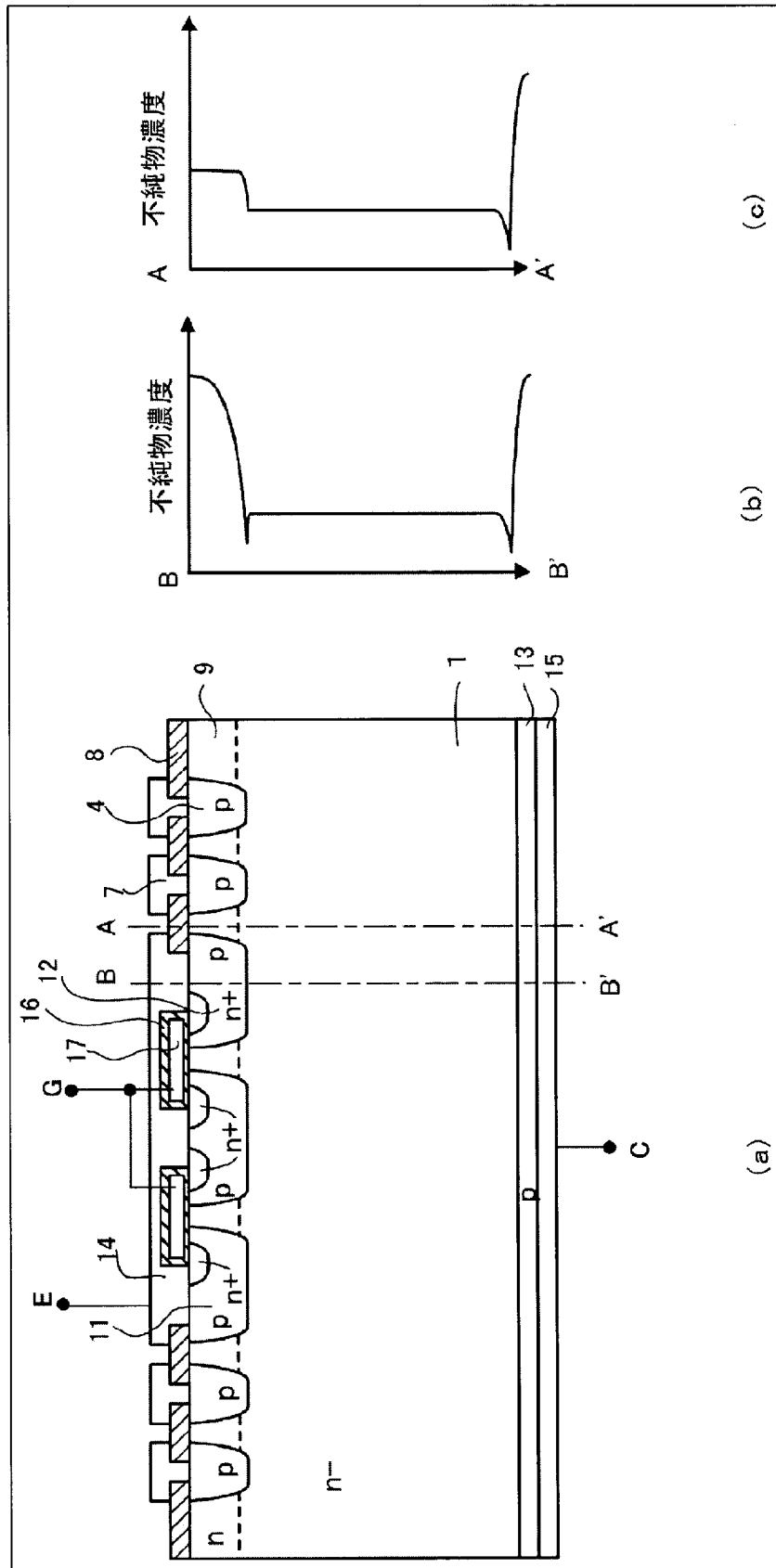
[図6]



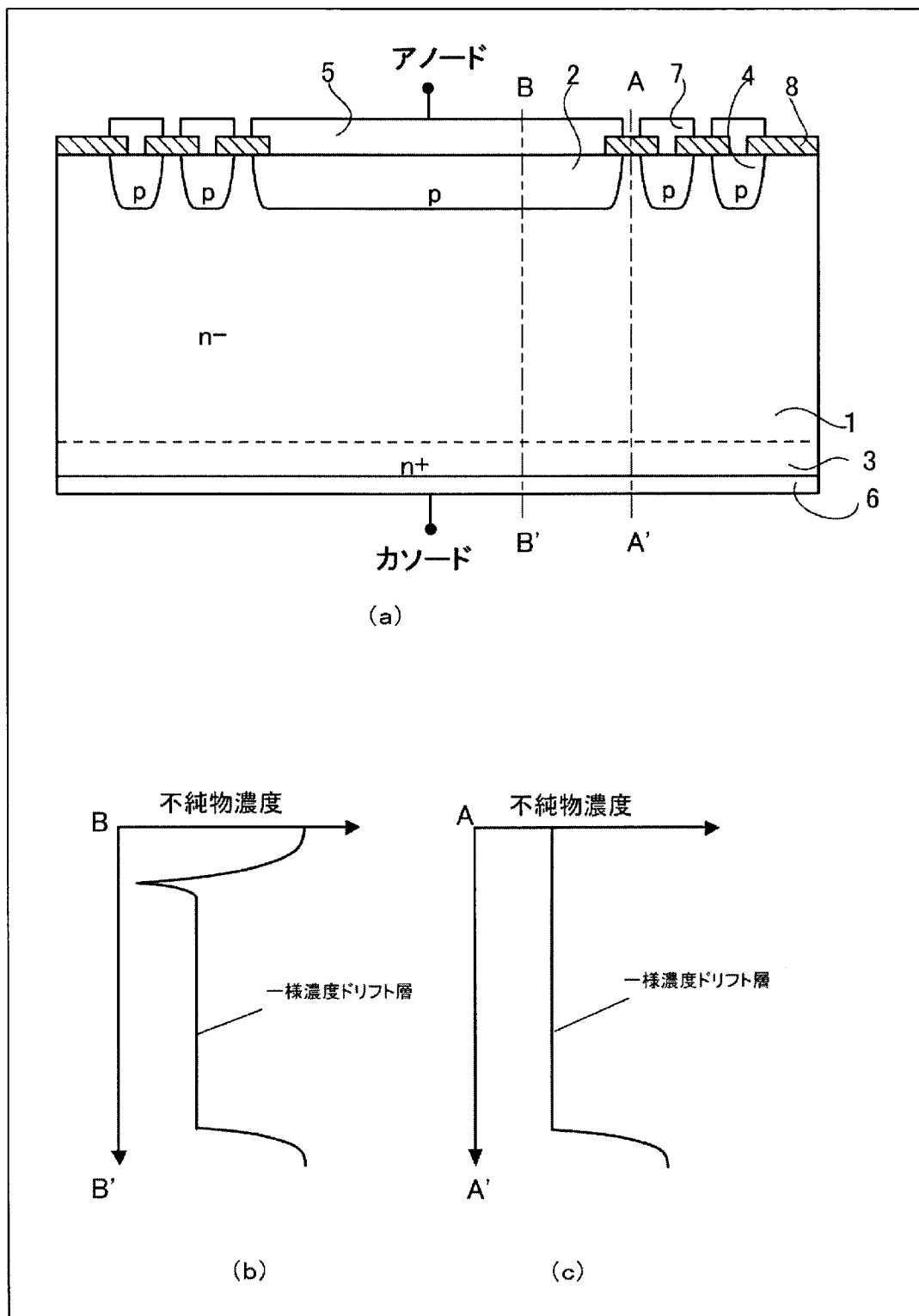
[図8]



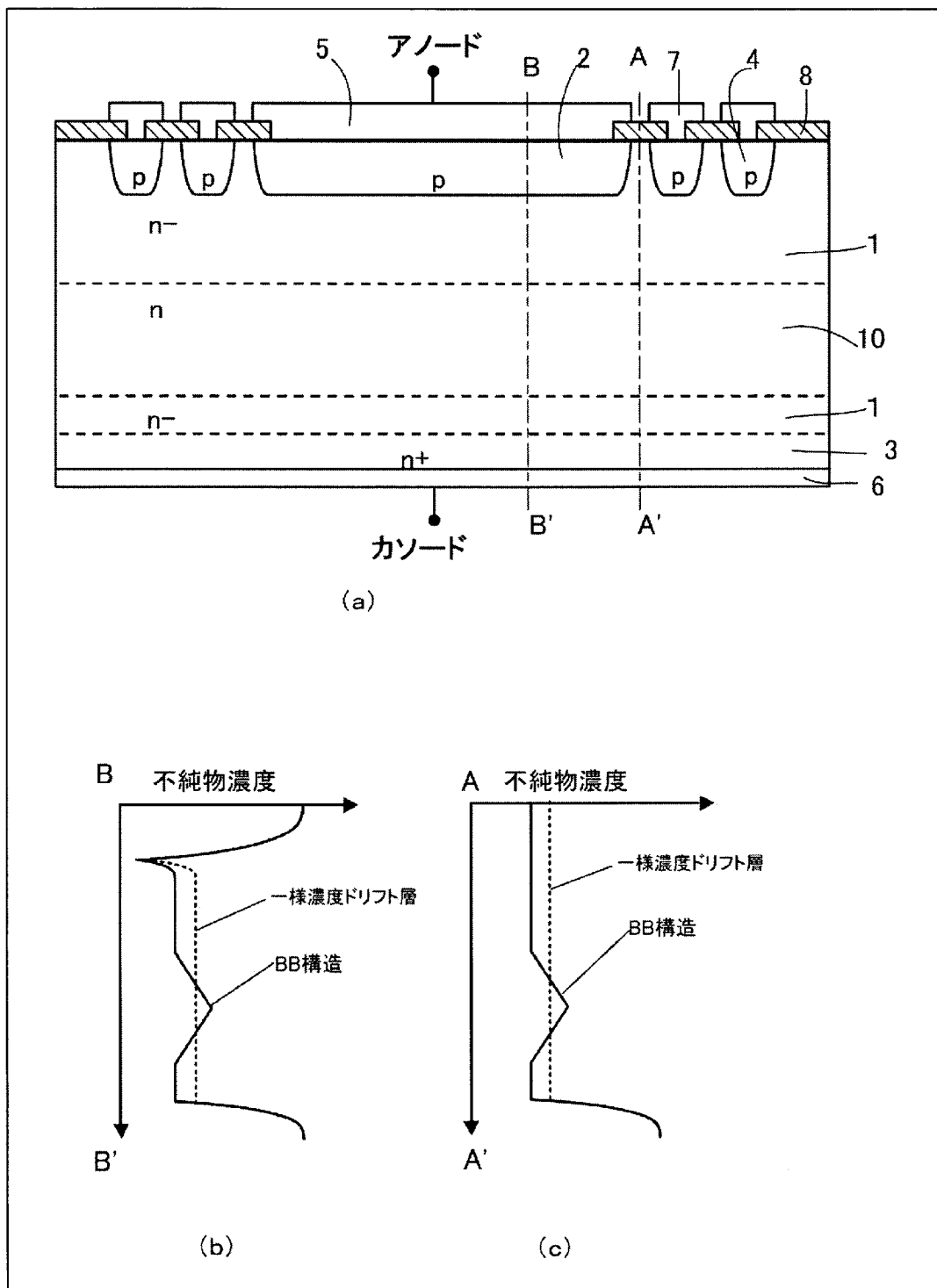
[図9]



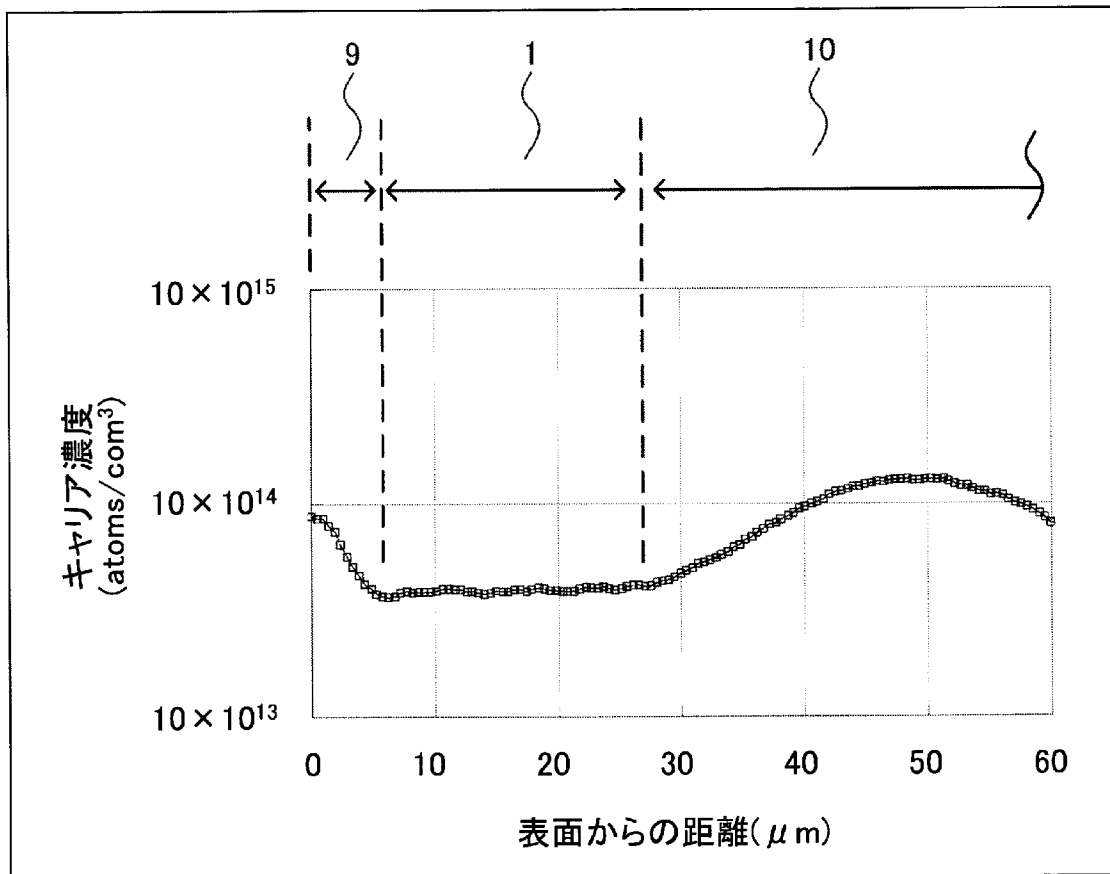
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079042

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/861(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i,
H01L29/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/861, H01L21/329, H01L21/336, H01L29/06, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-118440 A (Fuji Electric Systems Co., Ltd.), 27 May 2010 (27.05.2010), fig. 1; paragraphs [0027] to [0029] (Family: none)	1, 4, 5 2, 3, 6-8
X Y	JP 2007-266520 A (Hitachi, Ltd.), 11 October 2007 (11.10.2007), fig. 8 (Family: none)	1, 4, 5 2, 3, 6-8
Y	JP 04-364079 A (Fuji Electric Co., Ltd.), 16 December 1992 (16.12.1992), paragraph [0009] (Family: none)	2

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 February, 2012 (07.02.12)

Date of mailing of the international search report
14 February, 2012 (14.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079042

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-091853 A (Fuji Electric Device Technology Co., Ltd.), 17 April 2008 (17.04.2008), fig. 1 to 25 (Family: none)	3, 6-8
Y	WO 2007/055352 A1 (Fuji Electric Device Technology Co., Ltd.), 18 May 2007 (18.05.2007), fig. 1 to 50 & US 2008/0315364 A1 & CN 101305470 A	3, 6-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/079042

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter set forth in claim 1 is not novel, since the matter is disclosed in the document 1 (JP 2010-118440 A (Fuji Electric Systems Co., Ltd.), 27 May 2010 (27.05.2010), fig. 1, paragraphs [0027]-[0029]) and the document 2 (JP 2007-266520 A (Hitachi, Ltd.), 11 October 2007 (11.10.2007), fig. 8).

Consequently, claims 1-8 do not have a common matter which is a special technical feature within the meaning of PCT Rule 13.2, second sentence, and therefore do not comply with the requirement of unity of invention.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/861(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/861, H01L21/329, H01L21/336, H01L29/06, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国实用新案公報	1922-1996年
日本国公開实用新案公報	1971-2012年
日本国实用新案登録公報	1996-2012年
日本国登録实用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-118440 A (富士電機システムズ株式会社) 2010.05.27, 図1, 段落【0027】-【0029】 (ファミリーなし)	1, 4, 5 2, 3, 6-8
X Y	JP 2007-266520 A (株式会社日立製作所) 2007.10.11, 図8 (ファミリーなし)	1, 4, 5 2, 3, 6-8
Y	JP 04-364079 A (富士電機株式会社) 1992.12.16, 段落【0009】 (ファミリーなし)	2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

07.02.2012

国際調査報告の発送日

14.02.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

村岡 一磨

4L

3448

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-091853 A (富士電機デバイステクノロジー株式会社) 2008.04.17, 図 1-25 (ファミリーなし)	3, 6-8
Y	WO 2007/055352 A1 (富士電機デバイステクノロジー株式会社) 2007.05.18, 図 1-50 & US 2008/0315364 A1 & CN 101305470 A	3, 6-8

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に記載された事項は、文献1 (JP 2010-118440 A (富士電機システムズ株式会社) 2010.05.27, 図1, 段落【0027】-【0029】)、文献2 (JP 2007-266520 A (株式会社日立製作所) 2007.10.11, 図8)に記載されており、新規なものではない。

したがって、請求項1-8には、PCT規則13.2の第2文における意味において、特別な技術的特徴である共通事項は存在せず、よって、発明の単一性の要件を満たしていない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。