(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0025558
(43) 공개일자 2015년03월11일

(51) 국제특허분류(Int. Cl.)
G03H 1/04 (2006.01)
(21) 출원번호 10-2013-0103144
(22) 출원일자 2013년08월29일
심사청구일자 2013년10월04일

(71) 출원인
건양대학교산학협력단
충청남도 논산시 대학로 121 (내동)
(72) 발명자
손정영
충청남도 금산군 복수면 참물내기길 27
(74) 대리인
김대영

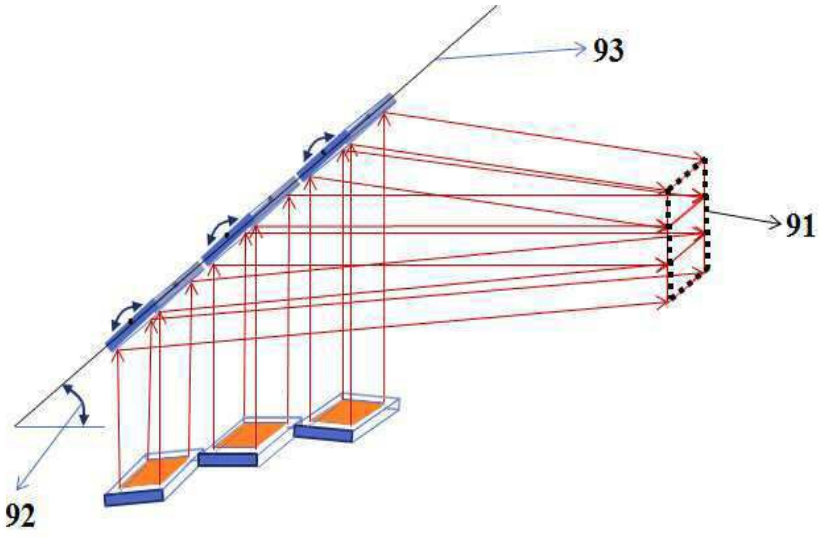
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **전자 홀로그램을 위한 디스플레이 칩의 배열방법**

(57) 요 약

본 발명에서는 레이저빔과 디스플레이 칩만을 사용하여 홀로그램을 전자적으로 표시하기 위해 수평으로 일정한 간격으로 배열된 n개 디스플레이 칩의 각 칩에서 재생상이 이들 칩의 상 공간을 형성하는 회절빔 중 하단에 위치하는 빔의 바로 위쪽에 칩 사이 간격만큼의 폭을 가지고 나타나도록 하고, 이 n개 디스플레이 칩 배열과 수직방향으로 일정간격 떨어진 위치에 이 배열과 동일한 배열을 가진 또 하나의 n개 디스플레이 칩 배열을 두고 이 칩 배열의 각 칩의 재생상이 이들 칩의 상 공간을 형성하는 회절빔 중 상당에 위치하는 빔의 바로 아래에 칩 사이 간격만큼의 폭을 가지고 나타나도록 하여, 두 배열의 각 칩에서 재생 상을 서로 상하 좌우 인접시켜 한 개의 큰 사이즈를 가진 홀로그램 재생상이 되게 한다.

대 표 도 - 도13



이 발명을 지원한 국가연구개발사업
과제고유번호 R2011050107
부처명 미래창조부/한국콘텐츠 진흥원
연구관리전문기관 건양대학교 산학협력단
연구사업명 2013년콘텐츠산업기술 지원사업
연구과제명 디지털 홀로그래픽(DH) 콘텐츠 기반 기술 개발
기 여 율 1/1
주관기관 한국전자통신연구원
연구기간 2013.04.01 ~ 2014.03.31

특허청구의 범위

청구항 1

전자 홀로그램을 위한 디스플레이 칩의 배열방법에 있어서,

화소가 상하 좌우의 일정 주기로 2차원 배열된 동일한 단위구조를 갖는 영상 투사칩을 수평면에 상하로 배열하는 영상 투사칩 수직 배치 단계;

상기 영상 투사칩에 설정된 각도로 레이저빔을 조사하여 회절빔 패턴을 형성시키는 레이저 조사 단계;

상측 영상 투사칩의 실상공간과 하측 영상 투사칩의 실상공간을 접촉시키는 실상공간 수직 다중화 단계; 로 이루어지는 것을 특징으로 하는 전자 홀로그램을 위한 디스플레이 칩의 배열방법.

청구항 2

제1항에 있어서,

상기 영상 투사칩은 홀로그램 재생상이 구현될 수 있는 공간인 실상공간이 상 공간 내의 상하좌우의 회절 빔에 각각 인접하도록 4개가 존재하도록 구성되고,

상측 및 하측의 실상공간의 수평 폭은 상기 영상 투사칩을 통해 형성된 회절 빔의 주기와 동일하고 수직 폭은 상기 회절 빔의 주기에서 상기 회절 빔의 수직 폭을 뺀 값의 1/2 이하가 되며,

좌측 및 우측의 실상공간의 수직 폭은 상기 회절 빔의 주기와 동일하고 수평 폭은 상기 회절 빔의 주기에서 상기 회절 빔의 수평 폭을 뺀 값의 1/2 이 되는 것을 특징으로 하는 전자 홀로그램을 위한 디스플레이 칩의 배열방법.

청구항 3

제1항에 있어서,

상기 영상 투사칩은 홀로그램 재생상이 구현될 수 있는 공간인 실상공간이 상 공간 내의 상하좌우의 회절 빔에 각각 인접하도록 4개가 존재하도록 구성되고,

상측 및 하측의 실상공간의 수평 폭은 상기 영상 투사칩을 통해 형성된 회절 빔의 수평폭과 동일하고 수직 폭은 상기 회절 빔의 주기에서 상기 회절 빔의 수직 폭을 뺀 값의 1/2 이하가 되며,

좌측 및 우측의 실상공간의 수직 폭은 상기 회절 빔의 주기와 동일하고 수평 폭은 상기 회절 빔의 주기에서 상기 회절 빔의 수평 폭을 뺀 값의 1/2 이 되는 것을 특징으로 하는 전자 홀로그램을 위한 디스플레이 칩의 배열방법.

청구항 4

제1항에 있어서,

상기 영상 투사칩 수직 배치 단계를 통해 상하로 배열된 형태와 동일하게 상하로 배열된 복수의 영상 투사칩들을 수평면에 좌우로 배열하는 영상 투사칩 수평 배치 단계;

상기 실상공간 수직 다중화 단계를 통해 상측 영상 투사칩의 실상공간과 하측 영상 투사칩의 접촉에 의해 생성된 실상공간들을 수평방향으로 연속적으로 접촉시키는 실상공간 수평 다중화 단계; 를 더 포함하는 것을 특징으로 하는 전자 홀로그램을 위한 디스플레이 칩의 배열방법.

청구항 5

제1항에 있어서,

상기 실상공간 수직 다중화 단계는 수직 주사장치에 의해 상하 방향으로 주사 가능하도록 구성된 반투과경을 사용하여 상기 영상 투사칩의 실상공간의 위치를 조절하여 이루어지는 것을 특징으로 하는 전자 홀로그램을 위한 디스플레이 칩의 배열방법.

명 세 서

기 술 분 야

[0001] 본 발명은 전자 홀로그램을 위한 디스플레이 칩의 배열방법에 관한 것으로, 자세하게는 레이저빔과 디스플레이 칩만을 사용하여 홀로그램을 전자적으로 표시하기 위해 수평으로 일정한 간격으로 배열된 n개 디스플레이 칩의 각 칩에서 재생상이 이들 칩의 상 공간을 형성하는 회절빔 중 하단에 위치하는 빔의 바로 위쪽에 칩 사이 간격만큼의 폭을 가지고 나타나도록 하고, 이 n개 디스플레이 칩 배열과 수직방향으로 일정간격 떨어진 위치에 이 배열과 동일한 배열을 가진 또 하나의 n개 디스플레이 칩 배열을 두고 이 칩 배열의 각 칩의 재생상이 이들 칩의 상 공간을 형성하는 회절빔 중 상당에 위치하는 빔의 바로 아래에 칩 사이 간격만큼의 폭을 가지고 나타나도록 하여, 두 배열의 각 칩에서 재생 상을 서로 상하 좌우 인접시켜 한 개의 큰 사이즈를 가진 홀로그램 재생상이 되게 하는 전자 홀로그램을 위한 디스플레이 칩의 배열방법에 관한 것이다.

배 경 기 술

[0002] 디스플레이 칩(Display Chip)을 이용하여 홀로그램을 전자적으로 표시하는 방식에서는 사용되는 칩의 사이즈(Size)와 해상도(Resolution) 제한에 따른 문제점의 해소를 위해 공간(Spatial)[K. Maeno, N. Fukaya, O. Nishikawa, K. Sato and T. Honda, "Electro-Holographic Display Using 15-Megapixel LCD," SPIE, V2652, 1996, pp15-23], 시간(Time)[Y, Takaki, Holographic 3D display using MEMS spatial light Modulation, Proc. SPIE, V8384, pp838402-1-6, 2012] 및 시공간(Spatiotemporal)[J. Y. Son, S. Shestak, S. K. Kim, V. Epikhan, "A Multichannel AOM for Real Time Electroholography", *Applied Optics*, 38(14), pp.3101-3104 (1999)] 다중화(Multiplexing) 방식을 사용하여 사용되는 칩의 실효적인 사이즈(Effective Size) 및 해상도를 증대시키는 방법을 사용한다.

[0003] 즉 다중화는 해상도와 사이즈가 작은 여러 개의 표시소자(Display Device)를 함께 묶어, 이들을 합친 해상도와 사이즈를 가진 한 개의 소자로 작용하도록 한다.

[0004] 하지만 이들 각각의 칩에 표시된 홀로그램의 재생을 위한 레이저 빔을 조사하면, 칩의 주기적인 화소(Pixel) 배열에 의해 각 칩들이 2차원 회절격자로 작용하여 서로 90° 를 이루는 두 방향으로 그리드 형태로 배열된 회절빔들이 일정 주기로 생성된다. 홀로그램 재생상은 상기 회절빔 각각에 수반되어 나타나므로 이들 중 하나를 마스크를 사용하여 표시용으로 선택하여 사용하면 된다.

[0005] 이때 상기 회절빔들의 존재에 의해 재생상이 생성될 수 있는 위치는 이들 회절빔 사이 공간으로 제한되며, 이 공간이 바로 상공간(Image Space)이다.

[0006] 이들 회절빔들의 상대적인 빔 강도는 회절 차수에 따라 달라지며, 0차 및 ±1차 빔을 제외하고는 그 강도가 매우 낮다. 즉 상기 회절빔에 수반된 재생상은 상기 회절빔의 강도에 회절효율(Diffraction Efficiency)을 곱한 값을 나타내므로 그 강도가 매우 낮아 0차 및 ±1차 빔에 수반한 것을 제외하고는 거의 보이지 않는다.

[0007] 따라서 실질적인 재생상이 나타나는 공간은 ±1차 빔과 0차 빔 사이의 공간 내에 제한된다.

[0008] 또한, DMD(Digital Micromirror Device)를 칩으로 사용하는 경우 LCoS와 LCD 등의 칩과는 달리 2차원 선형격자가 아닌 Blazed 격자 형상을 띄므로 재생상은 0차, ±1차 및 2차 빔을 경계로 하여 만들어지는 정사각형 공간에 나타나게 되며, 상기 정사각형 공간이 상공간(Image Space)이 된다.

[0009] 따라서 시간, 공간 및 시공간 다중화를 통해 동일 칩을 여러 개 동시에 2차원적으로 배열하여 사용하기 위해서는 각각의 칩에서 한 개의 재생상을 선택하고 상기 재생상의 방향조정을 위한 광학계를 사용하여 모든 칩으로부터의 재생상을 조합하여 하나의 완성된 재생상으로 만들어야 한다[Jung-Young Son, Beom-Ryeol Lee, OleksiiO. Chernyshov, Kyung-Ah Moon and Hyoung Lee, Holographic display based on a spatial DMD array, Optics

Letter, V38(16), pp3173-3176, 2013].

[0010] 하지만, 재생상의 선택과 방향조정을 위한 광학계의 사용은 다중화되는 칩의 수가 많을수록 정렬의 어려움이 가중되므로 바람직하지 못하며, 상기 광학계 사용에 따른 시스템 공간의 소요와 시스템 구현 비용의 증대 또한 해결해야할 문제로 지적되고 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 본 발명의 목적은 재생상의 선택과 방향조정을 위한 광학계를 사용하지 않고 단지 레이저빔과 칩 배열을 이용하여 좌우 및 상하 다중화를 시키고, 다중화된 배열을 한 단위배열로 하여, 각 단위배열 별로 광학계를 사용하여 더 큰 다중화를 시키는 전자 홀로그램을 위한 디스플레이 칩의 배열방법을 제공하는 것이다.

과제의 해결 수단

[0012] 상기와 같은 목적을 위해 본 발명은 디스플레이 칩을 사용하는 홀로그래픽 디스플레이에서 재생상의 확대를 위한 다중화 방법으로, 다음 사항을 만족하는 것을 특징으로 한다.

[0013] 실상공간을 이용한 다중화.

[0014] 다중화의 기본단위로 2 × n 칩 배열을 사용하는 것.

[0015] 2 × n 칩 배열의 실상공간은 레이저 빔만 사용해 형성된 것.

[0016] 각 칩 배열의 실상공간을 서로 수직방향으로 접속시키는 것.

[0017] 각 칩에 표시된 홀로그램의 재생상이 구현될 수 있는 최대 공간인 실상공간은 상공간 내의 상하 및 좌우에 각각 하나씩 4개가 존재하는 것.

[0018] 각 실상공간의 공간위치는 상 공간 내부에 있으며, 이 상 공간을 구성하는 회절빔의 상공간과 인접한 면에 인접해 있는 것.

[0019] 상하의 실상공간은 수평 폭은 각 칩과 관련한 회절빔의 주기와 동일하며, 수직 폭은 회절빔의 주기에서 회절빔의 수직 폭을 뺀 값의 1/2인 것.

[0020] 상하의 실상공간은 수평 폭은 각 칩과 관련한 회절빔의 주기와 동일하며, 수직 폭은 회절빔의 주기에서 회절빔의 수직 폭을 뺀 값의 1/2보다 적은 것.

[0021] 좌우의 실상공간은 수직 폭이 각 칩과 관련한 회절빔의 주기와 동일하며, 수평 폭은 주기에서 회절빔의 수평 폭을 뺀 값의 1/2인 것.

[0022] 실상공간의 수평 폭이 회절빔의 수평 폭과 일치하며, 수직 폭은 회절빔의 주기에서 회절빔의 수직 폭을 뺀 값의 1/2인 것.

[0023] 실상공간의 수평 폭이 회절빔의 수평 폭과 일치하며, 수직 폭은 회절빔의 주기에서 회절빔의 수직 폭을 뺀 값의 1/2보다 적은 것.

[0024] 수평방향으로 n개의 칩을 다중화하기 위해서, 도 6 및 도 7에서와 같이 단순히 각 칩의 실상공간을 서로 수평방향으로 접속시키는 것.

[0025] n = 2인 경우는 도 4 및 도 5에서와 같이 상 공간 내 좌우측 실상공간을 접속시키는 것.

[0026] 수직 방향으로 2개의 칩을 다중화하기 위해 도 8과 도 9에서와 같이 두 칩의 실상공간을 상하로 접속시키는 것.

[0027] 각 실상공간의 공간위치는 상 공간 내부에 있으며, 이 상 공간을 구성하는 회절빔의 상공간과 인접한 면에 인접해 있는 것.

[0028] 상하의 실상공간은 수평 폭은 각 칩과 관련한 회절빔의 주기와 동일하며, 수직 폭은 회절빔의 주기에서 회절빔의 수직 폭을 뺀 값의 1/2인 것.

[0029] 실상공간의 접속을 위해 칩 2의 상측 회절빔을 칩 1의 좌우 회절빔의 중심에 위치시키고, 그 높이도 같게 하는

것.

[0030] 실상공간의 접속을 위해 칩 2의 상측 회절빔을 칩 1의 좌우 회절빔의 중심에 위치시키나, 그 높이를 다소 아래에 두는 것.

[0031] 높이의 차이가 회절빔의 수직 폭보다 적은 것.

[0032] 2 × n 의 칩 배열을 만들기 위해 도 8과 도 9에서와 같이 수직 다중화된 2개 칩의 실상공간을 도 10과 도 11에서와 같이 서로 수평방향으로 접속시키는 것.

[0033] 2 × n 의 칩 배열에 의한 실상공간은 다른 광학계의 사용없이 레이저 빔의 조명에 의해서만 생성되는 것.

[0034] 2 × n 의 칩 배열에 의한 실상공간을 기본 단위로 하여 이 칩 배열 다수를 수직 다중화를 위해, 각 칩 배열의 실상공간의 공간 위치를 반투과경을 사용하여 조정하는 것.

[0035] 반투과경이 수직 주사장치에 의해 상하로 주사 가능한 것.

[0036] 각 칩 배열의 반투과경의 주사 중심이 다른 칩 배열의 반투과경 주사 중심과 서로 일직선상에 있는 것.

[0037] 각 칩 배열 반투과경의 주사는 타 반투과경의 주사와 서로 독립적으로 이루어지는 것.

[0038] 각 칩 배열의 중심 방향(Normal Direction)이 좌우로 회전 가능한 것.

발명의 효과

[0039] 본 발명을 통해 레이저 조명시, 2차원 회절격자로 동작하는 소형의 저 해상도 디스플레이 칩을 이용하여 먼저 아무런 광학계를 사용함이 없이 이들 칩의 2열에 의해 다중화된 재생상을 생성하고, 이 2열의 칩 배열을 광학계의 사용에 의해 다중화 함으로써 대형의 고해상도 전자 홀로그램을 만드는 방법을 제공하고 있다.

[0040] 이 방법에 의해 고 해상도의 대형 홀로그램을 표시할 수 있는 2-D/3-D 및 홀로그램을 동시에 표시 가능한 전자 홀로그래픽 디스플레이의 제작을 가능케 한다.

도면의 간단한 설명

[0041] 도 1 (a) 및 (b)는 각각 정사각형과 마름모 단위구조를 갖는 LCoS형 투사 영상칩 화소 배열을 나타낸 개념도,

도 2a 및 2b는 각각 정사각형과 마름모 단위구조를 갖는 DMD의 회절빔 패턴을 나타낸 개념도,

도 3 (a) 및 (b)는 각각 정사각형과 마름모 단위구조에서 회절빔과 관련된 상공간을 나타낸 개념도,

도 4 (a)는 LCoS형의 두 칩에서 실상공간을 서로 연결시키는 방법을 (b)는 서로 중첩시키는 방법을 각각 나타낸 개념도,

도 5 (a)는 마름모 단위구조를 갖는 두 칩간 실상공간을 서로 연결시키는 방법을 (b)는 서로 중첩시키는 방법을 각각 나타낸 개념도,

도 6은 정사각형 단위구조를 갖는 두 개 이상의 칩의 수평 다중화 방식을 나타낸 개념도,

도 7은 마름모 단위구조를 갖는 두 개 이상의 칩의 수평 다중화 방식을 나타낸 개념도,

도 8은 정사각형 단위구조에서 두 개 칩의 다중화 방식을 나타낸 개념도,

도 9는 마름모 단위구조에서 두 개 칩의 다중화 방식을 나타낸 개념도,

도 10a 내지 10d는 직사각형을 실상공간으로 하는 수직 다중화된 칩들을 한 단위로 구성한 수평 다중화 방식을 도시한 개념도,

도 11a 내지 11d는 직사각형을 실상공간으로 하는 수직 다중화된 칩들을 한 단위로 구성한 수평 다중화 방식을 도시한 개념도,

도 12는 2×n 개의 칩으로 이루어진 배열의 실상공간 위치를 반투경을 이용하여 변경시키는 방법을 나타낸 개념도,

도 13은 디스플레이 칩의 기하광학적 수직 다중화 방법을 나타낸 개념도 이다.

발명을 실시하기 위한 구체적인 내용

[0042] 이하, 첨부된 도면을 참조하여 본 발명 전자 홀로그램을 위한 디스플레이 칩의 배열방법을 자세히 설명한다.

[0043] 도 1 (a) 및 (b)는 각각 정사각형과 마름모 단위구조를 갖는 LCoS형 투사 영상칩 화소 배열을 나타낸 개념도로서, 일반적으로 투사 영상 칩은 도 1 (a) 및 (b)와 같은 2차원 구조의 화소 배열을 갖는다.

[0044] 도 1 (a)에서는 화소 배열은 LCoS와 같은 정 사각형 형태의 화소(1)가 상하 좌우로 일정 주기(2)를 가지고 2차원 배열된 정사각형 단위구조(3)를 갖는 것을, 도 2 (b)에서는 DMD와 같이 정사각 마름모 형태의 화소(4)가 일정 주기(5)로 주기적으로 배열된 마름모 단위구조(6)를 갖는 것을 나타내고 있다. 이때 마름모 단위구조(6)는 정사각형 단위구조(3)에서 각 화소를 45° 회전시킨 것과 같은 구조를 갖는다.

[0045] 도 2a 및 2b는 각각 정사각형과 마름모 단위구조를 갖는 DMD의 회절빔 패턴을 나타낸 개념도로서, DMD의 정사각형 단위 및 마름모 단위구조에 일정 각도로 레이저 빔을 조사하게 되면 도 2a 및 2b와 같은 회절빔 패턴이 나타나게 된다.

[0046] 도 2a에서 정사각형 단위구조(3)에서의 회절빔 패턴은 칩의 활성 표면(Active Surface)과 같은 형태를 가진 광 패턴이 좌우 및 상하의 0° 와 90° 방향으로 동일한 간격, 즉 주기(7)를 가진 2차원 배열을 이루고 있으며, 중앙의 0차 빔(8)을 중심으로 그 상하의 패턴을 1차 빔(9)와 -1차 빔(10) 그리고 좌우의 패턴을 1차 빔(11)과 -1차 빔(12)으로 정의한다.

[0047] 각 회절빔의 세기(Intensity)는 0차 빔(8)이 가장 밝고 그 다음이 ±1차 빔(9, 11, 10, 12) 순으로 나타난다. 또한, 각 회절빔의 수평 폭(36)과 수직 폭(64)은 칩 활성표면의 레이저 홀로그램 대응부와 동일하다.

[0048] 도 2b는 마름모 단위구조(6)를 갖는 DMD의 회절빔 패턴으로 칩의 활성 표면(Active Surface)과 같은 형태를 가진 광 패턴이 서로 ±45° 방향으로 동일한 간격, 즉 주기(13)를 갖는 2차원 배열을 이루고 있다. 이 배열은 도 2a에서의 배열과 달리, 0차 빔(14), 1차 빔(15), -1차 빔(16) 그리고 2차 빔(17)이 거의 유사한 강도를 나타낸다. 마찬가지로, 각 회절빔의 수평 폭(65)과 수직 폭(66)은 칩 활성표면의 레이저 홀로그램 대응부와 동일하다.

[0049] 즉 도 2a와 2b를 보면 각 칩에서의 회절빔들은 동일한 사이즈와 형태를 갖고 있고, 이들 사이즈와 형태는 각 칩의 활성표면의 사이즈 및 형태와 동일하다. 또한, 칩의 활성표면에 홀로그램이 표시되면, 이 홀로그램에 의한 재생상은 이들 배열 내의 광 패턴 각각에 동반하여 나타나며, 이때 상기 재생상의 자신이 수반되는 회절빔과의 상대적인 위치는 동일하다.

[0050] 하지만 상기 재생상의 세기는 평균적으로 자신을 수반하는 광 패턴의 세기에 회절 효율(Diffraction Efficiency)을 곱한 갑으로 주어진다고 할 수 있어, 재생상은 광 패턴의 세기에 비해 낮은 값을 갖는다.

[0051] 따라서 이들 패턴에서 LCoS의 경우는 0차 빔 (8)과 ±1차 빔(9, 11, 10, 12)를 경계로 하여 형성되는 직사각 또는 정사각으로 나타나는 사각형(18) 내의 공간에 이들 각기 빔에 수반하여 재생상이 생성될 때 이들 재생상이 다른 재생상에 비해 훨씬 밝게 나타나며, DMD의 경우는 0차(14), ±1차 빔(15,16) 그리고 2차 빔(17)이 생성하는 직사각 또는 정사각으로 나타나는 사각형(19) 내의 공간에 이들 빔에 수반하여 재생상이 나타날 때, 다른 재생상에 비해 훨씬 밝게 나타난다.

[0052] 그러므로 정사각형 단위구조(3)와 마름모 단위구조(6)에서 각각 상술한 사각형(18, 19) 내의 공간을 이들 칩들에 대응하는 상공간(Image Space)이라 칭한다.

[0053] 즉 상기 상공간은 재생상이 회절빔과 중첩되지 않고 나타나는 공간을 정의하며, 상공간의 크기는 대응하는 칩의 화소배열에 의한 회절빔 사이의 간격에 의해 정의된다. 이들 빔 사이의 간격은 조명하는 레이저 빔의 파장(λ), 화소 사이 간격 그리고 활성표면에서 재생상이 나타나는 거리(d)에 의해 정해진다. 만약 앞서 도 1 (a) 및 (b)를 통해 설명한 일정간격(2)와 일정간격(5)를 각각 α_1 및 α_2라 하고 주기(7)과 주기(13)을 각각 b_1 및 b_2 라 가정하면,

수학식 1

[0054] $$b_1((\lambda / a_1)sd$$

[0055] 및

수학식 2

[0056] $$b_2((\lambda / a_2)\mathrm{Sd}/\sin 45\mathrm{W}$$

[0057] 의 방정식으로 표현될 수 있다. 그러나 일반적으로 재생상이 물체의 형태를 완전히 복원할 수 있는 최대 사이즈는 홀로그램 제작에 사용된 기준파(Reference Wave)와 물체파(Object Wave) 사이의 최대 교차각(Crossing Angle)으로 정해진다.

[0058] 최대 교차각은 각기 $\lambda/2\alpha_1$과 $\lambda/2\alpha_2$로 주어지므로 결국 각 회절빔과 관련한 재생상이 구형되는 공간은 각기 [수학식 1] 및 [수학식 2]에 의해 정의되는 간격의 1/2에 해당되는 간격이 된다.

[0059] 도 3 (a) 및 (b)는 각각 정사각형과 마름모 단위구조에서 회절빔과 관련된 상공간을 나타낸 개념도로서, 각 회절빔과 관련된 상공간은 도 3은 (a) 및 (b)와 같이 정의할 수 있다.

[0060] 도 3 (a)는 앞서 설명한 정사각형 단위구조(3)의 경우로 각 회절빔과 관련한 상공간은 상공간(18)을 0차 빔(8)을 중심으로 주기(7)를 상하 좌우로 2등분 하는 직사각형(20)의 공간이 0차 빔(8)이 수반하는 재생상이 구현되는 실상공간(21)이며, ±1차 빔(9, 11, 10, 12)의 경우는 각기 직사각형(20)의 각 변을 한 변으로 하고, 상기 상공간(18)에 해당하는 사각형의 대응하는 변 사이의 거리를 다른 변으로 하는 직사각형(22, 23, 24, 25) 내측 공간이 이들 각 빔에 수반되는 재생상이 실제 구현되는 실상공간이 된다.

[0061] 즉 상측의 1차 빔(9)은 상측 직사각형(22), 하측의 -1차 빔(10)은 하측 직사각형(23), 좌측의 1차 빔(11)은 좌측 직사각형(24) 그리고 우측의 -1차 빔(12)은 우측 직사각형(25)이 대응하는 실상공간이 된다.

[0062] 이때 상측의 직사각형(22)와 하측의 직사각형(23)은 동일한 형태와 크기의 직사각형으로 그 수평 폭(31)은 주기(7)와 동일하며, 수직 폭(60)은 주기(7)에서 회절빔의 수직 폭(64)을 뺀 값의 1/2이 된다.

[0063] 또한, 좌측의 직사각형(24)과 우측의 직사각형(25)은 동일한 형태와 크기의 직사각형으로 그 수직 폭(61)은 두 회절빔 사이의 수평거리(7)와 동일하며, 수평 폭(32)은 두 회절빔 사이의 수평거리(7)에서 회절빔의 수평 폭(36)을 뺀 값의 1/2이 된다.

[0064] 또한, 재생상은 상측 1차 빔(9)의 경우는 아래쪽에, 하측의 -1차 빔(10)은 그 위쪽에, 좌측의 1차 빔(11)은 그 우측에 그리고 우측의 -1차 빔(12)은 그 좌측에 생성된다.

[0065] 도 3 (b)는 마름모 단위구조(6)의 경우로 상공간(19)에 해당하는 사각형의 각 변에서부터 이웃하는 회절빔의 가장 가까운 변과의 수직거리를 2 등분하는 선을 각 변(Side)으로 하는 직사각형(26)의 각 변을 한 변으로 하고, 이 변과 상공간(19)에 해당하는 사각형의 대응하는 변 사이의 거리를 다른 변으로 하는 직사각형(27)이 0차 빔(14)의 실상공간, 그리고 1차 빔(15)은 상측 직사각형(28), -1차 빔(16)은 하측 직사각형(29) 그리고 2차 빔(17)은 우측 직사각형(30)의 내부가 실상공간이 된다.

[0066] 이때 상측의 직사각형(28)과 하측의 직사각형(29)는 동일한 형태와 크기의 직사각형으로 그 수평 폭(39)은 주기(13)와 동일하며, 수직 폭(62)은 주기(13)에서 회절빔의 수직 폭(66)을 뺀 값의 1/2이 된다.

[0067] 또한, 좌측의 직사각형(27)과 우측의 직사각형(30)은 동일한 형태와 크기의 직사각형으로 그 수직 폭(63)은 두 회절빔 사이의 수평거리(13)와 동일하며, 수평 폭(40)은 두 회절빔 사이의 수평거리(13)에서 회절빔의 수평 폭(65)을 뺀 값의 1/2이 된다.

[0068] 따라서 상측의 직사각형(28)과 하측의 직사각형(29)의 수평 폭(39)은 좌측의 직사각형(27)과 우측의 직사각형(30)의 수직 폭(63)과 동일하다,

[0069] 또한, 재생상이 나타나는 위치는 0차 빔(14)의 경우는 그 우측에, 1차 빔(15)는 그 아래쪽에, -1차 빔(16)은 그 위쪽에 그리고 2차 빔(17)은 그 좌측에 위치해야 하므로 2개의 칩을 수평으로 배열하여 다중화시키는 경우는 각기 칩의 실상공간이 수평방향으로 서로 중첩 또는 연결되도록 하면 된다.

[0070] 도 4 (a)는 LCoS형의 두 칩에서 실상공간을 서로 연결시키는 방법을 (b)는 서로 중첩시키는 방법을 각각 나타낸

개념도 이다.

[0071] 도 4(a)에서 칩 1(33)과 칩 2(34)의 상공간을 정의하는 회절빔(8, 9, 10, 11, 12)들의 각각 대응하는 빔들끼리 서로 동일 수평선상에 오도록 배열하며 또한 칩 1(33)과 칩 2(34)의 간격은 상측 직사각형(22)과 하측 직사각형(23)의 수평 폭(31)과 동일하도록 함에 의해 두 칩의 실상공간이 서로 접속되어 연속되게 할 수 있다.

[0072] 이 경우 다중화된 실상공간은 칩 1(33)과 칩 2(34)의 상측 직사각형(22)이 접속해서 생성된 공간과, 하측 직사각형(23)끼리 접속해서 생긴 공간의 2개가 있을 수 있다.

[0073] 또한, 칩 1(33)의 우측 직사각형(25)과 칩 2(34)의 좌측 직사각형(24)의 접속에 의한 또 하나의 상공간이 형성되므로 도 4 (a)의 경우에는 3개의 상공간이 형성되며, 이 중에서 어느 하나를 선택하여 사용가능하다.

[0074] 이때 재생상의 수평 사이즈는 상측 직사각형(22)과 하측 직사각형(23)의 경우는 반드시 수평 폭(31)과 동일하게 해야 하며, 좌측 직사각형(24)과 우측 직사각형(25)의 경우는 수평 폭(32)과 동일해야 한다.

[0075] 그러나 두 개 이상의 칩을 다중화하는 경우는 좌측 직사각형(24) 및 우측 직사각형(25)에 의한 실상공간이 주어지지 않고, 상측 직사각형(22)과 하측 직사각형(23)의 경우만 연속적으로 주어진다. 이 경우 첫 번째와 마지막 칩의 재생상의 수평 사이즈는 상, 하측 상공간의 1/2에 해당하는 수평 폭(31)보다 작을 수도 있다.

[0076] 도 4 (b)의 경우는 칩 1(33)의 0차 회절빔(8)과 칩 2(34)의 1차 빔(11)이 중첩되며, 칩 2(34)의 0차 빔(8)과 칩 1(33)의 -1차 빔(12)이 중첩된다. 도 4 (b)는 도 4 (a)의 경우와 동일하나, 단지 칩 1(33)과 칩 2(34) 사이의 간격을 각 회절빔의 수평 폭과 동일하게 한 경우이다.

[0077] 즉 실상공간을 정의하는 상측 직사각형(22)과 하측 직사각형(23)은 그 수평 폭(31)이 실상공간 중첩에 의한 수평 폭(35)으로 축소된 정사각형(41, 42)으로 변형된다. 상기 중첩에 의한 수평 폭(35)은 각 회절빔의 수평 폭(36)과 동일하게 된다. 물론 각 칩의 재생상의 수평 사이즈는 중첩에 의한 수평 폭(35)과 동일해야 하므로 여러 개의 칩을 수평 방향으로 다중화시킬 경우 가능한 칩 사이의 간격은 회절빔의 수평폭(36)과 (31) 사이에 있다. 간격의 최대는 수평폭(31), 즉 회절빔 사이의 수평거리에 대응하며, 최소는 수평 폭(36), 즉 각 회절빔의 수평 폭에 대응한다.

[0078] 도 5 (a)는 마름모 단위구조를 갖는 두 칩간 실상공간을 서로 연결시키는 방법을 (b)는 서로 중첩시키는 방법을 각각 나타낸 개념도로서, 도 4의 경우와 차이가 없다.

[0079] 도 5 (a)에서 칩 1(37)과 칩 2(38)의 상공간(19)을 정의하는 회절빔(14, 15, 16, 17)들의 각각 대응하는 빔들끼리 서로 동일 선상에 오도록 배열하며 또한 칩 1(37)과 칩 2(38)의 간격(46)은 직사각형(28)과 (29)의 수평 폭(39)과 동일하도록 하여, 두 칩의 실상공간이 서로 접속되어 연속되게 된다. 이 경우 다중화된 실상공간은 칩 1(37)과 칩 2(38)의 직사각형(28)이 서로 접속해서 생성된 통합 공간과, 직사각형(29)끼리 접속해서 생긴 통합 공간의 2개가 있을 수 있다.

[0080] 여기에 더하여 칩 1(37)의 직사각형(30)과 칩 2(38)의 직사각형(27)의 접속에 의한 직사각형(30)과 직사각형(27)을 통합한 또 하나의 상공간이 형성된다. 따라서 도 5 (a)의 경우에는 3개의 상공간이 형성되며, 이 중에서 어느 하나를 골라 사용이 가능하다.

[0081] 이때 재생상의 수평 사이즈는 직사각형(28)과 (29)의 경우 반드시 수평 폭(39)와 동일하게 해야 하며, 직사각형(27)과 (30)의 경우는 수평 폭(32)와 동일해야 한다.

[0082] 그러나 두 개 이상의 칩을 다중화 하는 경우는 직사각형(28)과 (29)의 경우만 연속적인 실상공간이 주어지며, 직사각형(27)과 (30)에 의한 실상공간은 형성되지 않는다. 이 경우 직사각형(28)과 (29)의 경우는, 첫 번째와 마지막 칩의 재생상의 수평 사이즈는 수평 폭(39)보다 작을 수도 있다.

[0083] 도 5 (b)는 도 5 (a)의 경우와 동일하나, 단지 칩 1(37)과 칩 2(38) 사이의 간격을 각 회절빔의 수평 폭(47)과 동일하게 한 경우이다. 실상공간을 정의하는 직사각형(28)과 (29)는 그 수평 폭(39)이 수평 폭(45)으로 축소된 정사각형(43)과 (44)로 변형된다. 이 수평 폭(45)은 각 회절빔의 수평 폭(47)과 동일하게 된다. 물론 각 칩에서 재생상의 수평 사이즈는 수평 폭(45)와 동일해야 한다.

[0084] 그러므로 여러 개의 칩을 수평 방향으로 다중화 시킬 경우 가능한 칩 사이의 간격은 수평 폭(39)과 (45) 사이에 있다. 그러므로 정사각형 단위구조(3) 경우와 같이 간격의 최대는 수평 폭(39), 즉 회절빔 사이의 수평거리에 대응하며, 최소는 수평 폭(45), 즉 각 회절빔의 수평 폭에 대응한다.

[0085] 도 6은 정사각형 단위구조를 갖는 두 개 이상의 칩의 수평 다중화 방식을 나타낸 개념도, 도 7은 마름모 단위구조를 갖는 두 개 이상의 칩의 수평 다중화 방식을 나타낸 개념도로서, 두 개 이상의 칩을 수평으로 다중화하는 경우를 보여주고 있다.

[0086] 도 6은 정사각형 단위구조(3)를 가진 칩의 경우이며, 도 7은 DMD와 같은 마름모형 단위구조(6)를 가진 칩의 경우로, 도 4 및 5에서와 같은 방법으로 칩을 실상공간이 서로 접속되도록 하여 수평으로 배열하게 된다.

[0087] 이렇게 하면, 실상공간의 수평방향 폭이 도 6 및 7에서 보는 것과 같이 연결한 칩의 수만큼 배치된다. 연결 가능한 칩 수는 전체 사이즈의 물리적인 제한 외에는 제한이 없다.

[0088] 도 6에서 직사각형(22), (23), (41)과 (42)가 각각 4배의 폭을 가진 직사각형(48), (49), (50) 그리고 (51)로 다 중화된다.

[0089] 도 7에서는 직사각형(28), (29), (43)과 (44)가 각각 4배의 폭을 가진 직사각형(52), (53), (54) 그리고 (55)로 다중화된다.

[0090] 수직 방향으로 다중화는 회절빔 사이의 수직거리에서 회절빔의 수직 폭을 뺀 거리보다 적거나 같게 함에 의해 다중화가 가능하다.

[0091] 도 8은 정사각형 단위구조에서 두 개 칩의 다중화 방식을 나타낸 개념도, 도 9는 마름모 단위구조에서 두 개 칩의 다중화 방식을 나타낸 개념도로서, 도 8 및 도 9는 본 발명의 정사각형 단위구조(3)와 마름모형 단위구조(6)의 각각에서 각기 두 개의 칩을 수직으로, 회절빔 사이의 수직거리에서 회절빔의 수직 폭을 뺀 거리만큼의 간격(a)와 이 보다 적은 간격(b)로 배열한 것이다.

[0092] 구체적으로 도 8(a)는 칩 1(33)과 칩 2(34)의 수직간격을 주기(7)와 동일하게 하여, 칩 1(33)의 0차 빔(8)이 칩 2(34)의 1차 빔(9)와 중복되고, 칩 1(33)의 -1차 빔(10)이 칩 2(34)의 0차 빔(8)과 중첩이 되어 있다.

[0093] 이 경우 다중화된 실상공간은 칩 1(33)의 직사각형(23)과 칩 2(34)의 직사각형(22)이 수직으로 접속되어 이들 직사각형의 수직 폭(60)의 2배가 되는 수직 폭을 가진 직사각형(56)으로 주어진다.

[0094] 도 8 (b)는 칩 1(33)과 칩 2(34)의 수직간격을 주기(7)보다 길게 한 것으로 칩 1(33)의 0차 빔(8)이 칩 2(34)의 1차 빔(9)와 수직 방향으로 일부 중복되고, 칩 1(33)의 -1차 빔(10)이 칩 2(34)의 0차 빔(8)과 일부 중첩이 되어 있다.

[0095] 따라서 각 칩의 실상공간은 칩 1(33)의 직사각형(23)과 칩 2(34)의 직사각형(22) 보다 수직 폭이 좁은 직사각형(57)과 직사각형(58)으로 정의되며, 이 두 직사각형이 접속된 직사각형(59)이 다중화에 의한 실상공간이 된다. 이 경우 직사각형(57)과 직사각형(58)의 수직 폭은 어느 한 직사각형의 수직 폭이 직사각형(22) 또는 (23)의 수직폭(31)보다 적을 경우에는 동일할 필요가 없다.

[0096] 도 9 (a)는 칩 1(37)과 칩 2(38)의 수직간격을 주기(13)과 동일하게 하여, 칩 2(38)의 1차 빔(15)가 칩 1(37)의 0차 빔(14)와 2차 빔(17)과 동일선상에 그리고 칩 1(37)의 -1차 빔(16)이 칩 2(38)의 0차 빔(14)와 2차 빔(17)과 동일선상에 있도록 했다. 이 경우 다중화된 실상공간은 칩 1(37)의 직사각형(29)과 칩 2(38)의 직사각형(28)이 수직으로 접속되어 이들 직사각형의 수직 폭(62)의 2배가 되는 수직 폭을 가진 직사각형(69)으로 주어진다.

[0097] 또한, 도 9 (b)는 칩 1(37)과 칩 2(38)의 수직간격을 주기(13)보다 길게 한 것이다. 칩 1(37)의 -1차 빔(16)이 칩 2(38)의 0차 빔(14)와 2차 빔(17)보다 수직 방향으로 다소 위에 위치하고, 칩 2(38)의 1차 빔(15)가 칩 2(38)의 0차 빔(14) 및 2차 빔(17)보다 다소 아래에 위치한다.

[0098] 따라서 각 칩의 실상공간은 칩 1(37)의 직사각형(29)와 칩 2(38)의 직사각형(28) 보다 수직 폭이 좁은 직사각형(67)과 직사각형(68)로 정의되며, 이 두 직사각형이 서로 접속하여 만들어진 직사각형(70)이 다중화에 의한 실상공간이 된다.

[0099] 직사각형(67)과 직사각형(68)의 수직 폭의 합은 직사각형(70)의 수직 폭과 동일하지만, 직사각형(67)과 직사각형(68)의 수직 폭은 서로 같을 필요가 없다. 그러나 이 경우는 반드시 직사각형(67)과 직사각형(68) 중 어느 하나도 그 수직 폭이 직사각형(28) 또는 (29)의 수직 폭(62)보다 적어야 한다.

[0100] 도 10a 내지 10d는 직사각형을 실상공간으로 하는 수직 다중화된 칩들을 한 단위로 구성한 수평 다중화 방식을 도시한 개념도, 도 11a 내지 11d는 직사각형을 실상공간으로 하는 수직 다중화된 칩들을 한 단위로 구성한 수평

다중화 방식을 도시한 개념도로서, 도 8 및 도 9의 방법으로 수직 다중화된 칩들을 다시 수평으로 다중화시키는 방법에 관한 것이다.

[0101] 도 8 및 도 9에서 수직 다중화된 칩들을 단위로 하여, 3세트의 수직 다중화된 칩들을 도 6 및 도 7의 수평 다중화 방법을 사용하여 수평으로 다중화하는 방법을 보여주고 있다. 수평 다중화 가능 수직 다중화 칩 세트의 수에는 물리적인 사이즈 제한 외에는 제한이 없다.

[0102] 도 10a 내지 10d는 도 8의 것을 수평 다중화시키는 방법으로, 도 10 (a)에서 보이는 것과 같이 직사각형(56)을 실상공간으로 하는 수직 다중화된 칩들을 한 단위(One Unit)로 하여 수평으로 이들을 직사각형(56)이 서로 변을 접속하도록 연결하게 되면 이들 다중화된 칩들의 실상공간은 직사각형(71)된다.

[0103] 또한, 도 10(b)에는 직사각형(59)를 실상공간으로 하는 수직 다중화된 칩들을 한 단위(One Unit)로 하여, 수평으로 이 수직 다중화된 칩들을 직사각형(59)이 서로 변을 접속하도록 연결하여, 이들 다중화된 칩들의 실상공간이 직사각형(72)으로 주어지도록 한 것을 도시했다.

[0104] 또한, 도 10 (c)는 도 10 (a)에서 직사각형(56)의 수평 폭(31)을 회절빔의 수평 폭(36)과 같게 한 직사각형(73)으로 만든 후, 이 수직 다중화된 칩들을 한 단위(One Unit)로 하여 3개를 수평 방향으로 다중화시키는 것을 보여주고 있다. 이 다중화에 의해 실상공간은 직사각형(74)로 확대된다.

[0105] 도 10 (d)는 도 10(b)에서 직사각형(59)의 수평 폭(39)을 회절빔의 수평 폭(65)과 같게 한 직사각형(75)으로 만든 후, 이 수직 다중화된 칩들을 한 단위(One Unit)로 하여 3개를 수평 방향으로 다중화시키는 것을 보여주고 있다. 이 다중화에 의해 실상공간은 직사각형(76)으로 확대된다.

[0106] 도 11a 내지 11d는 도 9의 수직 다중화 칩들을 수평 다중화시키는 방법을 도시한 것으로, 도 10과 차이가 없다.

[0107] 구체적으로, 도 11 (a)은 직사각형(69)을 실상공간으로 하는 수직 다중화된 칩들을 한 단위(One Unit)로 하여 수평으로 이들을 직사각형(69)이 서로 변을 접속하도록 연결하여, 직사각형(77)을 실상공간으로 가지도록 다중화시킨 것이다.

[0108] 도 11 (b)에는 직사각형(70)를 실상공간으로 하는 수직 다중화된 칩들을 한 단위(One Unit)로 하여, 수평으로 이 수직 다중화된 칩들을 직사각형(70)이 서로 변을 접속하도록 연결하여, 이들 다중화된 칩들의 실상공간이 직사각형(78)로 주어지도록 한 것을 도시했다.

[0109] 도 11 (c)는 도 11(a)에서 직사각형(69)의 수평 폭(39)를 회절빔의 수평 폭(65)와 같게 한 직사각형(79)으로 만든 후, 이 수직 다중화된 칩들을 한 단위(One Unit)로 하여 3개를 수평 방향으로 다중화시켜 직사각형(80)을 실상공간이 되도록 다중화 시킨 것을 도시했다. 도 11(d)는 도 11(b)에서 직사각형(70)의 수평 폭(39)을 회절빔의 수평 폭(65)과 같게 한 직사각형(81)으로 만든 후, 이 수직 다중화된 칩들을 한 단위(One Unit)로 하여 3개를 수평 방향으로 다중화시키는 것을 보여주고 있다. 이 다중화에 의해 실상공간은 직사각형(82)으로 확대된다. 도 10과 11의 다중화 방식은 수평방향으로는 거의 무제한의 다중화가 가능하나, 수직방향의 다중화는 2개의 칩만 가능한 소위 2×n(여기서 n은 이론적으로는 1 내지 무한대까지 가능하다)의 다중화이므로 수평방향에 비해 수직방향은 표시 가능한 재생상의 사이즈가 너무 적다. 이것을 극복하는 한 방법은 수직방향으로 기하광학적인 다중화방식에 의해 사이즈를 확대시키는 방법이다.

[0110] 도 12는 2×n 개의 칩으로 이루어진 배열의 실상공간 위치를 반투경을 이용하여 변경시키는 방법을 나타낸 개념도로서, 2×n개의 칩으로 이루어진 칩 배열의 실상공간의 위치를 반투경을 이용하여 변경시키는 방법을 보여준다.

[0111] 레이저배열로 부터의 레이저 빔(83)이 반투경(84)을 통해 2×n개 칩 배열(85)을 조명하면 칩 배열에 표시된 홀로그램에 의해 칩배열(85)에서 설계된 거리에 실상공간(86)이 형성된다. 이 실상공간(86)은 회절빔들과 동시에 나타나므로, 이 실상공간(89)을 이들 회절빔들과 분리하가 위한 공간 마스크가 필요하지만 여기서는 생략했다. 이 실상공간(86)의 공간 위치는 반투경(84)의 중심 축(94)가 부착된 수직 방향 주사장치(Scanning Device)(87)에 주사되어 실상공간(88) 또는 (89)로 변경이 가능하다. 필요에 따라서는 칩 배열(85)의 방향을 수직 방향 주사장치(Scanning Device)(87)의 주사방향에 맞추어 좌우로 회전(90)이 가능하다.

[0112] 도 13은 디스플레이 칩의 기하광학적 수직 다중화 방법을 나타낸 개념도로서, 기하광학적 수직 다중화 방법의 예로 3개의 2×n개 칩 배열(85)을 공간 다중화 방식에 의해 각각의 실상공간이 공간에서 수직방향으로 접속되어 한 개의 실상공간(91)을 형성하는 것을 보였다. 이 방식에서 각 각의 칩 배열에 수반하는 반투경은 서로 독립적인 조절이 가능하며, 이들 각각의 반투경의 중심축(94) 은 한 개의 선(93)상에 있으며, 이 선(93)의 수평방향과

이루는 각도(92)는 2×n개 칩 배열(85)이 수평방향으로 배열된 경우는 45° 가 바람직하다.

[0113] 본 발명의 권리는 위에서 설명된 실시 예에 한정되지 않고 청구범위에 기재된 바에 의해 정의되며, 본 발명의 분야에서 통상의 지식을 가진 자가 청구범위에 기재된 권리범위 내에서 다양한 변형과 개작을 할 수 있다는 것은 자명하다.

부호의 설명

[0114] 1: 정사각형 형태의 화소 2: 정사각형 형태 화소의 주기

3: 정사각형 형태 화소의 2차원 배열

4: 정사각 마름모 형태의 화소 5: 정사각 마름모 형태 화소의 주기

6: 2차원으로 마름모 형태 화소의 2차원 배열

7: 정사각형 단위 구조의 회절 및 패턴 주기

8: 정사각형 단위 구조의 회절 및 패턴의 0차 빔

9: 정사각형 단위 구조의 회절 및 패턴의 상측의 1차 빔

10: 정사각형 단위 구조의 회절 및 패턴의 하측의 -1차 빔

11: 정사각형 단위 구조의 회절 및 패턴의 좌측의 1차 빔

12: 정사각형 단위 구조의 회절 및 패턴의 우측의 -1차 빔

13: 마름모형 단위 구조에서 회절 및 패턴의 주기

14: 마름모형 단위 구조에서 회절 및 패턴의 0차 빔

15: 마름모형 단위 구조에서 회절 및 패턴의 상측 1차 빔

16: 마름모형 단위 구조에서 회절 및 패턴의 하측 -1차 빔

17: 마름모형 단위 구조에서 회절 및 패턴의 좌측 2차 빔

18: 정사각형 단위 구조에서 회절빔 패턴에 의해 생성된 상공간

19: 마름모형 단위 구조에서 회절빔 패턴에 의해 생성된 상공간

20: 상 공간을 0차 빔을 중심으로 주기를 상하 좌우로 2등분 하여 생성된 직사각형

21: 정사각형 단위 구조에서 재생상이 구현되는 실상 공간

22: 정사각형 단위 구조에서 상측 1차 빔에 대응하는 실상 공간을 정의하는 직사각형

23: 정사각형 단위 구조에서 하측 -1차 빔에 대응하는 실상 공간을 정의하는 직사각형

24: 정사각형 단위 구조에서 좌측 1차 빔에 대응하는 실상 공간을 정의하는 직사각형

25: 정사각형 단위 구조에서 우측 -1차 빔에 대응하는 실상 공간을 정의하는 직사각형

26: 사각형(19)의 각 변에서부터 이웃하는 회절빔의 가장 가까운 변과의 수직거리를 2등분하는 선을 한 변으로 하는 직사각형

27: 직사각형(26)과 한 변을 공유하고 이 변과 사각형(19)의 대응하는 변 사 이의 거리를 다른 변으로 하여 생성되는 직사각형

28: 마름모 단위 구조에서 1차 빔에 대응하는 실상공간의 직사각형

29: 마름모 단위 구조에서 -1차 빔에 대응하는 실상공간의 직사각형

30: 마름모 단위 구조에서 2차 빔에 대응하는 실상공간의 직사각형

31: 직사각형(22)와 직사각형(23)의 수평 폭

32: 직사각형(24)와 직사각형(25)의 수평 폭

33: 정사각형 단위 구조를 가진 칩1의 상 공간을 정의하는 회절 및 패턴

34: 정사각형 단위 구조를 가진 칩2의 상 공간을 정의하는 회절 및 패턴

35: 축소된 정사각형(41)과 정사각형(42)의 수평 폭

36: 정사각형 단위 구조의 각 회절빔의 수평 폭

37: 마름모형 단위 구조를 가진 칩1의 상 공간을 정의하는 회절 및 패턴

38: 마름모형 단위 구조를 가진 칩2의 상 공간을 정의하는 회절 및 패턴

39: 직사각형(28)과 직사각형(29)의 수평 폭

40: 직사각형(27)과 직사각형(30)의 수평 폭

41: 직사각형(22)의 수평폭이 회절빔의 수평폭과 동일하도록 축소된 직사각형

42: 직사각형(23)의 수평폭이 회절빔의 수평폭과 동일하도록 축소된 직사각형

43: 직사각형(28)의 수평폭이 회절빔의 수평폭과 동일하도록 축소된 직사각형

44: 직사각형(29)의 수평폭이 회절빔의 수평폭과 동일하도록 축소된 직사각형

45: 직사각형(43)과 직사각형(44)의 수평 폭

46: 마름모형 단위 구조에서 수평 다중화를 위한 칩 1(37)과 칩 2(38) 사이의 간격

47: 마름모형 단위 구조에서 각 회절빔의 수평 폭 : 65와 동일

48: 직사각형(22)을 이용, 4개의 정사각형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

49: 직사각형(23)을 이용, 4개의 정사각형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

50: 직사각형(41)을 이용, 4개의 정사각형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

51: 직사각형(42)을 이용, 4개의 정사각형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

52: 직사각형(28)을 이용, 4개의 마름모형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

53: 직사각형(29)을 이용, 4개의 마름모형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

54: 직사각형(43)을 이용, 4개의 마름모형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

55: 직사각형(44)을 이용, 4개의 마름모형 단위 구조를 가진 칩을 수평 다중화시 생성되는 실상 공간을 정의하는 직사각형

56: 직사각형(22)와 직사각형(23)의 수직 다중화시 생성된 실상 공간을 정의 하는 직사각형

57: 정사각형 기본구조를 가진 칩 1의 직사각형(23)보다 수직 폭이 좁은 직사각형

58: 정사각형 기본구조를 가진 칩 2의 직사각형(22)보다 수직 폭이 좁은 직사각형

59: 직사각형(57)과 직사각형(58)이 수직으로 접속된 직사각형

60: 직사각형(22)와 직사각형(23)의 수직 폭

61: 직사각형(24)와 직사각형(25)의 수직 폭

62: 직사각형(28)과 직사각형(29)의 수직 폭

63: 직사각형(27)과 직사각형(30)의 수직 폭

64: 정사각형 기본 구조를 가진 칩에서 각 회절빔의 수직 폭

65: 마름모형 기본 구조를 가진 칩에서 각 회절빔의 수평 폭

66: 마름모형 기본 구조를 가진 칩에서 각 회절빔의 수직 폭

67: 마름모형 기본 구조를 가진 칩 1에서 직사각형(29)보다 수직 폭이 좁은 직사각형

68: 마름모형 기본 구조를 가진 칩 1에서 직사각형(28)보다 수직 폭이 좁은 직사각형

69: 수직 폭(62)의 2배가 되는 수직 폭을 가진 직사각형

70: 직사각형(67)과 직사각형(68)이 서로 수직으로 접속하여 만들어진 직사각형

71: [도 10a]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

72: [도 10b]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

73: 직사각형(56)의 수평 폭을 회절빔의 수평 폭과 같게 한 직사각형

74: [도 10c]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

75: 직사각형(59)의 수평 폭을 회절빔의 수평 폭과 같게 한 직사각형

76: [도 10d]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

77: [도 11a]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

78: [도 11b]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

79: 직사각형(69)의 수평 폭을 회절빔의 수평 폭와 같게 한 직사각형

80: [도 11c]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

81: 직사각형(70)의 수평 폭을 회절빔의 수평 폭과 같게 한 직사각형

82: [도 11d]에서 다중화된 칩들의 실상공간을 정의하는 직사각형

83: 레이저 빔　　84: 반투과경

85: 2 × n개 칩 배열

86: 칩 배열에서 설계된 거리에 형성된 실상 공간

87: 수직 방향 주사장치(Scanning Device)

88, 89: 반투과경의 중심축의 주사장치에 주사되어 변경된 실상 공간

90: 좌우 회전

91: 3개의 2 × n개 칩 배열의 공간 다중화에 의해 생성된 실상 공간

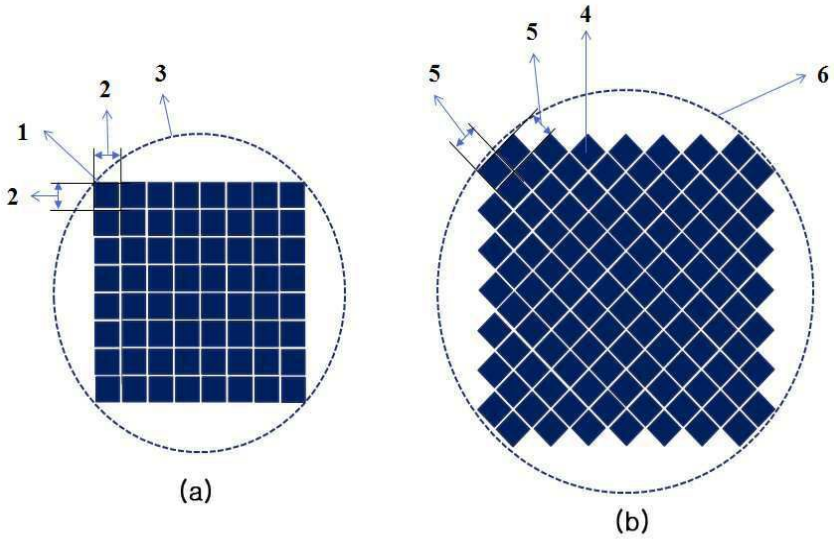
92: 선(93)의 수평방향과 이루는 각도

93: 다수의 2 × n개의 칩 배열을 다중화시키는 반투과경들이 위치한 한 개의 선

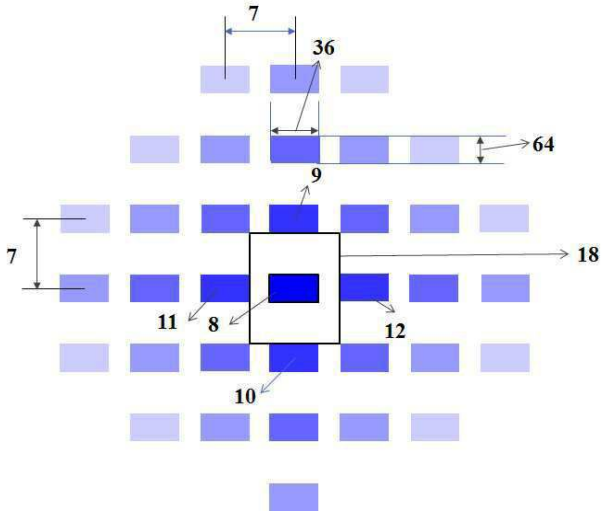
94: 반투경의 중심축

도면

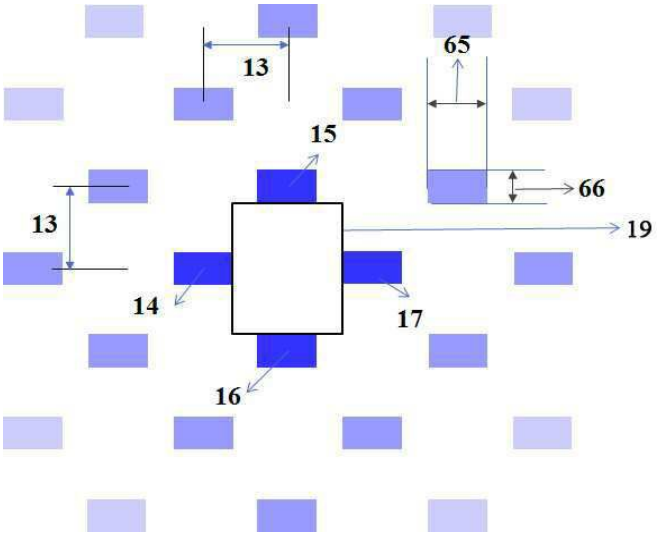
도면1



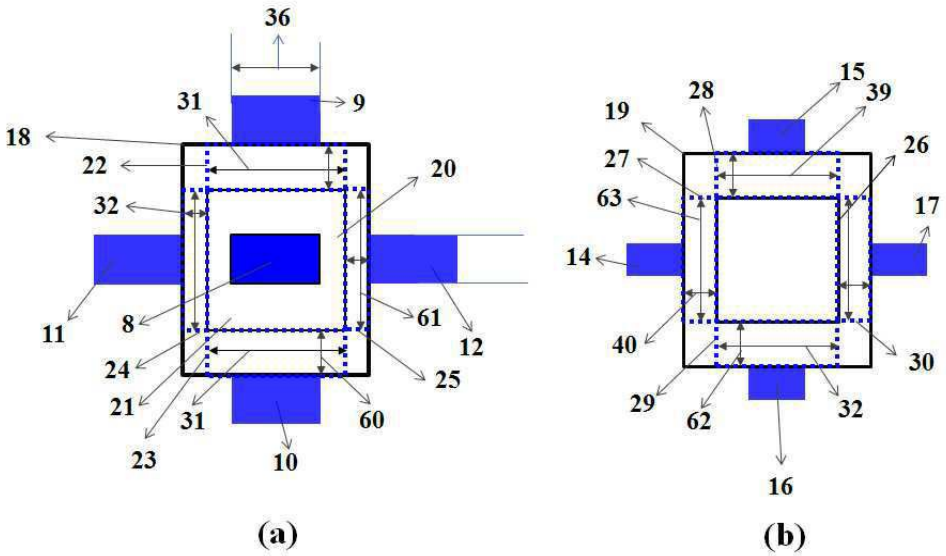
도면2a



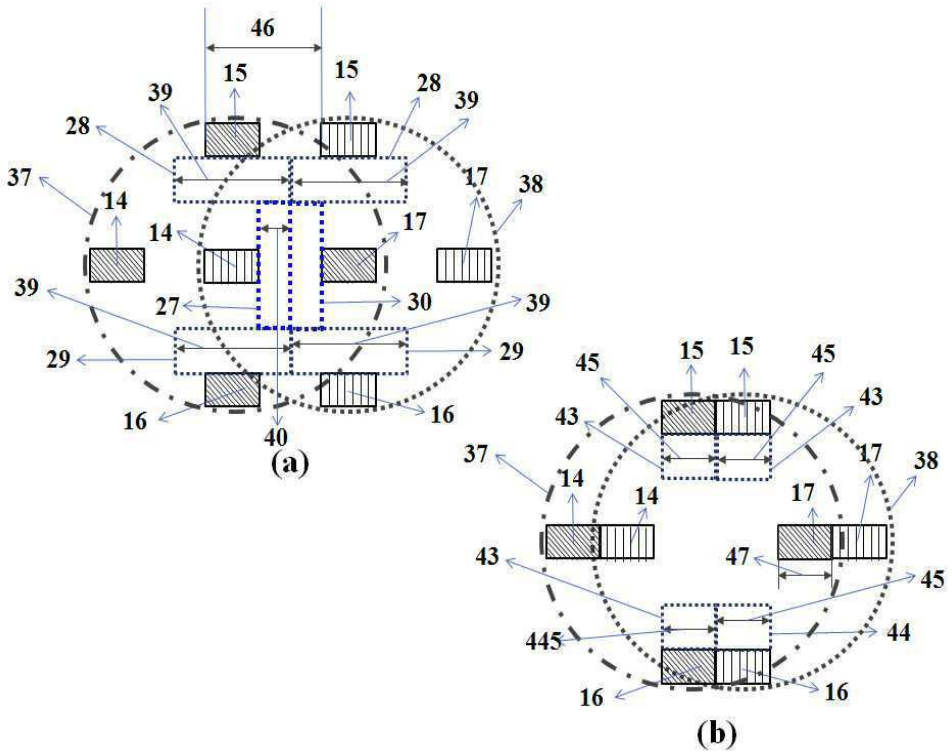
도면2b


13
65
15
66
13
19
14
17
16

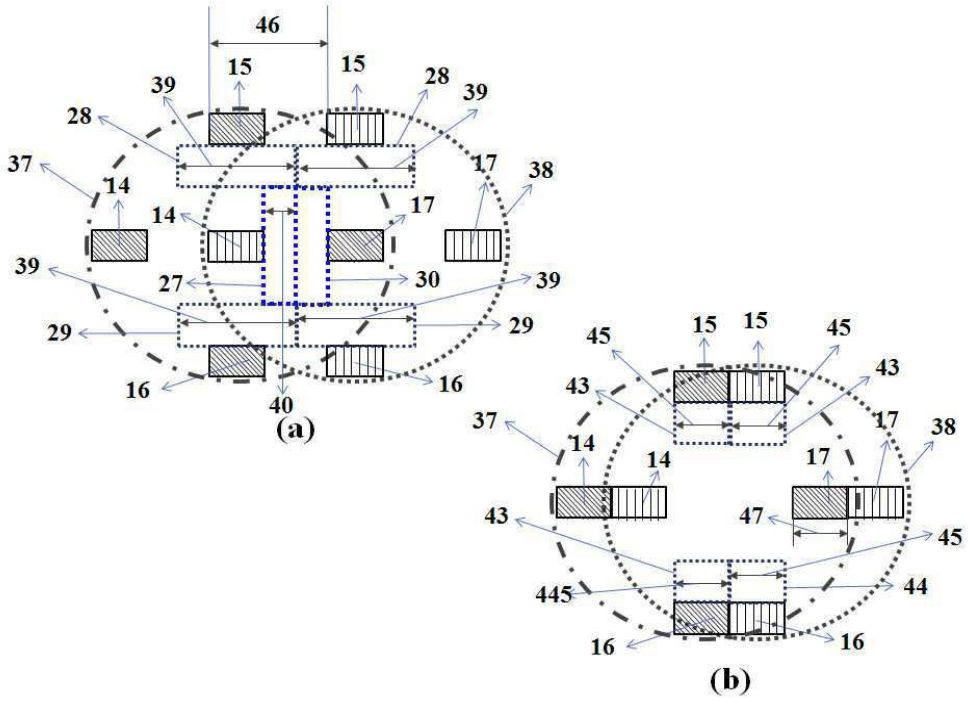
도면3


36
31
9
18
22
20
32
11
8
61
12
24
25
21
31
60
23
10
(a)
15
28
39
19
26
27
63
17
14
40
30
29
62
32
16
(b)

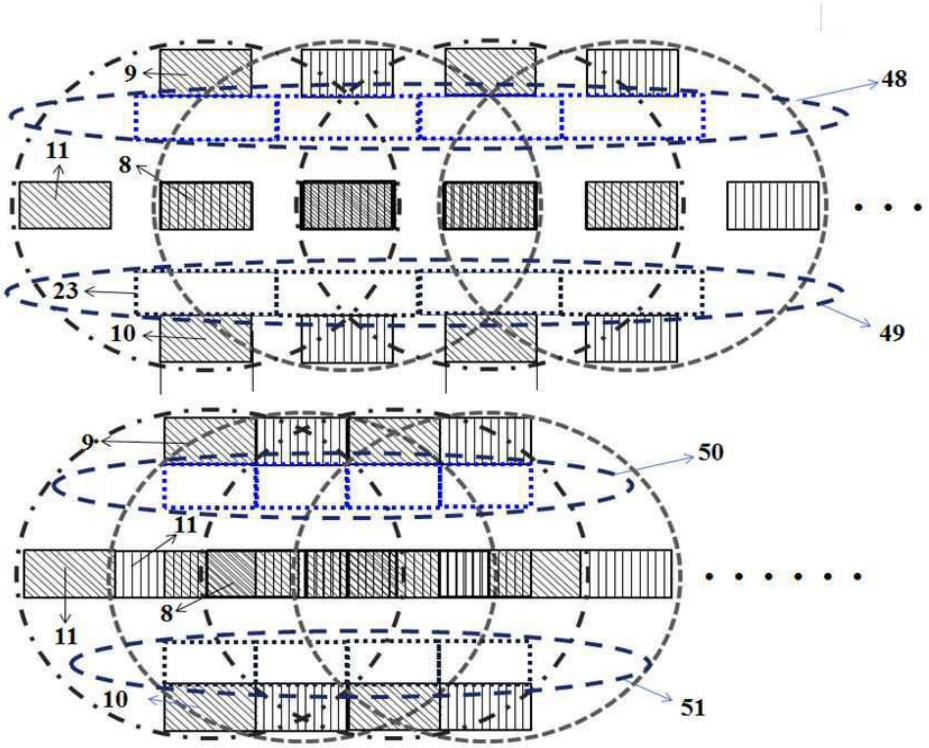
도면4


46
15
15
28
39
39
28
37
14
17
38
14
17
39
27
30
39
29
29
16
16
40
(a)
45
15
15
45
43
43
37
14
14
17
17
38
43
47
45
445
44
16
16
(b)

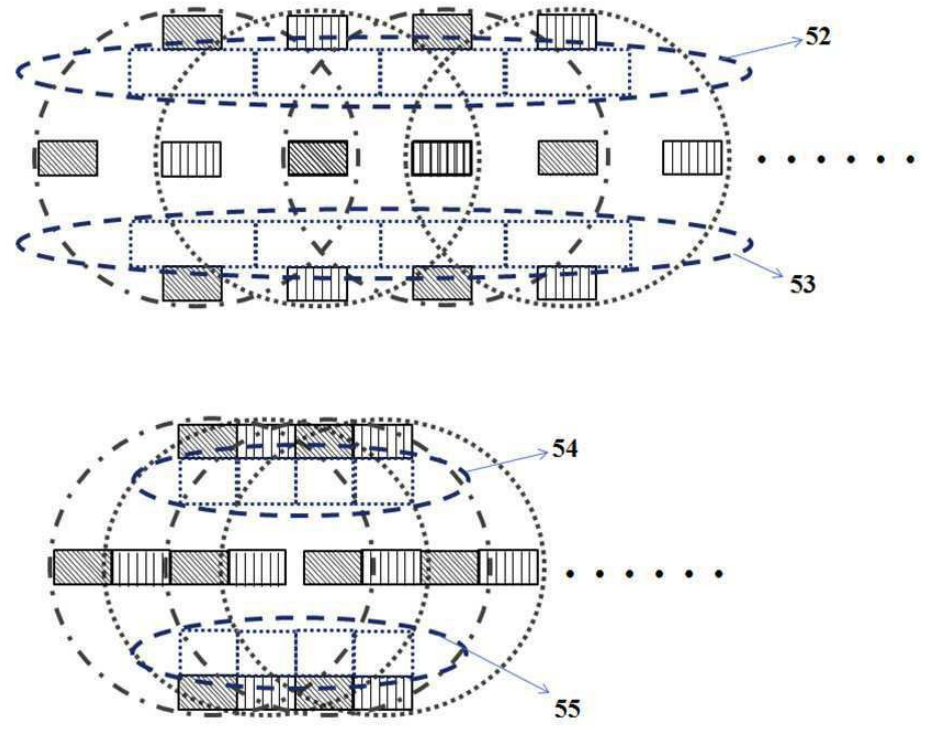
도면5


46
15
15
28
39
39
28
37
14
17
38
14
17
39
27
30
39
29
29
16
16
40
(a)
45
15
15
45
43
43
37
14
14
17
17
38
43
47
45
445
44
16
16
(b)

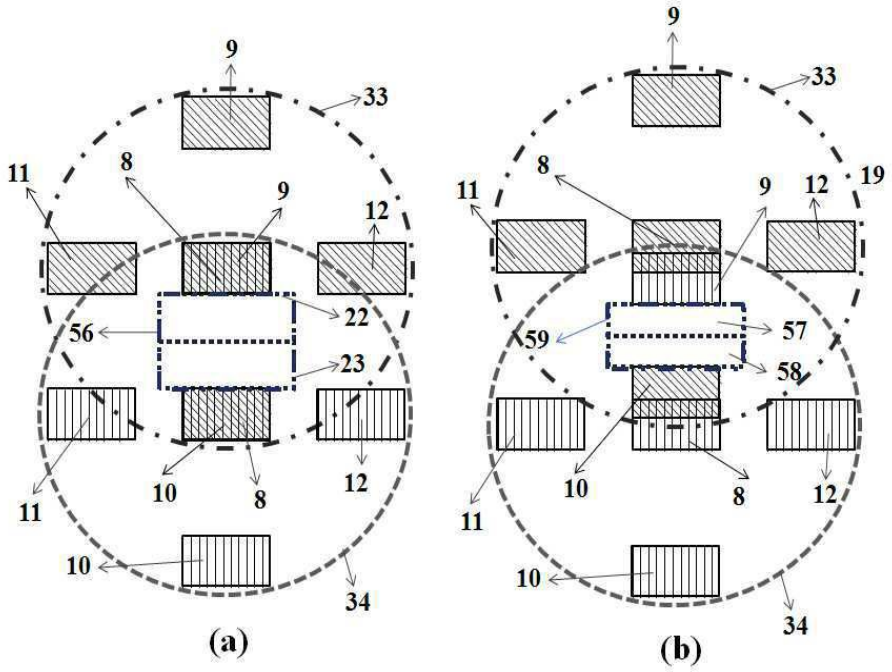
도면6



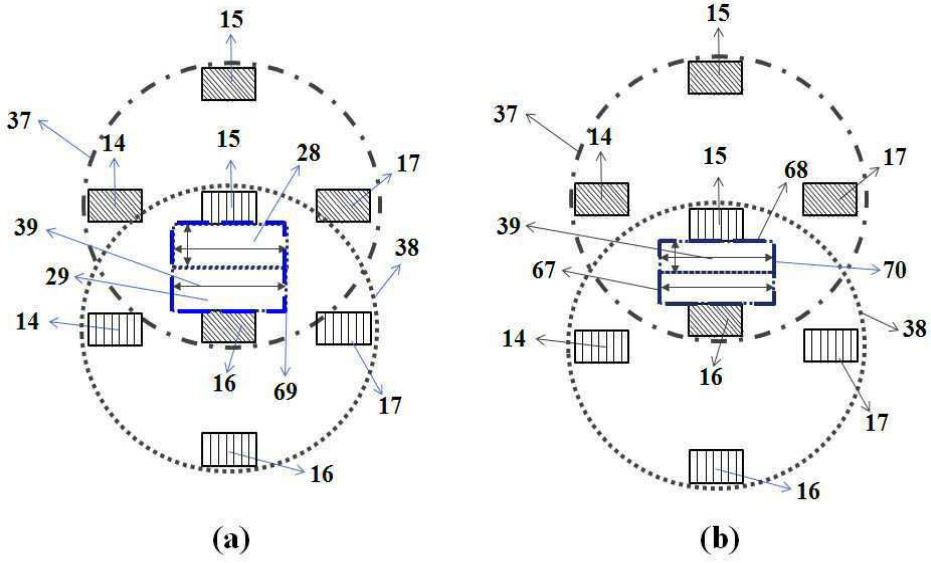
도면7



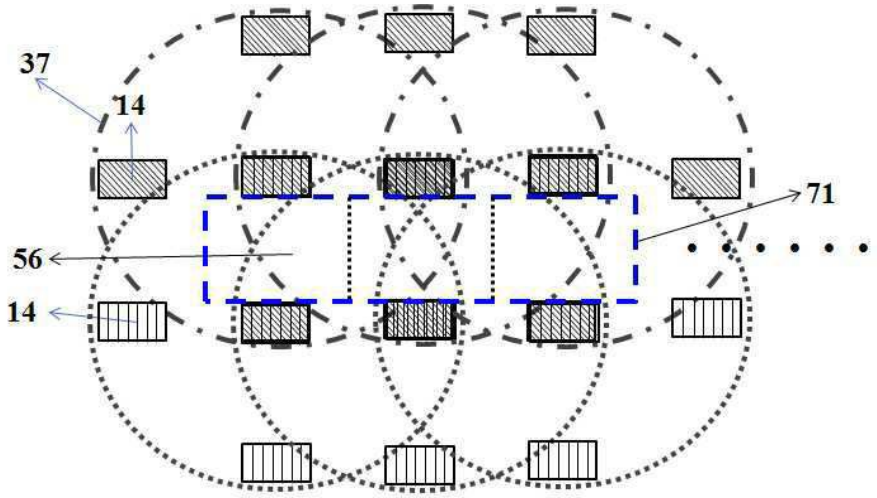
도면8


9
33
11
8
9
12
22
56
23
10
8
12
11
10
34
(a)
9
33
11
8
9
12
19
59
57
58
10
8
12
11
10
34
(b)

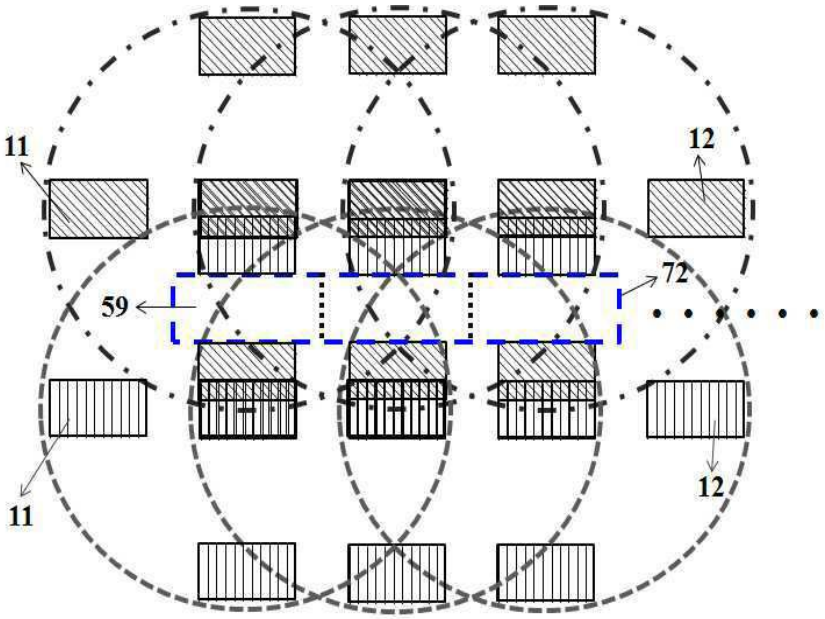
도면9


15
37
14
15
28
17
39
38
29
14
16
69
17
16
(a)
15
37
14
15
68
17
39
70
67
38
14
16
17
16
(b)

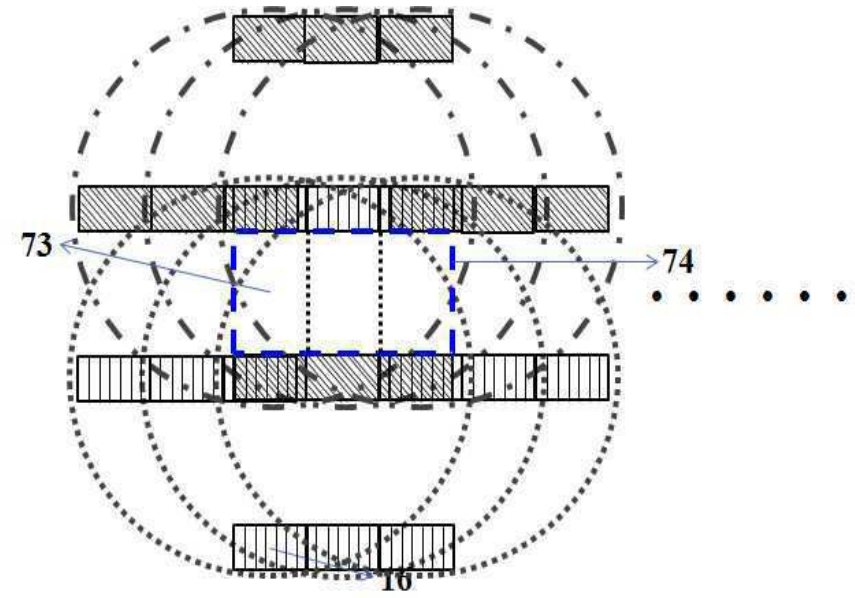
도면10a



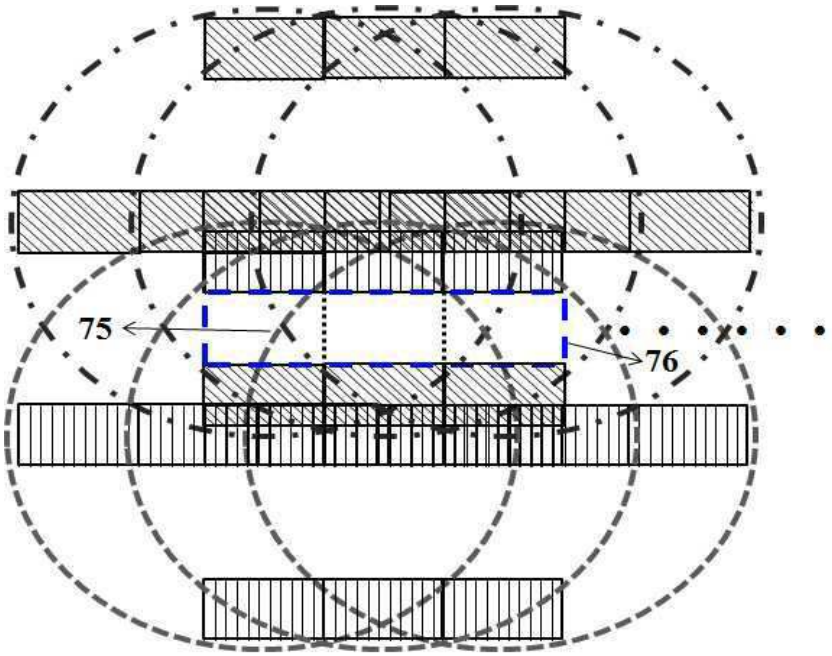
도면10b



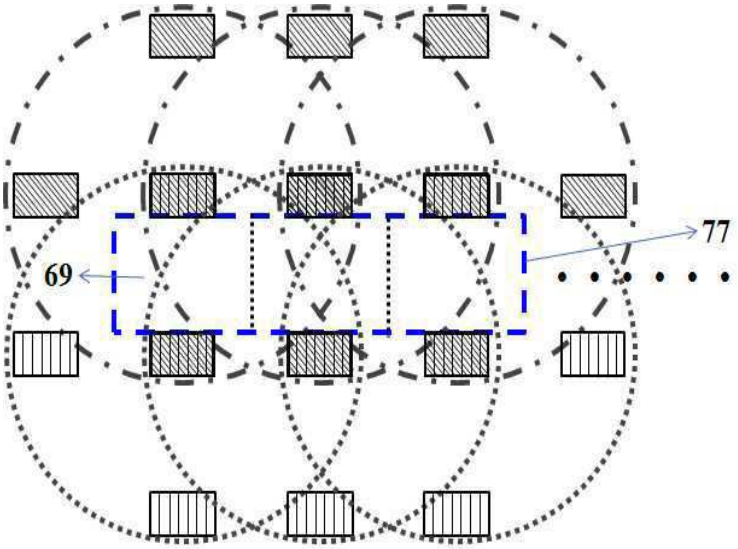
도면10c



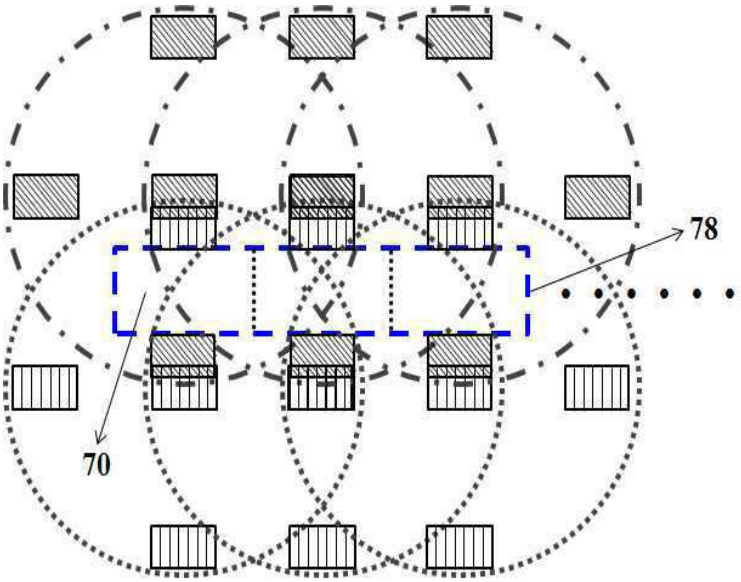
도면10d



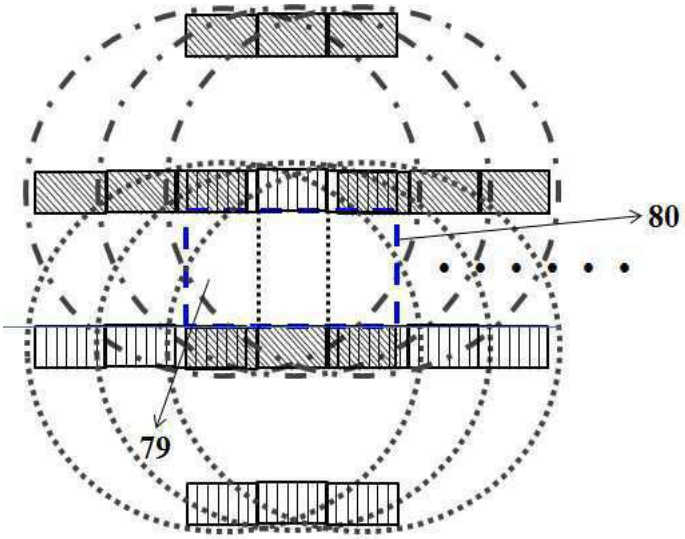
도면11a



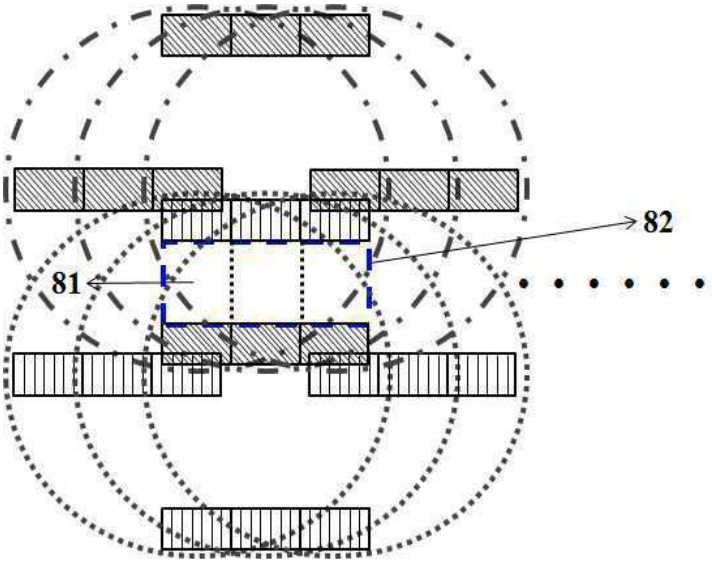
도면11b



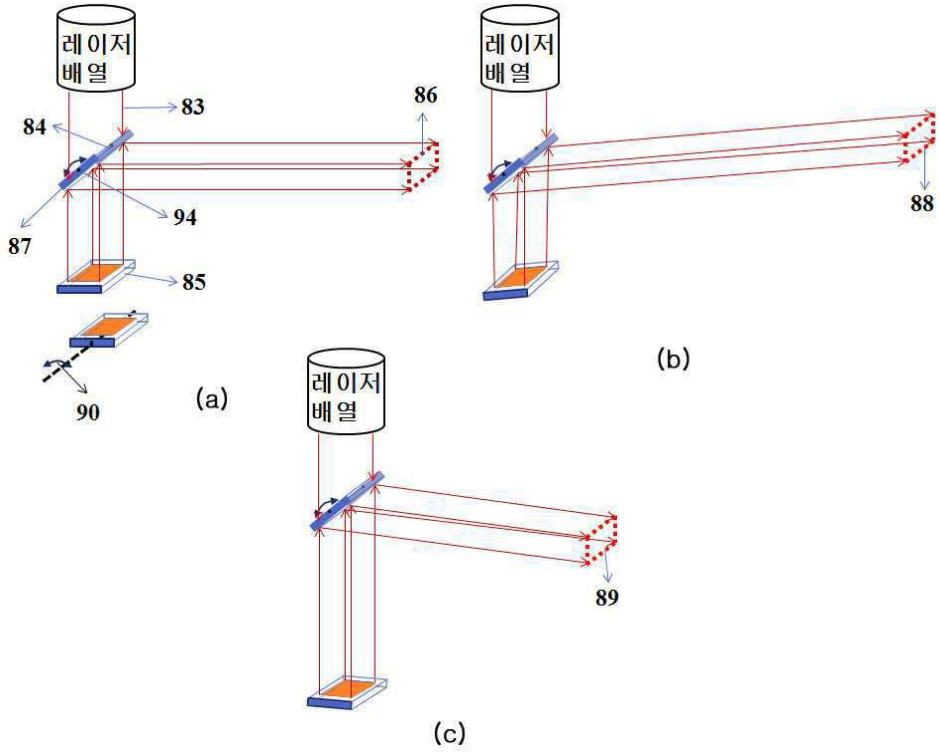
도면11c



도면11d



도면12



도면13

