

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月17日(17.03.2022)



(10) 国際公開番号

WO 2022/054512 A1

(51) 国際特許分類:
H04N 5/369 (2011.01)

(21) 国際出願番号: PCT/JP2021/030162

(22) 国際出願日: 2021年8月18日(18.08.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-151570 2020年9月9日(09.09.2020) JP

(71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 池田 匡孝 (IKEDA Masataka); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京

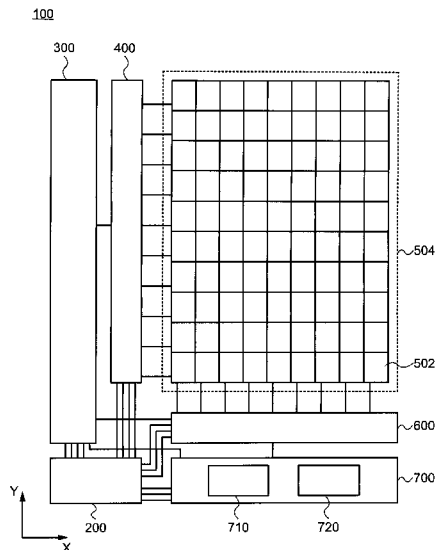
都大田区蒲田5-24-2 損保ジャパン日本興亜蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: DETECTION DEVICE

(54) 発明の名称: 検出装置



(57) Abstract: This detection device includes a pixel with a photoelectric conversion element connected to a gate electrode of a first transistor, and includes: a reset period in which the first transistor gate electrode is reset; an exposure period in which the photoelectric conversion element is exposed; and a readout period in which the voltage accompanying the exposure of the photoelectric conversion element is read out. During the reset period: a first voltage is read out in a first period in which a reset voltage is supplied to the first transistor gate electrode; a second voltage is read out in a second period following the stoppage of the supply of the reset voltage to the first transistor gate electrode; a third voltage is read out in a fourth period, which is the readout period, after a third period which is the exposure period; the difference between the first voltage and the second voltage is output as PUF-ID data; and the difference between the third voltage and the second voltage is output as detection data.

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：検出装置は、第1のトランジスタのゲート電極に光電変換素子が接続された画素を有し、第1のトランジスタのゲート電極をリセットするリセット期間と、光電変換素子を露光する露光期間と、光電変換素子の露光に伴う電圧を読み出す期間と、を有し、リセット期間において、第1のトランジスタのゲート電極にリセット電圧を供給する第1の期間に第1の電圧を読み出し、第1のトランジスタのゲート電極にリセット電圧の供給を停止した後の第2の期間に第2の電圧を読み出し、露光期間である第3の期間ののち前記読み出す期間である第4の期間に第3の電圧を読み出し、第1の電圧と第2の電圧の差をPUFDデータとして出力し、第3の電圧と第2の電圧の差を検出データとして出力する。

明 細 書

発明の名称： 検出装置

技術分野

[0001] 本発明は、検出装置、及び検出装置の駆動方法に関する。

背景技術

[0002] 近年、半導体集積回路を有する電子部品、前記電子部品を備えた電子機器、又はそれらを利用したシステムにおいて、模倣品、海賊版、又は偽造品が問題となっている。例えば、前記電子部品、前記電子機器、又はそれらを利用したシステムの模倣品、海賊版、又は偽造品の製造を防止するため、秘密鍵を利用する暗号化技術を用いることは、これらの問題に対する対策の一つである。

[0003] また、これらの問題に対する他の対策として、特許文献1及び特許文献2には、PUF（Physical Unclonable Function）を利用した撮像データを生成可能な固体撮像装置が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2019-180003号公報

特許文献2：国際公開第2016/167076号

発明の概要

発明が解決しようとする課題

[0005] 本発明の課題の一つは、模倣品、海賊版、又は偽造品の製造を抑制するため、PUFを利用した撮像データを生成可能な検出装置を提供することを課題の一つとする。

課題を解決するための手段

[0006] 検出装置は、電源線と読み出し信号線との間に接続された第1のトランジスタのゲート電極に光電変換素子の第1の電極が接続された少なくとも1つの画素を有し、第1のトランジスタのゲート電極をリセットするリセット期

間と、光電変換素子を露光する露光期間と、光電変換素子の露光に伴う電圧を読み出す期間と、を有し、リセット期間において、第1のトランジスタのゲート電極にリセット電圧を供給する第1の期間に、読み出し信号線から第1の電圧を読み出し、第1のトランジスタのゲート電極にリセット電圧の供給を停止した後の第2の期間に、読み出し信号線から第2の電圧を読み出し、露光期間である第3の期間ののち、前記読み出す期間である第4の期間において、読み出し信号線から第3の電圧を読み出し、第1の電圧と第2の電圧の差をPUF-IDデータとして出力し、第3の電圧と第2の電圧の差を検出データとして出力する。

図面の簡単な説明

- [0007] [図1]本発明の一実施形態に係る検出装置の構成を示す平面図である。
- [図2]本発明の一実施形態に係る検出装置の構成を示す平面図である。
- [図3]本発明の一実施形態に係る画素回路を示す回路図である。
- [図4]本発明の一実施形態に係る検出装置の駆動方法を示すタイミングチャートである。
- [図5]図4に示すタイミングにおける画素の動作状態を示す模式的な図である。
- 。
- [図6]図4に示すタイミングにおける画素の動作状態を示す模式的な図である。
- 。
- [図7]図4に示すタイミングにおける画素の動作状態を示す模式的な図である。
- 。
- [図8]図4に示すタイミングにおける画素の動作状態を示す模式的な図である。
- 。
- [図9]本発明の一実施形態に係る検出装置の構成を示す平面図である。
- [図10]本発明の一実施形態に係る画素回路を示す回路図である。
- [図11]本発明の一実施形態に係る検出装置の駆動方法を示すタイミングチャートである。
- [図12]図11に示すタイミングにおける画素の動作状態を示す模式的な図で

ある。

[図13]図 1 1 に示すタイミングにおける画素の動作状態を示す模式的な図である。

[図14]図 1 1 に示すタイミングにおける画素の動作状態を示す模式的な図である。

[図15]図 1 1 に示すタイミングにおける画素の動作状態を示す模式的な図である。

[図16]本発明の一実施形態に係る検出装置を用いた駆動方法を示すフローチャートである。

発明を実施するための形態

[0008] 以下、本発明の実施形態を、図面等を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、以下に例示する実施の形態の記載内容に限定して解釈されるものではない。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状、構成等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。なお、各要素に対する「第1」、「第2」と付記された文字は、各要素を区別するために用いられる便宜的な標識であり、特段の説明がない限りそれ以上の意味を有さない。

[0009] 検出装置は、指紋などの生体情報を検出する装置や固体撮像装置を含む。固体撮像装置には、例えば、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ、CCD (Charge Coupled Device) イメージセンサなどがある。本発明の一実施形態に係る固体撮像装置は、例えば、CMOSイメージセンサである。本明細書においては、固体撮像装置を例に説明するが、本発明の内容は固体撮像装置に限らず指紋センサなどの生体情報を検出するための検出装置においても当然適用可能である。また、指紋センサなどの検出装置に本発明を適用するにあたり、後述する撮像データは検出データと言い換えてもよい。

[0010] < 1. 第 1 実施形態 >

< 1 - 1. 固体撮像装置 100 の構成 >

図 1 及び図 2 は、本発明の一実施形態に係る固体撮像装置 100 の構成を示す模式的な平面図である。本発明の一実施形態に係る固体撮像装置 100 の構成は、図 1 及び図 2 に示された構成に限定されない。

[0011] 図 1 に示すように、固体撮像装置 100 は、電源回路 200、駆動タイミング制御回路 300、行選択回路 400、画素部 504、読み出し回路 600、及び信号処理回路 700 を有する。画素部 504 は、被写体を撮像する複数の画素 502 を有する。

[0012] 複数の画素 502 は、x 方向と、x 方向に交差する y 方向にマトリクス状に配列される。詳細は後述するが、複数の画素 502 のそれぞれは、画素回路 120 を構成する複数のトランジスタ（図 3）、複数の容量素子（図 3）、及び受光素子（図 3）を有する。本発明の一実施形態において、例えば、x 方向は第 1 の方向と呼ばれ、y 方向は第 2 の方向と呼ばれる。また、本発明の一実施形態において、受光素子は光起電力を発生する光電変換素子である例を示すが、本発明の一実施形態はこの例に限定されない。本発明の一実施形態において、光電変換素子の具体例としてフォトダイオード（Photo Diode、PD）を示す。

[0013] 電源回路 200 は、駆動タイミング制御回路 300、信号処理回路 700、読み出し回路 600、及び行選択回路 400 に電氣的に接続される。電源回路 200 は、論理回路（図示せず）、電圧生成回路（図示せず）を有する。電源回路 200 は、論理回路、電圧生成回路を用いて、信号または電源電圧を生成し、生成した信号、電源電圧、又は電力を、駆動タイミング制御回路 300、信号処理回路 700、読み出し回路 600、及び行選択回路 400 に供給する。

[0014] 駆動タイミング制御回路 300 は、信号処理回路 700、読み出し回路 600、及び行選択回路 400 に電氣的に接続される。駆動タイミング制御回路 300 は、例えば、信号処理回路 700、読み出し回路 600、及び行選

択回路400等の信号処理に必要なタイミング信号を生成し、信号処理回路700、読み出し回路600、及び行選択回路400に当該タイミング信号を供給する。タイミング制御信号は、例えば、行選択回路400の行選択を制御するクロック信号、及びスタートパルスを生成し、生成した各信号を行選択回路400に供給する。

[0015] 行選択回路400は、例えば、画素部504に対してx方向に隣接する位置に配置される。行選択回路400には、例えば、リセット信号線412（図3）、走査信号線410（図3）、バイアス電圧供給線418（図3）、基準電位線PVSS、第1の駆動電源線PVD1が接続される。走査信号線410は、同じ行に配列された複数の画素502に接続される。

[0016] 読み出し回路600は、信号処理回路700に接続される。読み出し回路600は、例えば、画素部504に対してy方向に隣接する位置に配置される。読み出し回路600には、複数の読み出し信号線420（図3）、第2の駆動電源線PVD2（図3）が接続される。読み出し信号線420は、同じ列に配列された複数の画素502に接続される。

[0017] 読み出し回路600は、例えば、AD変換器（図示は省略）、及び水平転送走査回路（図示は省略）を有する。読み出し信号線420に供給される出力信号OUT（n）（図4）は、AD変換器によってデジタル信号に変換される。デジタル信号は、水平転送走査回路に転送される。水平転送走査回路は、デジタル信号を列毎に順次読み出す。水平転送走査回路は、行選択回路400を用いて選択された行に接続される複数の画素502のそれぞれに対応する出力信号OUT（n）をデジタル信号として読み出すことができる。読み出し回路600は、出力信号OUT（n）を入力し、デジタル信号を出力する。

[0018] 信号処理回路700は、PUF-ID抽出回路710、及び画像処理回路720を有する。PUF-ID抽出回路710は、例えば、読み出し回路600から出力された複数のデジタル信号を用いて固体撮像装置100に固有の識別子（Identifier、ID）、即ち、PUF-IDを生成する。

画像処理回路 720 は、例えば、読み出し回路 600 から出力された複数のデジタル信号に対して、ガンマ補正、ノイズ除去などの画像処理を実行し、画像データを生成する。画像データは、例えば、撮像された被写体の撮像データである。なお、図示は省略するが、信号処理回路 700、PUF-ID 抽出回路 710、及び画像処理回路 720 のそれぞれは、演算処理回路、記憶回路を有する。本発明の一実施形態において、演算処理回路は、例えば、プロセッサ、CPU などであり、記憶回路は、例えば、揮発性メモリ、不揮発性メモリである。

[0019] 図 2 に示すように、行選択回路 400 は、画素部 504 内の n 行目に位置する複数の画素 502（画素回路 120）のそれぞれに、共通に、リセット信号 $RG(n)$ 、走査信号 $SG(n)$ 、バイアス電圧供給信号 VB 、基準電位 VSS 、及び第 1 の駆動電圧 $VPP1$ を供給する。読み出し回路 600 は、画素部 504 内の m 列目に位置する複数の画素 502 の画素回路 120 のそれぞれに、第 2 の駆動電圧 $VPP2$ を供給する。本発明の一実施形態において、複数の画素 502 は、例えば、 x 方向（第 1 の方向）に m 個配列され、 y 方向（第 2 方向）に n 個配列される。数値 m 及び数値 n はそれぞれ自然数である。例えば、3 行 5 列に配列する画素 502 は、3 行 5 列の画素 502、または座標（3、5）の画素 502 と呼ばれる。

[0020] 複数の画素 502 のそれぞれは、複数のサブ画素を含んでもよい。例えば、1 つの画素 502 は、3 つのサブ画素を有し、3 つのサブ画素のそれぞれは画素回路 120 を有してもよい。3 つのサブ画素は、互いに異なる色を呈すカラーフィルタを有してもよい。例えば、3 つの画素のうち、第 1 のサブ画素は赤色を呈すカラーフィルタを有し、第 2 のサブ画素は緑色を呈すカラーフィルタを有し、第 3 のサブ画素は青色を呈すカラーフィルタを有する。また、3 つの画素 502 を 1 単位として、3 つの画素が互いに異なる色を呈すカラーフィルタを有してもよい。例えば、3 つの画素のうち、第 1 の画素は赤色を呈すカラーフィルタを有し、第 2 の画素は緑色を呈すカラーフィルタを有し、第 3 の画素は青色を呈すカラーフィルタを有する。画素及びサブ

画素の構成はここで示す例に限定されない。例えば、画素502は4つ以上の互いに異なる色を呈すカラーフィルタを有するサブ画素を有してもよく、4つ以上の互いに異なる色を呈すカラーフィルタを有する画素502を1単位としてもよい。本発明の一実施形態に係る固体撮像装置100は、4つ以上の互いに異なる色を呈すカラーフィルタを有する画素またはサブ画素を備えることで、被写体の色再現性の高い撮像データを生成することができる。

[0021] また、本発明の一実施形態に係る固体撮像装置100では、複数の画素502の配列は、ストライプ配列である例が示される。なお、複数の画素502の配列の制限はなく、例えば、固体撮像装置100の用途又は仕様に基づき適宜決めればよい。

[0022] なお、各信号、電源、電圧、及び電力の基となる信号、電源、電圧、及び電力が、外部回路（図示は省略）から電源回路200、駆動タイミング制御回路300、及び信号処理回路700に供給されてもよい。各信号、電源、電圧、及び電力に基づき、電源回路200、駆動タイミング制御回路300、及び信号処理回路700において加工された所望の信号、所望の電源、所望の電圧、及び所望の電力が、行選択回路400、画素部504、及び読み出し回路600に供給されてもよい。

[0023] <1-2. 画素502の構成>

図3は、本発明の一実施形態に係る画素回路120を示す回路図である。複数の画素502のそれぞれは、画素回路120を構成する複数のトランジスタと、容量素子と、光電変換素子とを有する。図3は、図2に示したn行m列の画素502の、画素回路120を構成する構成要素を示す。図3に示す画素回路120の構成は一例であって、画素回路120の構成は、図3に示す構成に限定されない。図1及び図2と同一、又は類似する構成については、ここでの説明を省略する。

[0024] 図3に示すように、画素回路120は、例えば、リセットトランジスタM_{rst}（第1のスイッチ）、駆動トランジスタM_{sf}（第2のスイッチ）、選択トランジスタM_{sw}（第3のスイッチ）、負荷トランジスタM_{cc}（第

4のスイッチ)、光電変換素子PD、第1の容量素子SC1、第2の容量素子SC2、第3の容量素子SC3、及び第4の容量素子SC4から構成される。これらのトランジスタのそれぞれは、ゲート電極(第1の電極)、ソース電極及びドレイン電極からなる一対の電極(第2の電極及び第3の電極からなる一対の電極)を有する。これらの容量素子のそれぞれは、一対の電極(第1の電極、第2の電極)を有する。なお、ソース電極及びドレイン電極に印加される電圧によって、各々の電極のソースとしての機能とドレインとしての機能とが入れ替わってもよい。

[0025] 駆動トランジスタMsf、選択トランジスタMsw、及び負荷トランジスタMccはソースフォロア121を構成する。ソースフォロア121は、所謂ドレイン接地回路であり、第2の駆動電源線PVDD2から基準電位線PVSSに電流を流し、駆動トランジスタMsfのゲート電極620(第1の電極620)に供給された電圧に対応した出力信号OUT(n)を出力する。

[0026] 画素502を駆動するための電源として、第1の駆動電源線PVDD1から第1の駆動電圧VPP1が供給され、第2の駆動電源線PVDD2から第2の駆動電圧VPP2が供給され、基準電位線PVSSから基準電圧VSSが供給され、コモン電位線VCOMからコモン電圧が供給される。第1の駆動電源線PVDD1は第1の駆動電源線414であり、第2の駆動電源線PVDD2は第2の駆動電源線428であり、基準電位線PVSSは基準電位線424である。コモン電位線VCOMはコモン電極422に接続する。

[0027] 本発明の一実施形態では、第1の駆動電源線PVDD1、第2の駆動電源線PVDD2、基準電位線PVSS、及びコモン電位線VCOMは、複数の画素502に対して共通に設けられるが、第1の駆動電源線PVDD1、第2の駆動電源線PVDD2、基準電位線PVSS、及びコモン電位線VCOMは、複数の画素502に対して共通に設けられなくてもよい。第1の駆動電圧VPP1は、第2の駆動電圧VPP2と同一または略同一であってよく、第2の駆動電圧VPP2より小さくてもよい。第1の駆動電圧VPP1は

、定電圧であって、ノード $node A$ に定電圧を供給し、画素 502 をリセットまたは初期化可能な電圧であればよい。コモン電圧は、基準電圧 VSS と同一または略同一であってよく、基準電圧 VSS より小さくてもよい。コモン電圧は、定電圧であって、コモン電極 422 の変動を抑制可能な電圧であればよい。

[0028] また、本発明の一実施形態では、バイアス電圧供給信号 VB 、基準電位線 $PVSS$ 、及び第 1 の駆動電源線 $PVDD1$ は、行選択回路 400 に設けられ、バイアス電圧 $Vbias$ 、基準電圧 VSS 、及び第 1 の駆動電圧 $VPP1$ は、行選択回路 400 から、複数の画素 502 に供給する例を示すが、この例に限定されない。バイアス電圧供給信号 VB 、基準電位線 $PVSS$ 、及び第 1 の駆動電源線 $PVDD1$ は、読み出し回路 600 に設けられてもよく、バイアス電圧供給信号 VB 、基準電位線 $PVSS$ 、及び第 1 の駆動電源線 $PVDD1$ の一部が行選択回路 400 に設けられ、残りの一部が読み出し回路 600 に設けられてもよい。第 2 の駆動電源線 $PVDD2$ は読み出し回路 600 に設けられ、第 2 の駆動電圧 $VPP2$ は読み出し回路 600 から、複数の画素 502 に供給する例を示すが、この例に限定されない。第 2 の駆動電源線 $PVDD2$ は行選択回路 400 に設けられてもよい。バイアス電圧供給信号 VB 、基準電位線 $PVSS$ 、第 1 の駆動電源線 $PVDD1$ 、及び第 2 の駆動電源線 $PVDD2$ は、電源回路 200 に設けられ、バイアス電圧 $Vbias$ 、基準電圧 VSS 、第 1 の駆動電圧 $VPP1$ 、及び第 2 の駆動電圧 $VPP2$ は、電源回路 200 から複数の画素 502 に供給してもよい。また、図示は省略するが、例えば、コモン電位線 $VCOM$ は電源回路 200 に設けられ、コモン電圧は電源回路 200 から複数の画素 502 のコモン電極 422 に供給されるが、この例に限定されない。コモン電位線 $VCOM$ は電源回路 200 に設けられ、コモン電圧は電源回路 200 から行選択回路 400 または読み出し回路 600 を経由し、複数の画素 502 のコモン電極 422 に供給されてもよい。本発明の一実施に係る固体撮像装置 100 においては、用途、仕様等に合わせて、電源線などの配置を適宜変えてもよい。

- [0029] リセットトランジスタ M_{rst} は、リセット信号 $R_G(n)$ に基づき、ノード $node A$ に第1の駆動電圧 V_{PP1} を供給し、画素502をリセット状態または初期化状態にする。ノード $node A$ は、駆動トランジスタ M_{sf} のゲート電極620（第1の電極620）、光電変換素子 PD の第1の電極、第1の容量素子の第2の電極、及び第2の容量素子の第2の電極に接続される。
- [0030] 駆動トランジスタ M_{sf} は、入力された第1の駆動電圧 V_{PP1} を用いて、リセット状態または初期化状態における画素502のソースフォロア121に流す電流を調整する。また、駆動トランジスタ M_{sf} は、画素502の露光に伴い光電変換素子 PD が受光した光に基づき発生された光起電力を用いてソースフォロア121に流す電流を調整する。なお、本発明の一実施形態において、画素502の露光は、画素502が受光すること、画素502を露光することと言い換えてもよく、光電変換素子 PD が受光することは、光電変換素子 PD の露光、光電変換素子 PD を露光することと言い換えてもよい。
- [0031] 選択トランジスタ M_{sw} は、走査信号 $S_G(n)$ に基づき、ソースフォロア121を駆動するか否かを制御する。すなわち、選択トランジスタ M_{sw} は、走査信号 $S_G(n)$ に基づき、ソースフォロア121が電流を流すか否かを制御する。
- [0032] 負荷トランジスタ M_{cc} は、バイアス電圧供給信号 V_B に基づき、第2の駆動電源線 P_{VDD2} から基準電位線 P_{VSS} に定電流を流すか否かを制御する。バイアス電圧 V_{bias} が負荷トランジスタ M_{cc} に入力されると、負荷トランジスタ M_{cc} は導通状態となり、第2の駆動電源線 P_{VDD2} から基準電位線 P_{VSS} に定電流を流す。すなわち、負荷トランジスタ M_{cc} は定電流源となる。
- [0033] 第1の容量素子 $SC1$ は、リセットトランジスタ M_{rst} のゲート電極（第1の電極）とリセットトランジスタ M_{rst} のソース電極またはドレイン電極（第2の電極または第3の電極）との間に設けられる。また、第1の容

量素子SC1は、リセット信号線412とノードnode Aとの間に設けられる。第1の容量素子SC1の容量値は、容量値 $C_{gs}(M_{rst})$ である。第3の容量素子SC3は、駆動トランジスタ M_{sf} のゲート電極620（第1の電極620）と駆動トランジスタ M_{sf} のソース電極またはドレイン電極（第3の電極630）との間に設けられる。また、第3の容量素子SC3は、ノードnode Aと第2の駆動電源線428との間に設けられる。第3の容量素子SC3の容量値は、容量値 $C_{gd}(M_{sf})$ である。第4の容量素子SC4は、駆動トランジスタ M_{sf} のゲート電極620（第1の電極620）と駆動トランジスタ M_{sf} のソース電極またはドレイン電極（第2の電極610）との間に設けられる。第4の容量素子SC4の容量値は、容量値 $C_{gs}(M_{sf})$ である。第1の容量素子SC1、第3の容量素子SC3、及び第4の容量素子SC4は、例えば、各トランジスタと配線等との間の寄生容量及び付加容量である。第1の容量素子SC1、第3の容量素子SC3、及び第4の容量素子SC4は、ノードnode Aに供給される第1の駆動電圧 V_{PP1} に相当する電荷を保持してもよく、光電変換素子PDが受光した光に基づき発生された光起電力に相当する電荷を保持してもよい。

[0034] 第2の容量素子SC2は、ノードnode Aに供給される第1の駆動電圧 V_{PP1} に相当する電荷を保持する。また、第2の容量素子SC2は、光電変換素子PDが受光した光に基づき発生された光起電力に相当する電荷を保持する。第2の容量素子SC2の容量値は、容量値 C_{diode} である。本発明の一実施形態に係る固体撮像装置100は、第2の容量素子SC2を有することで、第1の駆動電圧 V_{PP1} に相当する電荷の放電を抑制し、画素502のリセット状態または初期化状態を維持することができる。また、本発明の一実施形態に係る固体撮像装置100は、第2の容量素子SC2を有することで、光起電力に相当する電荷の放電を抑制し、画素502の露光状態を維持することができる。その結果、本発明の一実施形態に係る固体撮像装置100は、リセット状態または初期化状態、露光状態における各電圧を一定に保つことができるため、より偽造品の製造を抑制可能なPUF-1D

を安定して生成し、かつ、被写体の撮像データを安定して生成し、偽造を抑制可能なPUF-IDを備える撮像データを安定して生成することができる。

[0035] リセットトランジスタM r s tのゲート電極（第1の電極）は、リセット信号線4 1 2に電氣的に接続される。リセット信号線4 1 2には、リセット信号R G（n）が供給される。リセットトランジスタM r s tは、リセット信号線4 1 2に供給される信号によって、導通状態、非導通状態が制御される。リセット信号線4 1 2に供給される信号がハイ（H i g h、H）レベルのとき、リセットトランジスタM r s tは、導通状態となる。リセット信号線4 1 2に供給される信号がロー（L o w、L）レベルのとき、リセットトランジスタM r s tは、非導通状態となる。リセットトランジスタM r s tのソース電極（第2電極）は、第1の駆動電源線4 1 4に電氣的に接続する。第1の駆動電源線4 1 4には、第1の駆動電圧V P P 1が供給される。リセットトランジスタM r s tのドレイン電極（第3電極）は、ノードn o d e Aに接続する。なお、本発明の一実施形態では、ハイレベルは第1の駆動電圧V P P 1でもよく、第2の駆動電圧V P P 2でもよく、ローレベルは基準電圧V S Sでもよく、コモン電圧でもよい。

[0036] 選択トランジスタM s wのゲート電極（第1の電極）は、走査信号線4 1 0に電氣的に接続される。走査信号線4 1 0には、走査信号S G（n）が供給される。選択トランジスタM s wは、走査信号S G（n）に供給される信号によって、導通状態、非導通状態が制御される。走査信号S G（n）に供給される信号がハイレベルのとき、選択トランジスタM s wは、導通状態となる。走査信号S G（n）に供給される信号がローレベルのとき、選択トランジスタM s wは、非導通状態となる。選択トランジスタM s wのソース電極（第2の電極）は、読み出し信号線4 2 0及び負荷トランジスタM c cのドレイン電極（第3の電極）に電氣的に接続される。読み出し信号線4 2 0には、出力信号O U T（n）が供給される。

[0037] 負荷トランジスタM c cのゲート電極（第1の電極）は、バイアス電圧供

給線 4 1 8 に電氣的に接続される。バイアス電圧供給線 4 1 8 には、バイアス電圧供給信号 V B が供給される。負荷トランジスタ M c c は、バイアス電圧供給信号 V B に供給される電圧によって、導通状態、非導通状態が制御される。バイアス電圧供給信号 V B に供給される電圧がバイアス電圧 V b i a s のとき、負荷トランジスタ M c c は導通状態となり、負荷トランジスタ M c c は定電流を流す。バイアス電圧供給信号 V B に供給される電圧がローレベルのとき、負荷トランジスタ M c c は非導通状態となる。負荷トランジスタ M c c のソース電極（第 2 の電極）は、基準電位線 4 2 4 に電氣的に接続する。

[0038] 光電変換素子 P D の第 1 の電極はノード n o d e A に電氣的に接続し、光電変換素子 P D の第 2 の電極はコモン電極 4 2 2 に電氣的に接続する。コモン電極 4 2 2 には、コモン電位線 V C O M からコモン電圧が供給される。

[0039] 第 1 の容量素子 S C 1 の第 1 の電極はリセットトランジスタ M r s t のゲート電極（第 1 の電極）に電氣的に接続される。第 1 の容量素子 S C 1 の第 2 の電極はリセットトランジスタ M r s t のドレイン電極（第 3 電極）及びノード n o d e A に電氣的に接続される。第 2 の容量素子 S C 2 の第 1 の電極はノード n o d e A に電氣的に接続される。第 2 の容量素子 S C 2 の第 2 の電極はコモン電極 4 2 2 に電氣的に接続される。

[0040] 第 3 の容量素子 S C 3 の第 1 の電極は駆動トランジスタ M s f のゲート電極 6 2 0 （第 1 の電極 6 2 0 ）及びノード n o d e A に電氣的に接続される。第 3 の容量素子 S C 3 の第 2 の電極は駆動トランジスタ M s f のドレイン電極 6 3 0 （第 3 の電極 6 3 0 ）及び第 2 の駆動電源線 4 2 8 に電氣的に接続される。第 2 の駆動電源線 4 2 8 には、第 2 の駆動電圧 V P P 2 が供給される。第 4 の容量素子 S C 4 の第 1 の電極は駆動トランジスタ M s f のゲート電極 6 2 0 （第 1 の電極 6 2 0 ）及びノード n o d e A に電氣的に接続する。第 4 の容量素子 S C 4 の第 2 の電極は駆動トランジスタ M s f のソース電極 6 1 0 （第 2 の電極 6 1 0 ）に電氣的に接続される。

[0041] 本発明の一実施形態では、導通状態とは、トランジスタのソース電極とド

レイン電極とが導通し、トランジスタがオン（ON）の状態を示すものとする。また、本発明の一実施形態において、非導通状態とは、トランジスタのソース電極とドレイン電極とが非導通となり、トランジスタがオフ（OFF）の状態を示すものとする。なお、各トランジスタにおいて、ソース電極とドレイン電極とは、各電極の電圧によって、入れ替わる場合がある。また、トランジスタがオフの状態であっても、リーク電流などのように、わずかに電流が流れることは、当業者であれば容易に理解できることである。

[0042] 本発明の一実施形態では、各トランジスタは、チャンネル領域にシリコンやゲルマニウムなどの14族元素を有する。また、各トランジスタは、チャンネル領域に半導体特性を有する酸化物を有してもよい。例えば、各トランジスタのチャンネル領域は、低温ポリシリコン（LTPS）を有してもよく、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、及び酸素（O）を含む酸化物半導体を有してもよい。本発明の一実施形態に係る固体撮像装置100は、用途や仕様に応じて、適宜、トランジスタの構成、保持容量の接続、電源の電圧などを適合させるとよい。

[0043] 本発明の一実施形態では、一部のトランジスタは隣接する複数の画素間で共有されてもよい。例えば、リセットトランジスタMrstは各行に1つ設けられてよく、各行に1つ行選択回路400内に設けられてもよく、複数の行に1つ設けられてもよく、複数の行に1つ行選択回路400内に設けられてもよい。

[0044] <1-3. 固体撮像装置100の駆動方法>

図4は、本発明の一実施形態に係る固体撮像装置100のタイミングチャートを示す模式的な図である。図5～図8は、図4に示すタイミングにおける画素502の動作状態を示す模式的な図である。図4～図8に示す駆動方法は、本発明の一実施形態に係る固体撮像装置100の駆動方法の一例であって、固体撮像装置100の駆動方法は、図4～図8に示す駆動方法に限定されない。図1～図3と同一、又は類似する構成については、ここでの説明を省略する。

[0045] 例えば、行選択回路400は、1行目の複数の画素502から最終行の複数の画素502までの各画素を行毎に選択する。選択された行毎に、各画素502が受光した光が各画素に対応する光電変換素子PDによってアナログ信号（光起電力）に変換される。行毎に光電変換された各アナログ信号が、各画素から出力される。読み出し回路600に含まれるAD変換器は、行毎に出力されたアナログ信号をデジタル信号に変換する。読み出し回路600に含まれる水平転送走査回路は、行毎に変換されたデジタル信号を、行毎に信号処理回路700に送信する。信号処理回路700に含まれるPUF-ID抽出回路710は、行毎に変換されたデジタル信号を受信し、行毎に変換されたデジタル信号を用いて固体撮像装置100に固有のPUF-IDを生成する。また、信号処理回路700に含まれる画像処理回路720は、行毎に変換されたデジタル信号を受信し、行毎に変換されたデジタル信号を用いて被写体の撮像データを生成する。さらに、信号処理回路700は、固体撮像装置100に固有のPUF-IDのデータと被写体の撮像データとを合成し、偽造を抑制可能なPUF-IDを備える撮像データを生成する。

[0046] ここでは、 n 行目の走査信号線410に電氣的に接続する複数の画素502を駆動するため固体撮像装置100の駆動方法を説明する。図4に示すように、固体撮像装置100の駆動方法は、リセット期間、露光期間、撮像データ取得期間、及びブランク期間を含む。図4は、一例として、 n 行目の走査信号線410に電氣的に接続する複数の画素502を駆動するためのタイミングチャートを示す。図5～図8は、 n 行目 m 列目の画素502の動作状態を示す。図4に示す駆動方法では、1行目の複数の画素502から最終行の複数の画素502までの駆動が繰り返し実行され、行毎に変換されたデジタル信号が信号処理回路700で処理される。すなわち、図4に示す駆動方法が、複数の画素502のそれぞれにおいて、繰り返し実行され、行毎に変換されたデジタル信号が信号処理回路700で処理される。信号処理回路700は、固体撮像装置100に固有のPUF-IDのデータと被写体の撮像データとを生成し、固体撮像装置100に固有のPUF-IDのデータと被写

体の撮像データとを用いて、偽造を抑制可能なPUF-IDを備える撮像データを生成することができる。

[0047] <1-3-1. リセット期間>

リセット期間は、画素502のノードnode Aをリセットし、画素502をリセット状態または初期化状態にする期間である。図4に示すように、リセット期間は、第1の期間T1及び第2の期間T2を有する。第1の期間T1は、第1の電圧V(t1)を取得する期間である。第1の電圧V(t1)は、ノードnode Aの電圧に対応する出力信号OUT(n)である。第2の期間T2は、第2の電圧V(t2)を取得する期間である。第2の電圧V(t2)は、ノードnode Aの電圧の電圧降下に対応する出力信号OUT(n)である。本発明の一実施形態では、第1の期間T1における画素502の状態は第1のリセット状態または第1の初期化状態と呼ばれ、第2の期間T2における画素502の状態は第2のリセット状態または第2の初期化状態と呼ばれることがある。また、リセット期間における、第1のリセット状態または第1の初期化状態、第2のリセット状態または第2の初期化状態を、リセット状態または初期化状態と呼ぶことがある。また、詳細は後述するが、リセット期間は、第1の期間T1において第1の電圧V(t1)を取得し、第2の期間T2において、第2の電圧V(t2)を取得する期間でもある。

[0048] はじめに、図4及び図5を用いて、第1の期間T1における駆動方法を説明する。図4に示すように、時刻t11において、リセット信号RG(n)はローレベルからハイレベルに変化し、リセット信号RG(n)にはハイレベルが供給される。また、時刻t11において、選択信号SG(n)はローレベルからハイレベルに変化し、選択信号SG(n)にはハイレベルが供給される。図示は省略するが、固体撮像装置100が駆動を開始すると、バイアス電圧供給信号VBは、ローレベルまたは基準電圧VSSからバイアス電圧Vbiasに変化し、バイアス電圧供給信号VBには、バイアス電圧Vbiasが供給される。リセットトランジスタMrstが導通状態となると、

ノード $node A$ には、第1の駆動電源線414から第1の駆動電圧 V_{PP1} が供給される。その結果、ノード $node A$ の電圧は、時刻 t_{11} におけるローレベルから徐々に増加し、時刻 t_1 では第1の駆動電圧 V_{PP1} となる。すなわち、リセットトランジスタ M_{rst} が導通状態となると、リセットトランジスタ M_{rst} は、第1の駆動電源線414からノード $node A$ (駆動トランジスタ M_{sf} のゲート電極620) に、第1の駆動電圧 V_{PP1} を供給する。本発明の一実施形態において、第1の駆動電源線 P_{VDD1} 及び第1の駆動電源線414はリセット電圧線と呼ばれることがあり、第1の駆動電圧 V_{PP1} はリセット電圧と呼ぶことがある。

[0049] よって、図5に示すように、リセットトランジスタ M_{rst} 、選択トランジスタ M_{sw} 、及び負荷トランジスタ M_{cc} は導通状態である。

[0050] ここで、固体撮像装置100が駆動を開始すると、駆動トランジスタ M_{sf} の第2の電極610には基準電位線 P_{VSS} から基準電圧 V_{SS} が供給され、駆動トランジスタ M_{sf} の第3の電極630には第2の駆動電源線428から第2の駆動電圧 V_{PP2} が供給される。図5に示すように、駆動トランジスタ M_{sf} のゲート電極620 (第1の電極620) と駆動トランジスタ M_{sf} の第2の電極610との間には、 $V_{PP1} - V_{SS}$ に相当する電圧が印加され、駆動トランジスタ M_{sf} の第3の電極630と駆動トランジスタ M_{sf} の第2の電極610との間には、 $V_{PP2} - V_{SS}$ に相当する電圧が印加される。したがって、駆動トランジスタ M_{sf} は導通状態となり、ソースフォロア121は、第2の駆動電源線 P_{VDD2} から基準電位線 P_{VSS} に電流を流す。その後、ソースフォロア121は、駆動トランジスタ M_{sf} のゲート電極620 (第1の電極620) と駆動トランジスタ M_{sf} の第2の電極610との間に、駆動トランジスタ M_{sf} の閾値電圧 $V_{th}(M_{sf})$ 相当の電圧を供給する。すなわち、電圧 $V_{PP1} - V_{th}(M_{sf})$ が駆動トランジスタ M_{sf} の第2の電極610に、供給される。その結果、画素502 (ソースフォロア121) は、駆動トランジスタ M_{sf} の第2の電極610に供給された電圧 $V_{PP1} - V_{th}(M_{sf})$ に対応した出力信号

OUT (n) を出力する。

[0051] 図5に示すように、出力信号OUT (n) には、第2の駆動電源線428から第2の駆動電圧VPP2が供給される。その結果、出力信号OUT (n) の電圧は、時刻t11におけるローレベルから徐々に増加し、時刻t1では第1の電圧V (t1) となる。第1の電圧V (t1) は、読み出し信号線420に供給される。読み出し回路600は、読み出し信号線420に供給された第1の電圧V (t1) を読み出す。また、読み出し回路600は第1の電圧V (t1) をデジタル信号に変換し、当該デジタル信号を信号処理回路700に送信してもよく、信号処理回路700は第1の電圧V (t1) のデジタル信号を受信してもよい。以上説明したように、本発明の一実施形態に係る固体撮像装置100の駆動方法において、第1の期間T1は、第1の電圧V (t1) を取得する期間である。

[0052] 次に、図4及び図6を用いて、第2の期間T2における駆動方法を説明する。図4に示すように、時刻t21において、リセット信号RG (n) はハイレベルからローレベルに変化し、リセット信号RG (n) にはローレベルが供給される。また、時刻t21において、選択信号SG (n) はハイレベルを維持する。図示は省略するが、バイアス電圧供給信号VBはバイアス電圧Vbiasを維持する。

[0053] よって、図6に示すように、リセットトランジスタMrstは非導通状態となり、選択トランジスタMsw、及び負荷トランジスタMccは導通状態を維持する。

[0054] 図6に示すように、リセットトランジスタMrstが導通状態から非導通状態になることに伴い、ノードnodeAには、第1の駆動電源線414から第1の駆動電圧VPP1が供給されなくなる。すなわち、リセットトランジスタMrstが非導通状態となると、リセットトランジスタMrstは、第1の駆動電源線414からノードnodeA（駆動トランジスタMsfのゲート電極620）に、第1の駆動電圧VPP1の供給を停止する。また、図4及び図6に示すように、リセットトランジスタMrstが導通状態から

非導通状態になることに伴い、例えば、リセットトランジスタ M_{rst} とノード $node\ A$ との間に設けられた第1の容量素子 $SC\ 1$ 、第2の容量素子 $SC\ 2$ 、第3の容量素子 $SC\ 3$ 及び第4の容量素子 $SC\ 4$ によって、ノード $node\ A$ の電圧が低下する。すなわち、ノード $node\ A$ の電圧は、時刻 $t\ 2\ 1$ における第1の駆動電圧 $V_{PP\ 1}$ から徐々に減少し、電圧 V_m になる。

[0055] ここで、駆動トランジスタ M_{sf} のゲート電極620（第1の電極620）と駆動トランジスタ M_{sf} の第2の電極610との間には、駆動トランジスタ M_{sf} の閾値電圧 $V_{th}\ (M_{sf})$ 相当の電圧が供給されている。すなわち、 $V_m - V_{th}\ (M_{sf})$ に相当する電圧が駆動トランジスタ M_{sf} の第2の電極610に、供給される。その結果、画素502（ソースフォロア121）は、駆動トランジスタ M_{sf} の第2の電極610に供給された電圧 $V_m - V_{th}\ (M_{sf})$ に対応した出力信号 $OUT\ (n)$ を出力する。

[0056] 図6に示すように、出力信号 $OUT\ (n)$ には、第2の駆動電源線428から第2の駆動電圧 $V_{PP\ 2}$ が供給される。その結果、出力信号 $OUT\ (n)$ の電圧は、時刻 $t\ 2\ 1$ におけるローレベルから徐々に減少し、時刻 $t\ 2$ では第2の電圧 $V\ (t\ 2)$ となる。第2の電圧 $V\ (t\ 2)$ は、読み出し信号線420に供給される。読み出し回路600は、読み出し信号線420に供給された第2の電圧 $V\ (t\ 2)$ を読み出す。また、読み出し回路600は第2の電圧 $V\ (t\ 2)$ をデジタル信号に変換し、当該デジタル信号を信号処理回路700に送信してもよく、信号処理回路700は第2の電圧 $V\ (t\ 2)$ のデジタル信号を受信してもよい。以上説明したように、本発明の一実施形態に係る固体撮像装置100の駆動方法において、第2の期間 $T\ 2$ は、第2の電圧 $V\ (t\ 2)$ を取得する期間である。

[0057] リセット期間においては、ノード $node\ A$ には、電圧 V_m が供給され、ノード $node\ A$ の電圧は電圧 V_m に維持される。その結果、画素502は、リセットまたは初期化され、画素502の状態は、第2のリセット状態または第2の初期化状態となる。

[0058] 例えば、リセット期間の時刻 t_2 と時刻 t_{31} の間で、信号処理回路 700 は、第 1 の電圧 $V(t_1)$ のデジタル信号と第 2 の電圧 $V(t_2)$ のデジタル信号とを用いて、第 1 の電圧 $V(t_1)$ から第 2 の電圧 $V(t_2)$ を減算した電圧 ($V(t_1) - V(t_2)$) を生成してもよい。第 2 の電圧 $V(t_2)$ は第 1 の電圧 $V(t_1)$ よりも小さく、第 1 の電圧 $V(t_1)$ と第 2 の電圧 $V(t_2)$ の差が、電圧 ($V(t_1) - V(t_2)$) である。

[0059] ここで、第 1 の電圧 $V(t_1)$ から第 2 の電圧 $V(t_2)$ を減算した電圧 ($V(t_1) - V(t_2)$) は、リセットトランジスタ M_{rst} のゲート電極の電圧が変化した瞬間に、リセットトランジスタ M_{rst} のゲート電極と第 1 の容量素子 SC_1 とのカップリングによってリセットトランジスタ M_{rst} のドレイン電極の電圧（すなわちノード $node A$ の電圧）が瞬間的に変化する、所謂フィードスルーに伴う電圧の変化分である。本発明の一実施形態では、 $V(t_1) - V(t_2)$ をフィードスルー電圧と呼ぶ。フィードスルー電圧は以下に示す数式 1 となる。 ΔV_g は、リセットトランジスタ M_{rst} のゲート電極の電圧の変化量である。信号処理回路 700 に含まれる $PUF-ID$ 抽出回路 710 は、フィードスルー電圧を用いて、固体撮像装置 100 に固有の $PUF-ID$ データを生成する。 $PUF-ID$ データは、リセット期間で生成されてもよい。

[0060] [数1]

$$V(t_1) - V(t_2) = \Delta V_g \times \frac{C_{gs}(M_{rst})}{C_{diode} + C_{gs}(M_{rst}) + C_{gd}(M_{sf}) + C_{gs}(M_{sf})} \cdots (1)$$

[0061] <1-3-2. 露光期間>

露光期間は、画素 502 を露光状態にする期間である。すなわち、露光期間は、固体撮像装置 100 が画素 502 の露光に伴い光電変換素子 PD が受光した光に基づき発生された光起電力を用いてソースフォロア 121 に流す電流を調整する期間である。図 4 に示すように、露光期間は、第 3 の期間 T_3 を有する。

[0062] 図 4 及び図 7 を用いて、第 3 の期間 T_3 における駆動方法を説明する。図

4に示すように、時刻 t_{31} から時刻 t_{41} の間、リセット信号 $RG(n)$ はローレベルを維持する。また、時刻 t_{31} において、選択信号 $SG(n)$ はハイレベルからローレベルに変化し、選択信号 $SG(n)$ にはローレベルが供給される。選択信号 $SG(n)$ は、時刻 t_{41} まで、ローレベルを維持する。図示は省略するが、時刻 t_{31} から時刻 t_{41} の間、バイアス電圧供給信号 VB はバイアス電圧 V_{bias} を維持する。

[0063] よって、図7に示すように、時刻 t_{31} から時刻 t_{41} の間、リセットトランジスタ M_{rst} 、及び選択トランジスタ M_{sw} は非導通状態であり、負荷トランジスタ M_{cc} は導通状態である。

[0064] 画素502の露光に伴い、光電変換素子 PD が受光した光に基づき光起電力を発生する。その結果、時刻 t_{31} から時刻 t_{41} の間、電流がノード $node A$ からコモン電極422に向かって流れ、ノード $node A$ の電圧は、電圧 V_m から徐々に減少する。また、時刻 t_{31} から時刻 t_{41} の間、選択トランジスタ M_{sw} は非導通状態であり、負荷トランジスタ M_{cc} は導通状態であるため、電流が読み出し信号線420から基準電位線 $PVSS$ に向かって流れ、出力信号 $OUT(n)$ の電圧は基準電圧 VSS になる。

[0065] <1-3-3. 撮像データ取得期間>

撮像データ取得期間は、画素502を撮像データ取得可能状態にし、被写体の撮像データを取得する期間である。詳細は後述するが、撮像データは第2の電圧 $V(t_2)$ 及び第3の電圧 $V(t_3)$ を用いて生成する。図4に示すように、撮像データ取得期間は、第4の期間 T_4 を有する。

[0066] 図4及び図8を用いて、第4の期間 T_4 における駆動方法を説明する。図4に示すように、時刻 t_{41} から時刻 t_{51} の間、リセット信号 $RG(n)$ はローレベルを維持する。また、時刻 t_{41} において、選択信号 $SG(n)$ はローレベルからハイレベルに変化し、選択信号 $SG(n)$ にはハイレベルが供給される。選択信号 $SG(n)$ は、時刻 t_{51} まで、ハイレベルを維持する。図示は省略するが、時刻 t_{41} から時刻 t_{51} の間、バイアス電圧供給信号 VB はバイアス電圧 V_{bias} を維持する。

[0067] よって、図8に示すように、時刻 t_{41} から時刻 t_{51} の間、リセットトランジスタ M_{rst} は非導通状態であり、選択トランジスタ M_{sw} 、及び負荷トランジスタ M_{cc} は導通状態である。

[0068] 時刻 t_{41} から時刻 t_{51} の間も、画素502は、露光に伴い、光電変換素子PDの受光した光に基づき光起電力を発生する。その結果、時刻 t_{31} から続いて、時刻 t_{41} から時刻 t_{51} の間も、電流がノード $nodeA$ からコモン電極422に向かって流れ続け、ノード $nodeA$ の電圧は徐々に減少する。また、時刻 t_{41} から時刻 t_{51} の間、選択トランジスタ M_{sw} 、及び負荷トランジスタ M_{cc} は導通状態であるため、ソースフォロア121は、第2の駆動電源線PVD2から基準電位線PVSSに電流を流す。その結果、画素502は、駆動トランジスタ M_{sf} のゲート電極620（第1の電極620）に供給された電圧に対応した出力信号OUT（n）を出力する。

[0069] 図4に示すように、ノード $nodeA$ の電圧は徐々に減少し、時刻 t_3 では電圧 V_n となる。また、出力信号OUT（n）の電圧は、時刻 t_{41} における基準電圧VSSから徐々に増加する。時刻 t_3 では、出力信号OUT（n）の電圧は、ノード $nodeA$ の電圧 V_n に対応した第3の電圧 $V(t_3)$ となる。第3の電圧 $V(t_3)$ は、読み出し信号線420に供給される。読み出し回路600は、読み出し信号線420に供給された第3の電圧 $V(t_3)$ を読み出す。また、読み出し回路600は第3の電圧 $V(t_3)$ をデジタル信号に変換し、当該デジタル信号を信号処理回路700に送信してもよく、信号処理回路700は第3の電圧 $V(t_3)$ のデジタル信号を受信してもよい。以上説明したように、本発明の一実施形態に係る固体撮像装置100の駆動方法において、第4の期間 T_4 は、第3の電圧 $V(t_3)$ を取得する期間でもある。

[0070] 例えば、撮像データ取得期間の時刻 t_3 と時刻 t_{51} の間で、信号処理回路700は、第2の電圧 $V(t_2)$ のデジタル信号と第3の電圧 $V(t_3)$ のデジタル信号とを用いて、第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$

）を減算したデータ（ $V(t_2) - V(t_3)$ ）を生成してもよい。信号処理回路700に含まれる画像処理回路720は、第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算したデータ（ $V(t_2) - V(t_3)$ ）を用いて、被写体の撮像データを生成する。第3の電圧 $V(t_2)$ は第2の電圧 $V(t_2)$ よりも小さく、第2の電圧 $V(t_2)$ と第3の電圧 $V(t_3)$ との差が、電圧（ $V(t_2) - V(t_3)$ ）である。被写体の撮像データは、撮像データ取得期間で生成されてもよい。

[0071] ＜1-3-4. ブランク期間＞

ブランク期間では、例えば、信号処理回路700に含まれるPUF-ID抽出回路710が、行毎に変換されたフィードスルー電圧に対応するデジタル信号を用いて、固体撮像装置100に固有のPUF-IDデータを生成する。また、ブランク期間では、例えば、信号処理回路700に含まれる画像処理回路720は、行毎に変換された第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算したデータ（ $V(t_2) - V(t_3)$ ）のデジタル信号を用いて被写体の撮像データを生成する。さらに、ブランク期間では、例えば、信号処理回路700は、固体撮像装置100に固有のPUF-IDデータと被写体の撮像データとを合成し、偽造を抑制可能なPUF-IDデータを備える撮像データを生成する。図4に示すように、ブランク期間は、第5の期間 T_5 を有する。また、ブランク期間では、例えば、画素502は露光状態と同様の状態である。

[0072] 図4を用いて、第5の期間 T_5 における駆動方法を説明する。図4に示すように、時刻 t_{51} から時刻 t_{61} の間、リセット信号 $RG(n)$ はローレベルを維持する。また、時刻 t_{51} において、選択信号 $SG(n)$ はハイレベルからローレベルに変化し、選択信号 $SG(n)$ にはローレベルが供給される。選択信号 $SG(n)$ は、時刻 t_{61} まで、ローレベルを維持する。図示は省略するが、時刻 t_{51} から時刻 t_{61} の間、バイアス電圧供給信号 V_B はバイアス電圧 V_{bias} を維持する。

[0073] よって、時刻 t_{51} から時刻 t_{61} の間においても、露光期間と同様に光

電変換素子PDは受光を継続し、電流がノードnode Aからコモン電極422に向かって流れ、ノードnode Aの電圧は徐々に減少し続ける。また、時刻t51から時刻t61の間、選択トランジスタMswは非導通状態であり、負荷トランジスタMccは導通状態であるため、電流が読み出し信号線420から基準電位線PVSSに向かって流れ、出力信号OUT(n)の電圧は基準電圧VSSになる。

[0074] 本発明の一実施形態に係る固体撮像装置100の駆動方法では、例えば、画素502の座標を入力信号（チャレンジ）とし、複数の画素502のチャレンジに対応するフィードスルー電圧のデータを抽出し、複数のフィードスルー電圧のデータを用いてPUF-IDデータ（レスポンス）を生成する。また、本発明の一実施形態に係る固体撮像装置100の駆動方法では、第2の電圧V(t2)から第3の電圧V(t3)を減算したデータ(V(t2)-V(t3))を用いて、被写体の撮像データを生成する。PUF-IDデータ（レスポンス）を生成したのち、被写体の撮像データを生成してもよく、被写体の撮像データを生成したのち、PUF-IDデータ（レスポンス）を生成してもよい。本発明の一実施形態に係る固体撮像装置100の駆動方法では、PUF-IDデータと被写体の撮像データを合成し、PUF-IDデータを備える撮像データを生成する。

[0075] 本発明の一実施形態に係る固体撮像装置100の駆動方法を用いることで、固体撮像装置100の画素502のフィードスルー電圧に基づく固有のPUF-IDデータ、及び固体撮像装置100で撮像した被写体の撮像データの2つのデータを、一連の駆動の中で取得することができる。また、本発明の一実施形態に係る固体撮像装置100の駆動方法を用いることで、フィードスルー電圧に基づく固有のPUF-IDデータと固体撮像装置100で撮像した被写体の撮像データを合成することができる。固有のPUF-IDデータは、固体撮像装置100に固有のIDデータであるから、本発明の一実施形態に係る固体撮像装置100の駆動方法を用いることで、一連の駆動の中で取得したPUF-IDデータ及び撮像データを用いて、撮像データがこ

の固体撮像装置 100 を用いて撮像されたデータであるという証明を行うことができ、併せて撮像データの模倣を防止し、ひいては模倣品、海賊版、又は偽造品の製造を抑制することができる。

[0076] また、光電変換素子 PD が光起電力または電流（明電流又は暗電流）を用いて生成する固有の ID は、明所、暗所、気温などの環境に応じて、変化する可能性があるため、固有の ID として使用することは困難である。一方、本発明の一実施形態に係る固体撮像装置 100 の駆動方法では、画素 502 が露光状態、すなわち、光電変換素子 PD が光を受光する露光期間におけるデータを用いて PUF-ID データを生成するのではなく、画素 502 がリセット状態におけるフィードスルー電圧を用いて PUF-ID データを生成する。その結果、固体撮像装置 100 は、光の影響を抑制された PUF-ID データを生成することができる。したがって、本発明の一実施形態に係る固体撮像装置 100 の駆動方法を用いることで、一連の駆動の中で取得した PUF-ID データ及び撮像データを用いて、環境の影響を受けにくく、さらに、撮像データがこの固体撮像装置 100 を用いて撮像されたデータであるという証明を行うことができ、併せて撮像データの模倣を防止し、ひいては模倣品、海賊版、又は偽造品の製造を抑制することができる。

[0077] <2. 第2実施形態>

<2-1. 固体撮像装置 100B の構成>

図9は、本発明の一実施形態に係る固体撮像装置 100B の構成を示す模式的な平面図である。本発明の一実施形態に係る固体撮像装置 100B の構成は、固体撮像装置 100 の構成に、転送信号 TX (n) を加えた構成である。よって、第2実施形態では、主に転送信号 TX (n) に関連する構成を説明する。本発明の一実施形態に係る固体撮像装置 100B の構成は、図9に示された構成に限定されない。第1実施形態と同一、又は類似する構成については、ここでの説明を省略する。

[0078] 図9に示すように、行選択回路 400B は、行選択回路 400 の構成に、さらに、画素部 504 内の n 行目に位置する複数の画素 502（画素回路 1

20)のそれぞれに、共通に、転送信号TX(n)を供給する。

[0079] <2-2. 画素502の構成>

図10は、本発明の一実施形態に係る画素回路120Bを示す回路図である。複数の画素502のそれぞれは、画素回路120Bを構成する複数のトランジスタと、容量素子と、光電変換素子とを有する。図10は、図9に示したn行m列の画素502の、画素回路120Bを構成する構成要素を示す。画素回路120Bの構成は、固体撮像装置100の構成に、転送信号TX(n)と転送トランジスタMt rgと第5の容量素子SC5とを加えた構成である。よって、ここでは、主に転送信号TX(n)と転送トランジスタMt rgと第5の容量素子SC5に関連する構成を説明する。図10に示す画素回路120Bの構成は一例であって、画素回路120Bの構成は、図10に示す構成に限定されない。第1実施形態と同一、又は類似する構成については、ここでの説明を省略する。

[0080] 図10に示すように、画素回路120Bは、画素回路120の構成に加えて、例えば、転送トランジスタMt rg(第5のスイッチ)を有する。転送トランジスタMt rg(第5のスイッチ)も、他のトランジスタと同様に、ゲート電極(第1の電極)、ソース電極及びドレイン電極からなる一対の電極(第2の電極及び第3の電極からなる一対の電極)を有する。ソース電極及びドレイン電極に印加される電圧によって、各々の電極のソースとしての機能とドレインとしての機能とが入れ替わってもよい。

[0081] 転送トランジスタMt rgは、転送信号TX(n)に基づき、ノードnode Aと光電変換素子PDの第1の電極との接続、非接続を選択する。その結果、転送トランジスタMt rgは、画素502の露光に伴い光電変換素子PDが受光した光に基づき発生された光起電力を用いてノードnode Aの電圧を調整する。本発明の一実施形態において、光電変換素子PDが受光した光に基づき発生された光起電力は、光電変換素子の露光により生成される電圧と言い換えてもよい。

[0082] 転送トランジスタMt rgのゲート電極(第1の電極)は、転送信号線4

16に電氣的に接続する。転送信号線416には、転送信号TX(n)が供給される。転送トランジスタMt rgは、転送信号線416に供給される信号によって、導通状態、非導通状態が制御される。転送信号線416に供給される信号がハイレベルのとき、転送トランジスタMt rgは、導通状態となる。転送信号線416に供給される信号がローレベルのとき、転送トランジスタMt rgは、非導通状態となる。転送トランジスタMt rgのソース電極(第2電極)は、光電変換素子PDの第1の電極に電氣的に接続する。転送トランジスタMt rgのドレイン電極(第3電極)、及び第5の容量素子の第2の電極は、ノードnode Aに接続する。第5の容量素子の第1の電極は、転送トランジスタMt rgのゲート電極(第1の電極)に接続する。第5の容量素子SC5は、第1の容量素子乃至第4の容量素子と同様に、一对の電極(第1の電極、第2の電極)を有する。また、第5の容量素子SC5は、例えば、ノードnode Aと転送トランジスタMt rgのゲート電極(第1の電極)との間の寄生容量及び付加容量であり、第5の容量素子SC5の容量値は、容量値Cgd(Mt rg)である。第5の容量素子SC5は、ノードnode Aに供給される第1の駆動電圧VPP1に相当する電荷を保持してもよく、光電変換素子PDが受光した光に基づき発生された光起電力に相当する電荷を保持してもよい。

[0083] <2-3. 固体撮像装置100Bの駆動方法>

図11は、本発明の一実施形態に係る固体撮像装置100Bのタイミングチャートを示す模式的な図である。図12～図15は、図11に示すタイミングにおける画素502の動作状態を示す模式的な図である。図11～図15に示す駆動方法は、本発明の一実施形態に係る固体撮像装置100Bの駆動方法の一例であって、固体撮像装置100Bの駆動方法は、図11～図15に示す駆動方法に限定されない。第1実施形態、及び図10と同一、又は類似する構成については、ここでの説明を省略する。

[0084] <2-3-1. リセット期間>

図11～図13に示すように、リセット期間において、転送信号TX(n)

はローレベルが供給される。よって、図12及び図13に示すように、転送トランジスタ M_{trg} は非導通状態である。リセット期間において、転送信号 $TX(n)$ 及び転送トランジスタ M_{trg} に関連する以外の説明は、第1実施形態の説明と同様であるから、ここでは、説明を省略する。

[0085] 第2実施形態に係る固体撮像装置100Bでは、フィードスルー電圧（電圧 $V(t1) - V(t2)$ ）が以下に示す数式2となる。数式2において、 ΔV_g は、リセットトランジスタ M_{rst} のゲート電極の電圧の変化量であり、 $C_{allnodeA}$ は、ノード $nodeA$ に付加される容量の総和である。ノード $nodeA$ に付加される容量の総和は、容量値 $C_{gs}(M_{rst})$ 、容量値 C_{diode} 、容量値 $C_{gd}(M_{sf})$ 、容量値 $C_{gs}(M_{sf})$ 、容量値 $C_{gd}(M_{trg})$ 、転送トランジスタ M_{trg} のノード $nodeA$ 側と光電変換素子PDの第1の電極側との間の容量に対する容量値（図示は省略）、その他の付加容量値及び寄生容量値を含む。

[0086] [数2]

$$V(t1) - V(t2) = \Delta V_g \times \frac{C_{gs}(M_{rst})}{C_{allnodeA}} \cdots (2)$$

[0087] <2-3-2. 露光期間>

第1実施形態と同様に、第2実施形態においても、露光期間は、画素502を露光状態にする期間である。すなわち、露光期間は、固体撮像装置100Bが画素502の露光に伴い光電変換素子PDの受光した光に基づき発生された光起電力を用いてソースフォロア121に流す電流を調整する期間である。図11に示すように、露光期間は、第3の期間 $T3$ を有する。

[0088] 図11及び図14を用いて、第3の期間 $T3$ における駆動方法を説明する。図11に示すように、時刻 $t31$ から時刻 $t41$ の間、リセット信号 $RG(n)$ はローレベルを維持し、選択信号 $SG(n)$ はハイレベルを維持する。また、時刻 $t31$ において、転送信号 $TX(n)$ はローレベルからハイレベルに変化し、転送信号 $TX(n)$ にはハイレベルが供給される。転送信号 $TX(n)$ は、時刻 $t41$ まで、ハイレベルを維持する。図示は省略するが

、時刻 t_{31} から時刻 t_{41} の間、バイアス電圧供給信号 V_B はバイアス電圧 V_{bias} を維持する。

[0089] よって、図 14 に示すように、時刻 t_{31} から時刻 t_{41} の間、リセットトランジスタ M_{rst} は非導通状態であり、選択トランジスタ M_{sw} 、転送トランジスタ M_{trg} 、及び負荷トランジスタ M_{cc} は導通状態である。

[0090] 画素 502 の露光に伴い、光電変換素子 PD は受光した光に基づき光起電力を発生する。その結果、時刻 t_{31} から時刻 t_{41} の間、電流がノード $node A$ からコモン電極 422 に向かって流れ、ノード $node A$ の電圧は、時刻 t_{31} における電圧 V_m から、時刻 t_{41} における電圧 V_n に徐々に減少する。すなわち、転送トランジスタ M_{trg} は、光電変換素子の露光により生成される電圧をノード $node A$ （駆動トランジスタ M_{sf} のゲート電極 620）に供給する。また、時刻 t_{31} から時刻 t_{41} の間、選択トランジスタ M_{sw} 及び負荷トランジスタ M_{cc} は導通状態であるため、ソースフォロア 121 は、第 2 の駆動電源線 $PVDD2$ から基準電位線 $PVSS$ に電流を流す。その結果、画素 502 は、駆動トランジスタ M_{sf} のゲート電極 620（第 1 の電極 620）に供給された電圧に対応した出力信号 $OUT(n)$ を出力する。

[0091] 図 11 に示すように、ノード $node A$ の電圧の減少に追従するように、出力信号 $OUT(n)$ の電圧は、時刻 t_{31} における第 2 の電圧 $V(t_2)$ から、時刻 t_{41} におけるノード $node A$ の電圧 V_n に対応した第 3 の電圧 $V(t_3)$ となる。第 3 の電圧 $V(t_3)$ は、読み出し信号線 420 に供給される。すなわち、出力信号 $OUT(n)$ の電圧は、ノード $node A$ の電圧 V_n に対応した第 3 の電圧 $V(t_3)$ となる。

[0092] <2-3-3. 撮像データ取得期間>

第 1 実施形態と同様に、第 2 実施形態においても、撮像データ取得期間は、画素 502 を撮像データ取得可能状態にし、被写体の撮像データを取得する期間である。詳細は後述するが、撮像データは第 2 の電圧 $V(t_2)$ 及び第 3 の電圧 $V(t_3)$ を用いて生成する。図 11 に示すように、撮像データ取

得期間は、第4の期間T4を有する。

[0093] 図11及び図15を用いて、第4の期間T4における駆動方法を説明する。図11に示すように、時刻t41から時刻t51の間、リセット信号RG(n)はローレベルを維持し、選択信号SG(n)はハイレベルを維持する。また、時刻t41において、転送信号TX(n)はハイレベルからローレベルに変化し、転送信号TX(n)にはローレベルが供給される。転送信号TX(n)は、時刻t41まで、ローレベルを維持する。図示は省略するが、時刻t41から時刻t51の間、バイアス電圧供給信号VBはバイアス電圧Vbiasを維持する。

[0094] よって、図15に示すように、時刻t41から時刻t51の間、リセットトランジスタMrst及び転送トランジスタMtrgは非導通状態であり、選択トランジスタMsw、及び負荷トランジスタMccは導通状態である。

[0095] 時刻t41から時刻t51の間、電流がノードnodeAからコモン電極422に向かって流れないため、ノードnodeAの電圧は電圧Vnを維持する。また、時刻t41から時刻t51の間、選択トランジスタMsw、及び負荷トランジスタMccは導通状態であるため、ソースフォロア121は、第2の駆動電源線PVD2から基準電位線PVSに電流を流し続ける。その結果、画素502は、駆動トランジスタMsfのゲート電極620（第1の電極620）に供給された電圧（ノードnodeAの電圧Vn）に対応した出力信号OUT(n)、すなわち、第3の電圧V(t3)を維持する。

[0096] 第1実施形態と同様に、第2実施形態においても、読み出し回路600は、読み出し信号線420に供給された第3の電圧V(t3)を読み出す。また、読み出し回路600は第3の電圧V(t3)をデジタル信号に変換し、信号処理回路700に送信してもよく、信号処理回路700は第3の電圧V(t3)のデジタル信号を受信してもよい。以上説明したように、本発明の一実施形態に係る固体撮像装置100の駆動方法において、第4の期間T4は、第3の電圧V(t3)を取得する期間でもある。

[0097] 第1実施形態と同様に、第2実施形態においても、例えば、撮像データ取得期間の時刻 t_3 と時刻 t_{51} の間で、信号処理回路700は、第2の電圧 $V(t_2)$ のデジタル信号と第3の電圧 $V(t_3)$ のデジタル信号とを用いて、第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算したデータ ($V(t_2) - V(t_3)$) を生成してもよい。信号処理回路700に含まれる画像処理回路720は、第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算したデータ ($V(t_2) - V(t_3)$) を用いて、被写体の撮像データを生成する。

[0098] <2-3-4. ブランク期間>

第1実施形態と同様に、第2実施形態においても、ブラंक期間では、例えば、信号処理回路700に含まれるPUF-ID抽出回路710が、行毎に変換されたフィードスルー電圧に対応するデジタル信号を用いて、固体撮像装置100に固有のPUF-IDデータを生成する。また、ブラंक期間では、例えば、信号処理回路700に含まれる画像処理回路720は、行毎に変換された第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算したデータ ($V(t_2) - V(t_3)$) のデジタル信号を用いて被写体の撮像データを生成する。さらに、ブラंक期間では、例えば、信号処理回路700は、固体撮像装置100に固有のPUF-IDデータと被写体の撮像データとを合成し、偽造を抑制可能なPUF-IDデータを備える撮像データを生成する。図11に示すように、ブラंक期間は、第5の期間 T_5 を有する。

[0099] 図11を用いて、第5の期間 T_5 における駆動方法を説明する。図11に示すように、時刻 t_{51} から時刻 t_{61} の間、リセット信号 $RG(n)$ 、及び転送信号 $TX(n)$ はローレベルを維持する。また、時刻 t_{51} において、選択信号 $SG(n)$ はハイレベルからローレベルに変化し、選択信号 $SG(n)$ にはローレベルが供給される。選択信号 $SG(n)$ は、時刻 t_{61} まで、ローレベルを維持する。図示は省略するが、時刻 t_{51} から時刻 t_{61} の間、バイアス電圧供給信号 VB はバイアス電圧 V_{bias} を維持する。

[0100] よって、時刻 t_{51} から時刻 t_{61} の間においても、電流がノード nod

e Aからコモン電極422に向かって流れないため、ノードnode Aの電圧は電圧 V_n を維持する。また、時刻 t_{51} から時刻 t_{61} の間、選択トランジスタ M_{sw} は非導通状態であり、負荷トランジスタ M_{cc} は導通状態であるため、電流が読み出し信号線420から基準電位線 P_{VSS} に向かって流れ、出力信号OUT(n)の電圧は基準電圧 V_{SS} になる。

[0101] 本発明の一実施形態に係る固体撮像装置100Bの駆動方法においても、固体撮像装置100の駆動方法と同様に、固体撮像装置100Bは、複数の画素502のチャレンジに対応するフィードスルー電圧のデータを抽出し、複数のフィードスルー電圧のデータを用いてPUF-IDデータ（レスポンス）を生成することができ、第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算したデータ（ $V(t_2) - V(t_3)$ ）を用いて、被写体の撮像データを生成することができる。その結果、本発明の一実施形態に係る固体撮像装置100Bの駆動方法においても、固体撮像装置100の駆動方法と同様に、PUF-IDデータと被写体の撮像データを合成し、PUF-IDデータを備える撮像データを生成することができる。

[0102] 本発明の一実施形態に係る固体撮像装置100Bの駆動方法は、本発明の一実施形態に係る固体撮像装置100の駆動方法と同様の作用効果を得ることができる。

[0103] <2. 第3実施形態>

図16は、本発明の一実施形態に係る固体撮像装置100または100Bの駆動方法を示すフローチャートである。本発明の一実施形態に係る固体撮像装置100または100Bの駆動方法は、図16に示されたフローチャートに限定されない。第1実施形態または第2実施形態と同一、又は類似する構成については、ここでの説明を省略する。

[0104] 図16にすように、例えば、ユーザが固体撮像装置100または100Bを用いて撮像を開始する。駆動タイミング制御回路300がチャレンジを、行選択回路400、読み出し回路600、信号処理回路700に送信する。

[0105] 複数の画素502のそれぞれは、チャレンジ及び各信号を受信すると、ス

テップS 3 1において、複数の画素5 0 2のそれぞれは、第1の電圧 $V(t_1)$ を取得する。すなわち、第1の電圧 $V(t_1)$ を出力信号OUTに供給する。複数の画素5 0 2のそれぞれは、ステップS 3 1を、第1の期間T 1で実行する。また、例えば、読み出し回路6 0 0は、第1の電圧 $V(t_1)$ を受信し、行毎にデジタル信号に変換し、デジタル信号に変換した複数の第1の電圧 $V(t_1)$ を、行毎に信号処理回路7 0 0に送信する。信号処理回路7 0 0は、デジタル信号に変換した複数の第1の電圧 $V(t_1)$ を、例えば、記憶回路に格納する。

[0106] 続いて、ステップS 3 3において、複数の画素5 0 2のそれぞれは、第2の電圧 $V(t_2)$ を取得する。すなわち、第2の電圧 $V(t_2)$ を出力信号OUTに供給する。複数の画素5 0 2のそれぞれは、ステップS 3 3を、第2の期間T 2で実行する。また、例えば、読み出し回路6 0 0は、第2の電圧 $V(t_2)$ を受信し、行毎にデジタル信号に変換し、デジタル信号に変換した複数の第2の電圧 $V(t_2)$ を、行毎に信号処理回路7 0 0に送信する。信号処理回路7 0 0は、デジタル信号に変換した複数の第2の電圧 $V(t_2)$ を、例えば、記憶回路に格納する。

[0107] 続いて、固体撮像装置1 0 0または固体撮像装置1 0 0 Bは、ステップS 3 3とステップS 4 7の間の処理を並列に実行する。すなわち、固体撮像装置1 0 0または固体撮像装置1 0 0 Bは、ステップS 3 7以降の処理とステップ4 1以降の処理とを並列に実行する。ステップS 3 7において、信号処理回路7 0 0が第1の電圧 $V(t_1)$ から第2の電圧 $V(t_2)$ を減算したフィードスルー電圧を算出する。ステップS 4 1において、複数の画素5 0 2のそれぞれが第3の電圧 $V(t_3)$ を取得する。固体撮像装置1 0 0または1 0 0 Bは、ステップS 3 7とステップ4 1を、例えば、第4の期間T 4で実行する。

[0108] ステップS 3 7において、信号処理回路7 0 0は、記憶回路に格納された複数の第1の電圧 $V(t_1)$ と複数の第2の電圧 $V(t_2)$ とを読み出す。また、信号処理回路7 0 0は、複数の第1の電圧 $V(t_1)$ と複数の第2の

電圧 $V(t_2)$ とを用いて、第1の電圧 $V(t_1)$ から第2の電圧 $V(t_2)$ を減算した複数のフィードスルー電圧を算出する。第1の電圧 $V(t_1)$ 、第2の電圧 $V(t_2)$ 、フィードスルー電圧は、デジタル信号である。

[0109] 次に、ステップS39において、信号処理回路700は、複数のフィードスルー電圧を、PUF-ID抽出回路710に送信し、PUF-ID抽出回路710は複数のフィードスルー電圧を用いて、固体撮像装置100または100Bに固有のPUF-IDデータを生成する。

[0110] ステップS41において、複数の画素502のそれぞれは第3の電圧 $V(t_3)$ を取得する。すなわち、複数の画素502のそれぞれは、第3の電圧 $V(t_3)$ を出力信号OUTに供給する。また、例えば、読み出し回路600は、複数の画素502のそれぞれから第3の電圧 $V(t_3)$ を受信し、行毎にデジタル信号に変換し、デジタル信号に変換した複数の第3の電圧 $V(t_3)$ を、行毎に信号処理回路700に送信する。信号処理回路700は、デジタル信号に変換した複数の第3の電圧 $V(t_3)$ を、例えば、記憶回路に格納する。

[0111] ステップS43において、信号処理回路700は、記憶回路に格納された複数の第2の電圧 $V(t_2)$ と複数の第3の電圧 $V(t_3)$ とを読み出す。また、信号処理回路700は、複数の第2の電圧 $V(t_2)$ と複数の第2の電圧 $V(t_3)$ とを用いて、第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算した複数のデータを生成する。第3の電圧 $V(t_3)$ は、デジタル信号である。

[0112] 次に、ステップS45において、信号処理回路700は、生成した第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算した複数のデータを、画像処理回路720に送信する。画像処理回路720は第2の電圧 $V(t_2)$ から第3の電圧 $V(t_3)$ を減算した複数のデータを用いて、撮像データを生成する。

[0113] なお、ステップS39ののちにステップS45を実行してよく、ステップ45ののちにステップ39を実行してよい。

- [0114] 次に、ステップS 4 7において、画像処理回路7 2 0は、生成したP U FーI Dデータと生成した撮像データとを合成するか否かを選択する。固体撮像装置1 0 0または1 0 0 Bは、ステップS 4 7を、例えば、第4の期間T 4で実行してもよく、第5の期間T 5で実行してもよい。
- [0115] 画像処理回路7 2 0は、生成した固体撮像装置1 0 0または1 0 0 Bに固有のP U FーI Dデータと生成した撮像データとを合成すること（Y E S）を選択すると、ステップS 4 9において、画像処理回路7 2 0は、生成した固体撮像装置1 0 0または1 0 0 Bに固有のP U FーI Dデータと生成した撮像データとを合成し、偽造を抑制可能なP U FーI Dデータを備える撮像データを生成する。また、画像処理回路7 2 0は、生成した偽造を抑制可能なP U FーI Dデータを備える撮像データを、例えば、ホスト（図示は省略）または表示装置（図示は省略）に送信する。本発明の一実施形態に係る固体撮像装置1 0 0または1 0 0 Bの駆動方法は終了する。
- [0116] 画像処理回路7 2 0は、生成した固体撮像装置1 0 0または固体撮像装置1 0 0 Bに固有のP U FーI Dデータと生成した撮像データとを合成しないこと（N O）を選択すると、ステップS 5 1において、画像処理回路7 2 0は、生成した固体撮像装置1 0 0または1 0 0 Bに固有のP U FーI Dデータと生成した撮像データとをそれぞれ出力する。画像処理回路7 2 0は、生成した固体撮像装置1 0 0または固体撮像装置1 0 0 Bに固有のP U FーI Dデータを出力したのち、生成した撮像データを出力してもよく、生成した撮像データを出力し、生成した固体撮像装置1 0 0または固体撮像装置1 0 0 Bに固有のP U FーI Dデータを出力してもよい。画像処理回路7 2 0は、生成した固体撮像装置1 0 0または固体撮像装置1 0 0 Bに固有のP U FーI Dデータと生成した撮像データとを、例えば、ホスト（図示は省略）に送信する。本発明の一実施形態に係る固体撮像装置1 0 0または固体撮像装置1 0 0 Bの駆動方法は終了する。
- [0117] 例えば、ホストは、生成した偽造を抑制可能なP U FーI Dデータを備える撮像データ、生成した固体撮像装置1 0 0または固体撮像装置1 0 0 Bに

固有のPUF-IDデータ、または、生成した撮像データを、データストレージに格納する。また、例えば、表示装置は、生成した偽造を抑制可能なPUF-IDデータを備える撮像データを表示する。

[0118] 以上説明したように、本発明の一実施形態に係る固体撮像装置100の駆動方法を用いることで、一連の駆動の中で取得したPUF-IDデータと撮像データを用いて、撮像データがこの固体撮像装置100により撮像されたデータであるという証明を行うことができ、併せて撮像データの模倣を防止し、ひいては模倣品、海賊版、又は偽造品の製造を抑制することができる。

[0119] なお、固体撮像装置100はホスト（図示は省略）と電氣的に接続されてもよい。固体撮像装置100は、例えば、ホストと無線ネットワークを介した双方向通信によって接続されてもよい。ホストは、例えば、無線ネットワークを介して、固体撮像装置100にアプリケーション又はプログラムを提供するコンピュータである。例えば、固体撮像装置100からホストにアプリケーションの提供に関する要求があった場合、ホストはアプリケーションのインストールファイルを固体撮像装置100に提供する。ユーザは、固体撮像装置100にアプリケーションをインストールし、固体撮像装置100にインストールされたアプリケーションを利用することができる。例えば、ホストは、ユーザ又は固体撮像装置100から、撮像データ取得またはPUF-ID取得に関するアプリケーション又はプログラムの提供に関する要求があると、ホストはアプリケーションのインストールファイル又はプログラムを固体撮像装置100に提供する。これによって、ユーザは、固体撮像装置100にアプリケーションをインストールし、固体撮像装置100にインストールされたアプリケーションを利用することで、固体撮像装置100の駆動方法を利用し、固体撮像装置100の一連の駆動において、固体撮像装置100に固有なフィードスルー電圧を用いてPUF-IDデータを生成し出力することと撮像データを生成し出力することとのプログラムを実行させることができる。

[0120] 本発明の実施形態として上述した各実施形態又は各実施形態の一部は、相

互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。

[0121] 上述した各実施形態の態様によりもたらされる作用効果とは異なる別の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0122] 100：固体撮像装置、100B：固体撮像装置、120：画素回路、120B：画素回路、121：ソースフォロア、200：電源回路、300：駆動タイミング制御回路、400：行選択回路、400B：行選択回路、410：走査信号線、412：リセット信号線、414：第1の駆動電源線、416：転送信号線、418：バイアス電圧供給線、420：読み出し信号線、422：コモン電極、424：基準電位線、428：第2の駆動電源線、502：画素、504：画素部、600：読み出し回路、610：第2の電極、610：ソース電極、620：第1の電極、620：ゲート電極、630：第3の電極、630：ドレイン電極、700：信号処理回路、710：PUF-ID抽出回路、720：画像処理回路

請求の範囲

- [請求項1] 電源線と読み出し信号線との間に接続された第1のトランジスタのゲート電極に光電変換素子の第1の電極が接続された少なくとも1つの画素を有し、
- 前記第1のトランジスタのゲート電極をリセットするリセット期間と、
- 前記光電変換素子を露光する露光期間と、
- 前記光電変換素子の露光に伴う電圧を読み出す期間と、を有し、
- 前記リセット期間において、
- 前記第1のトランジスタのゲート電極にリセット電圧を供給する第1の期間に、前記読み出し信号線から第1の電圧を読み出し、
- 前記第1のトランジスタのゲート電極にリセット電圧の供給を停止した後の第2の期間に、前記読み出し信号線から第2の電圧を読み出し、
- 前記露光期間である第3の期間ののち、前記読み出す期間である第4の期間において、前記読み出し信号線から第3の電圧を読み出し、
- 前記第1の電圧と前記第2の電圧の差をPUF-IDデータとして出力し、
- 前記第3の電圧と前記第2の電圧の差を検出データとして出力する、
- 検出装置。
- [請求項2] 前記少なくとも1つの画素を含む複数の画素を有し、
- 前記第1の電圧、前記第2の電圧、及び前記第3の電圧の読み出しを、前記複数の画素のそれぞれで行う、
- 請求項1に記載の検出装置。
- [請求項3] リセット電圧線と前記第1のトランジスタのゲート電極との間に接続された第2のトランジスタを有し、
- 前記第2のトランジスタをオン状態にし、

前記リセット電圧線から前記第1のトランジスタのゲート電極に、
前記リセット電圧を供給する、
請求項1に記載の検出装置。

[請求項4] 前記第1のトランジスタの一对の電極のうち前記電源線が接続されていない電極と、前記読み出し信号線との間に接続された第3のトランジスタを有し、

前記第3のトランジスタをオン状態にし、

前記第1の電圧、前記第2の電圧、及び前記第3の電圧の読み出しを行う、

請求項3に記載の検出装置。

[請求項5] 前記読み出し信号線と基準電位線との間に接続された第4のトランジスタを有し、

前記第4のトランジスタのゲート電極にバイアス電圧を供給し、

前記第4のトランジスタをオン状態にし、

前記第4のトランジスタの一对の電極間に定電流を流す、

請求項4に記載の検出装置。

[請求項6] 前記第1のトランジスタと、前記第3のトランジスタと、前記第4のトランジスタとは、ソースフォロアを構成し、

前記第1のトランジスタと、前記第3のトランジスタと、前記第4のトランジスタとをオン状態にし、

前記電源線と前記読み出し信号線との間に電流を流す、

請求項5に記載の検出装置。

[請求項7] 前記第1のトランジスタのゲート電極と前記光電変換素子の第1電極との間に接続された第5のトランジスタを有し、

前記第3の期間において、

前記第5のトランジスタをオン状態にし、

前記光電変換素子の露光により生成される電圧を前記第1のトランジスタのゲート電極に供給する、

請求項 6 に記載の検出装置。

[請求項8] 前記第 1 の電圧と前記第 2 の電圧の差は、フィードスルー電圧である、

請求項 1 に記載の検出装置。

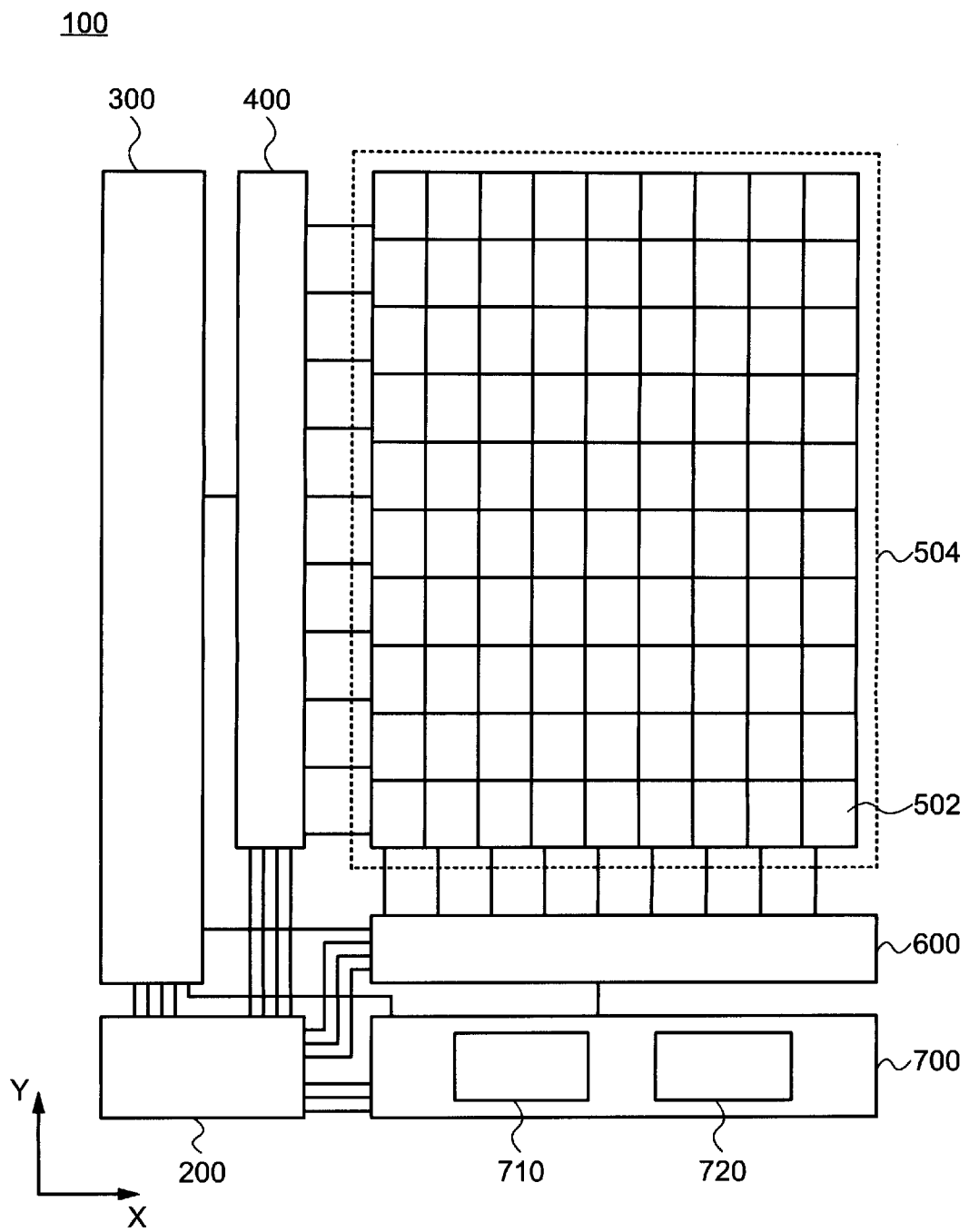
[請求項9] 前記 P U F - I D データを生成したのち、前記検出データを生成する、

請求項 1 に記載の検出装置。

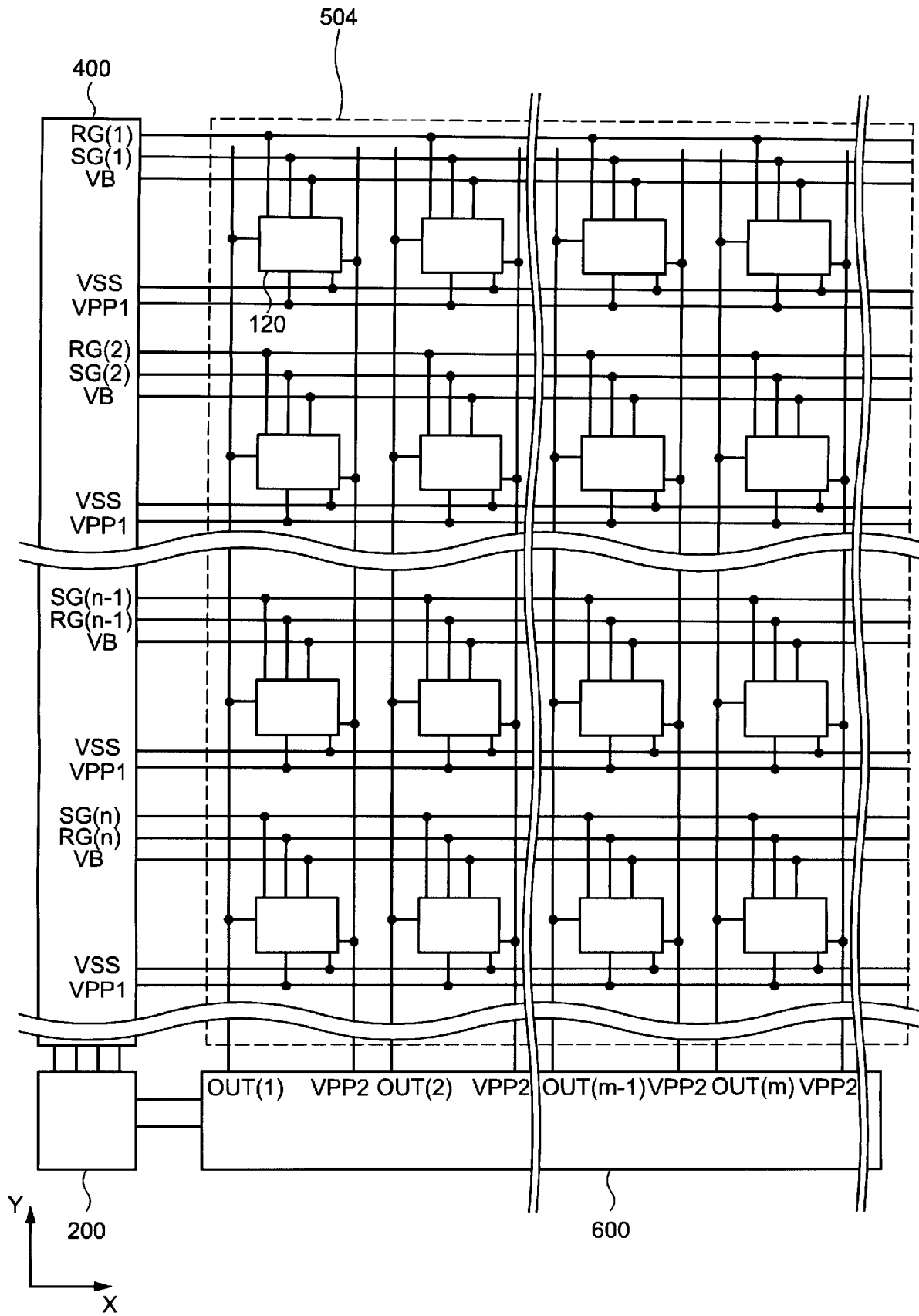
[請求項10] 前記第 2 の電圧は、前記第 1 の電圧よりも小さく、前記第 3 の電圧は、前記第 2 の電圧よりも小さい、

請求項 1 に記載の検出装置。

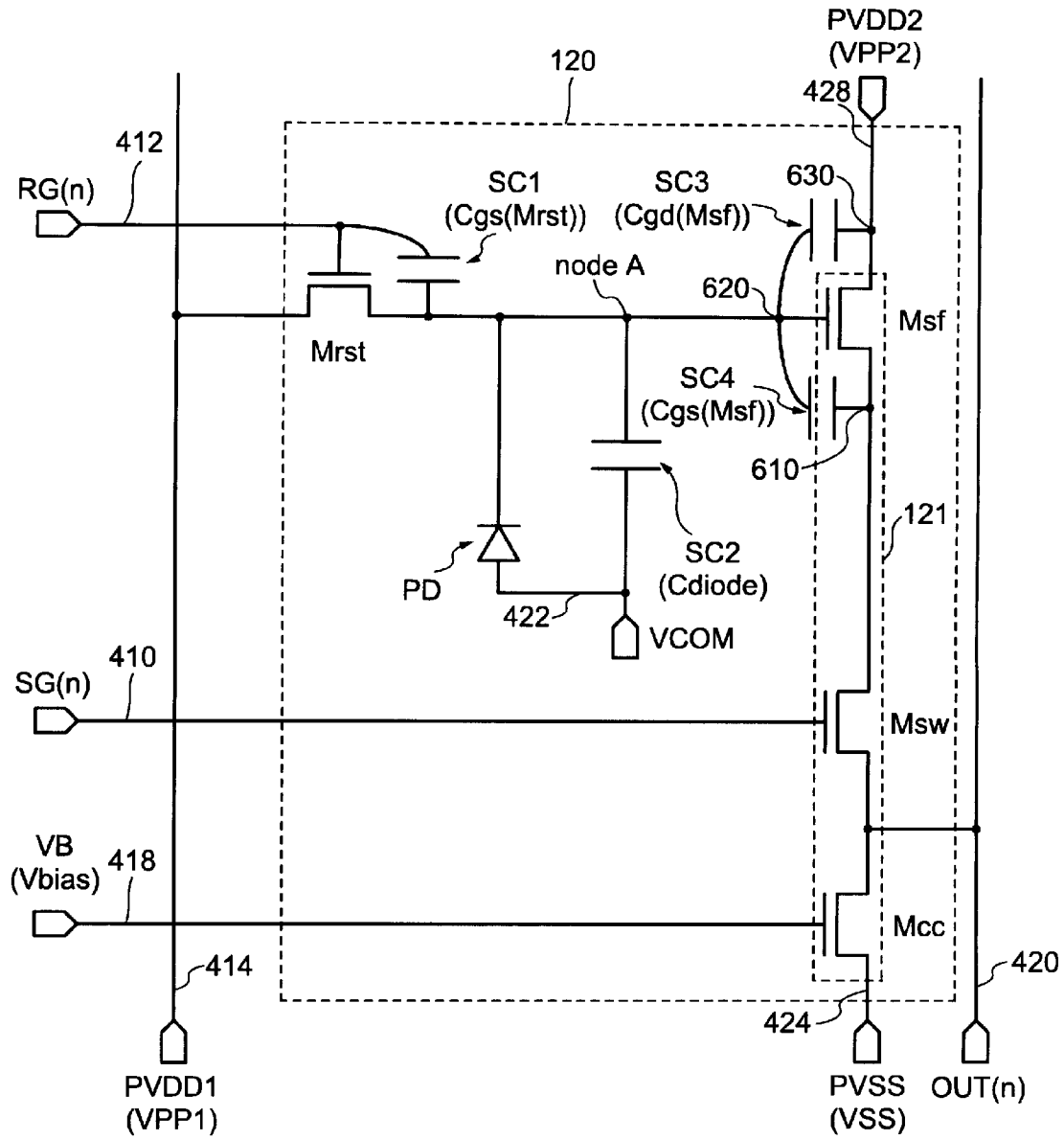
[図1]



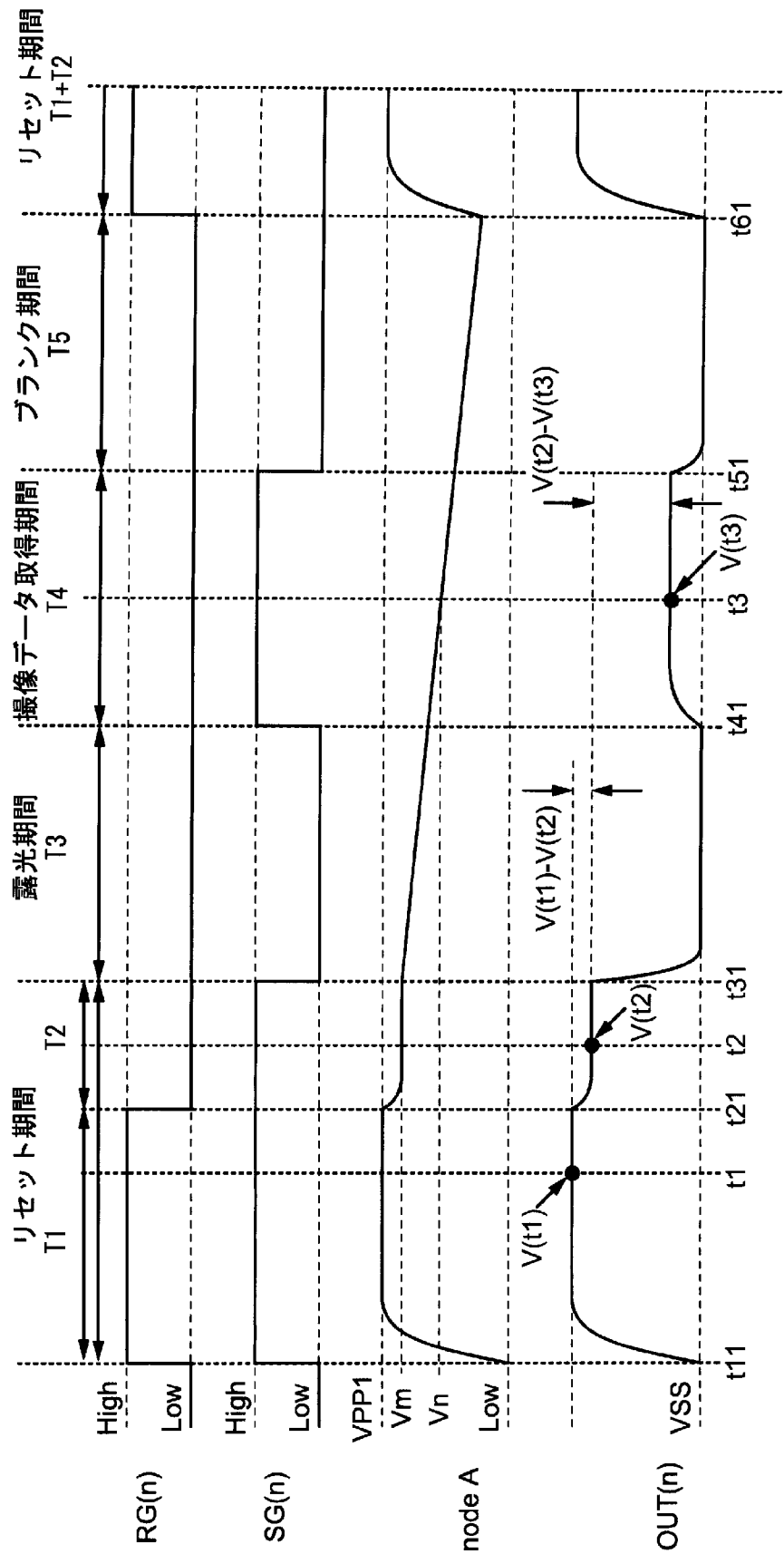
[図2]



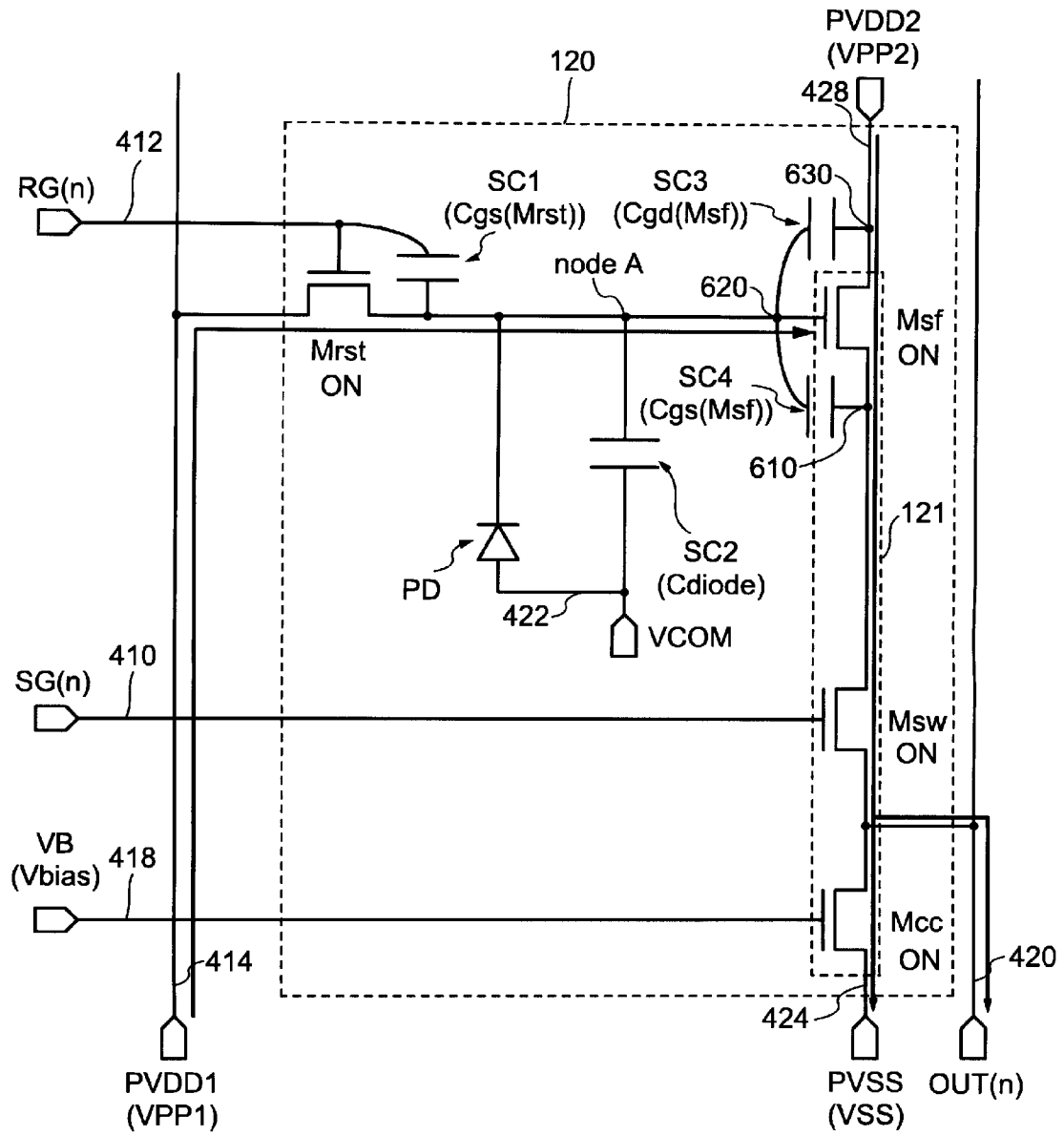
[図3]



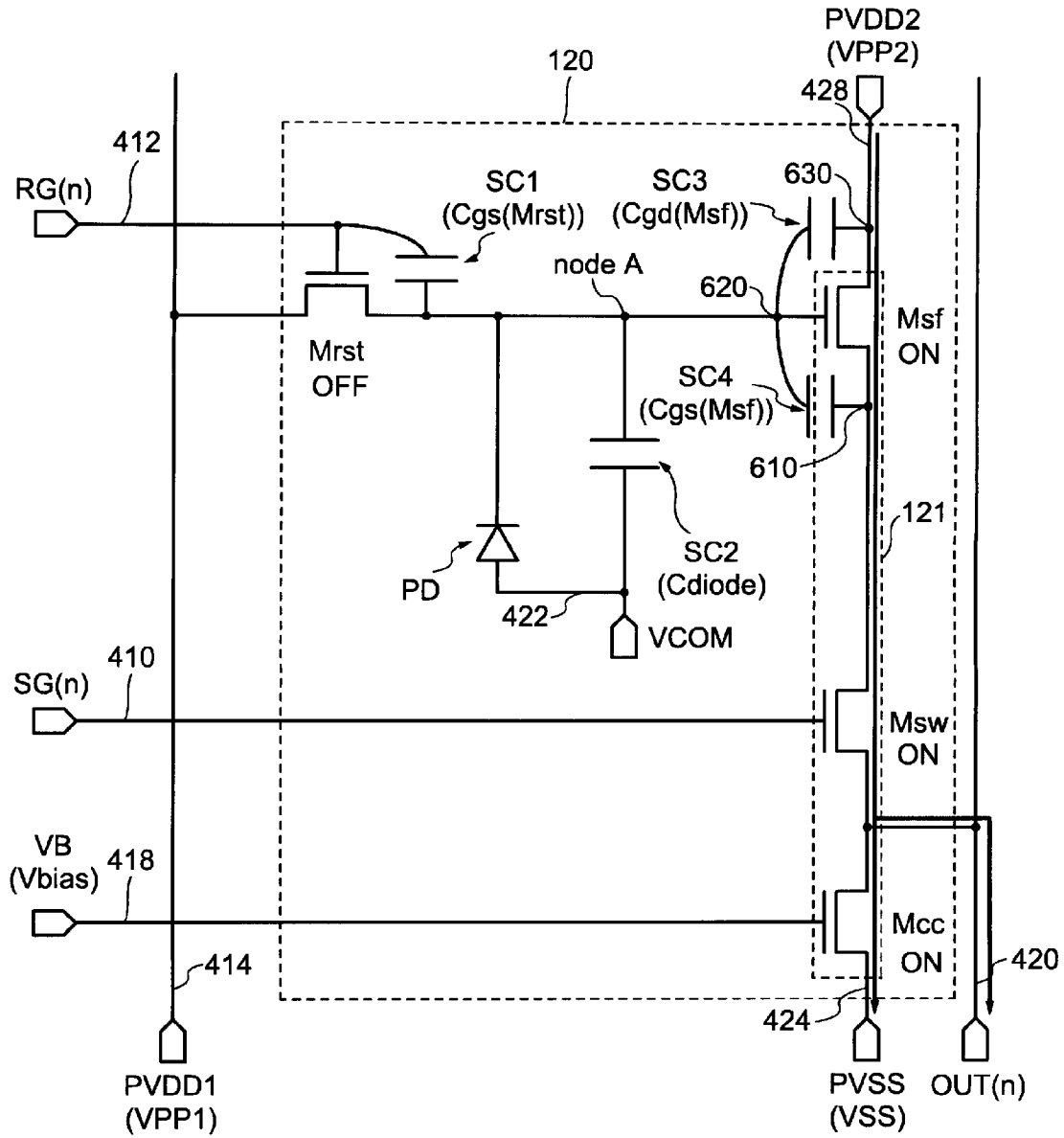
[図4]



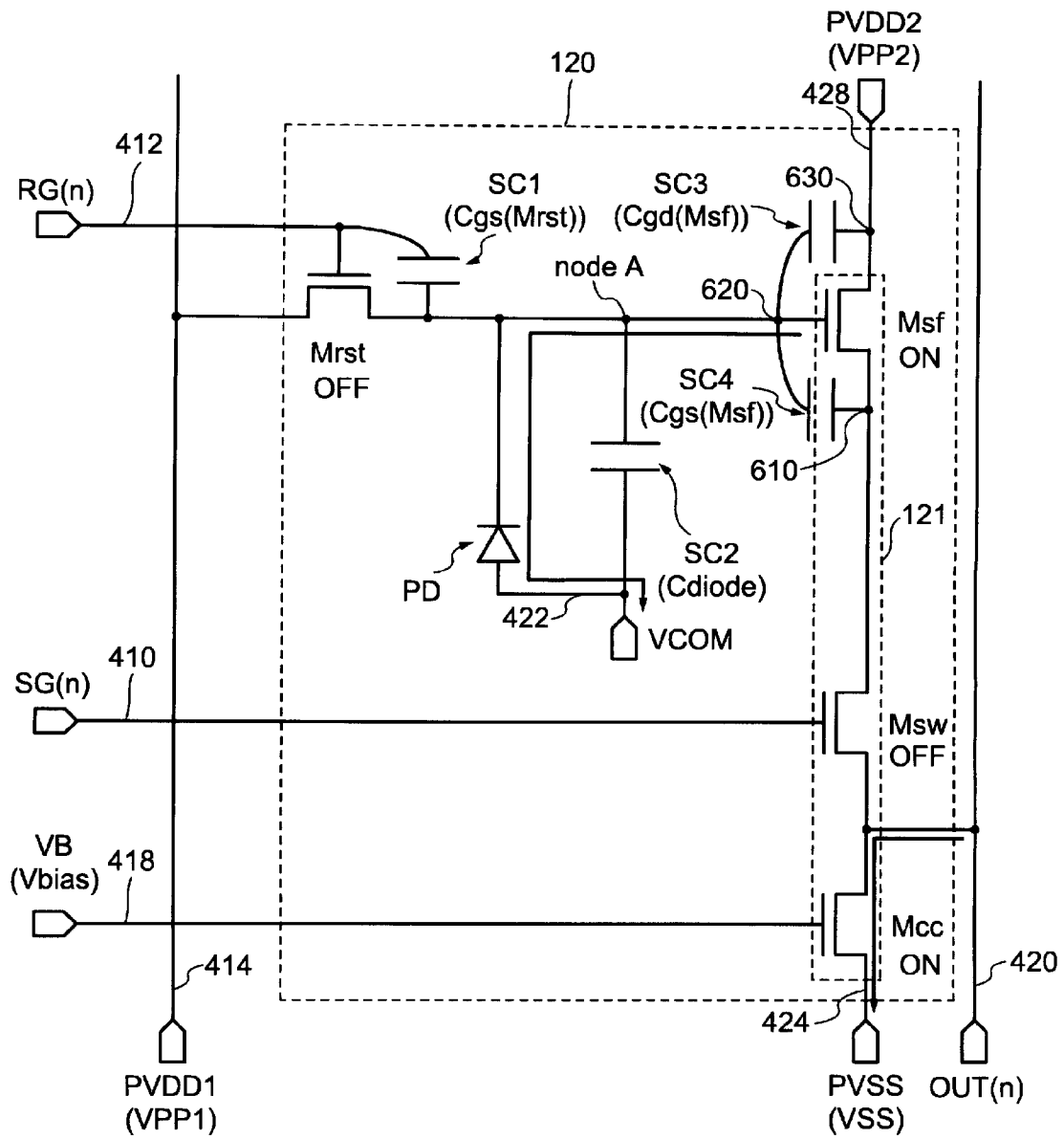
[図5]



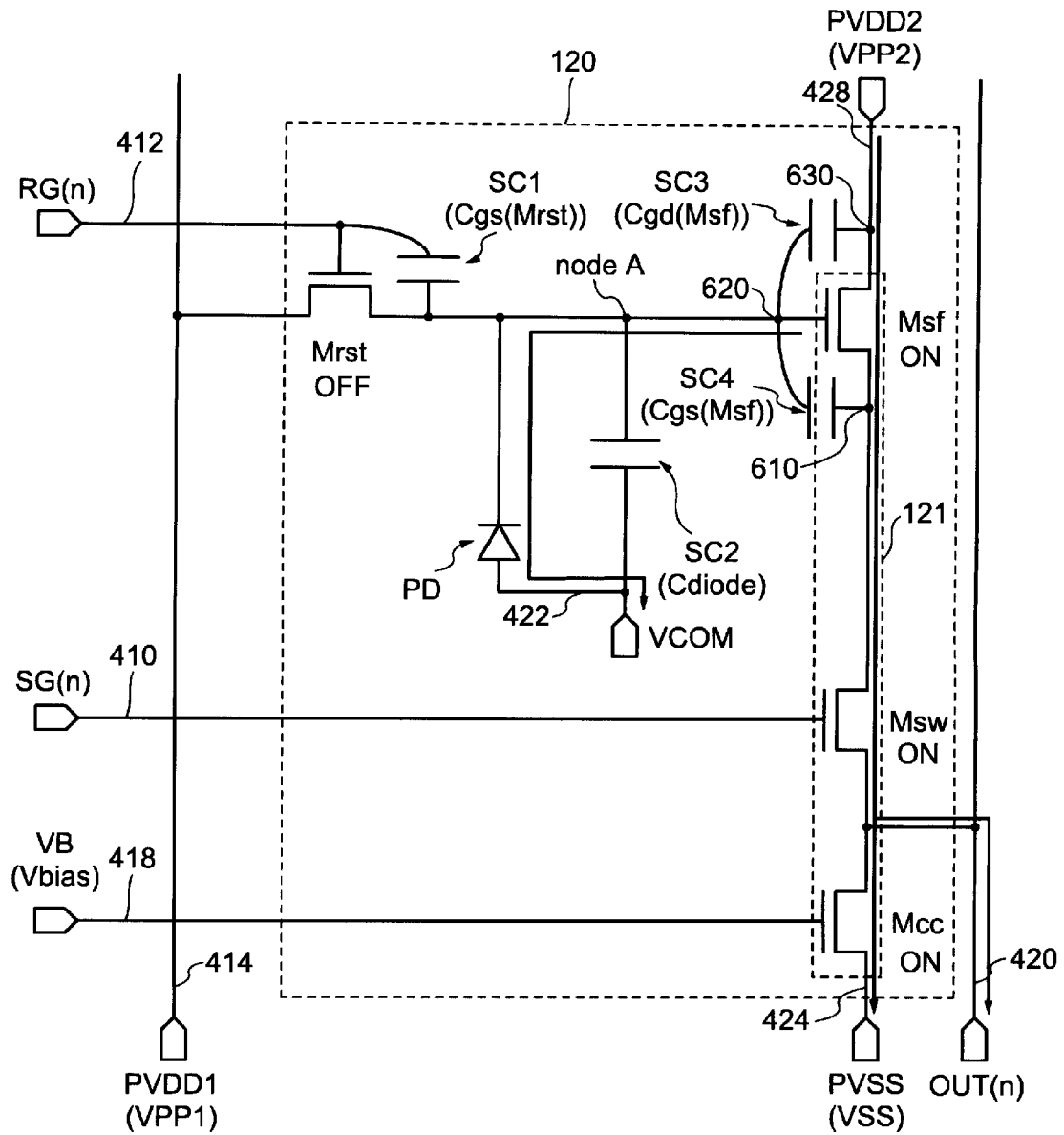
[図6]



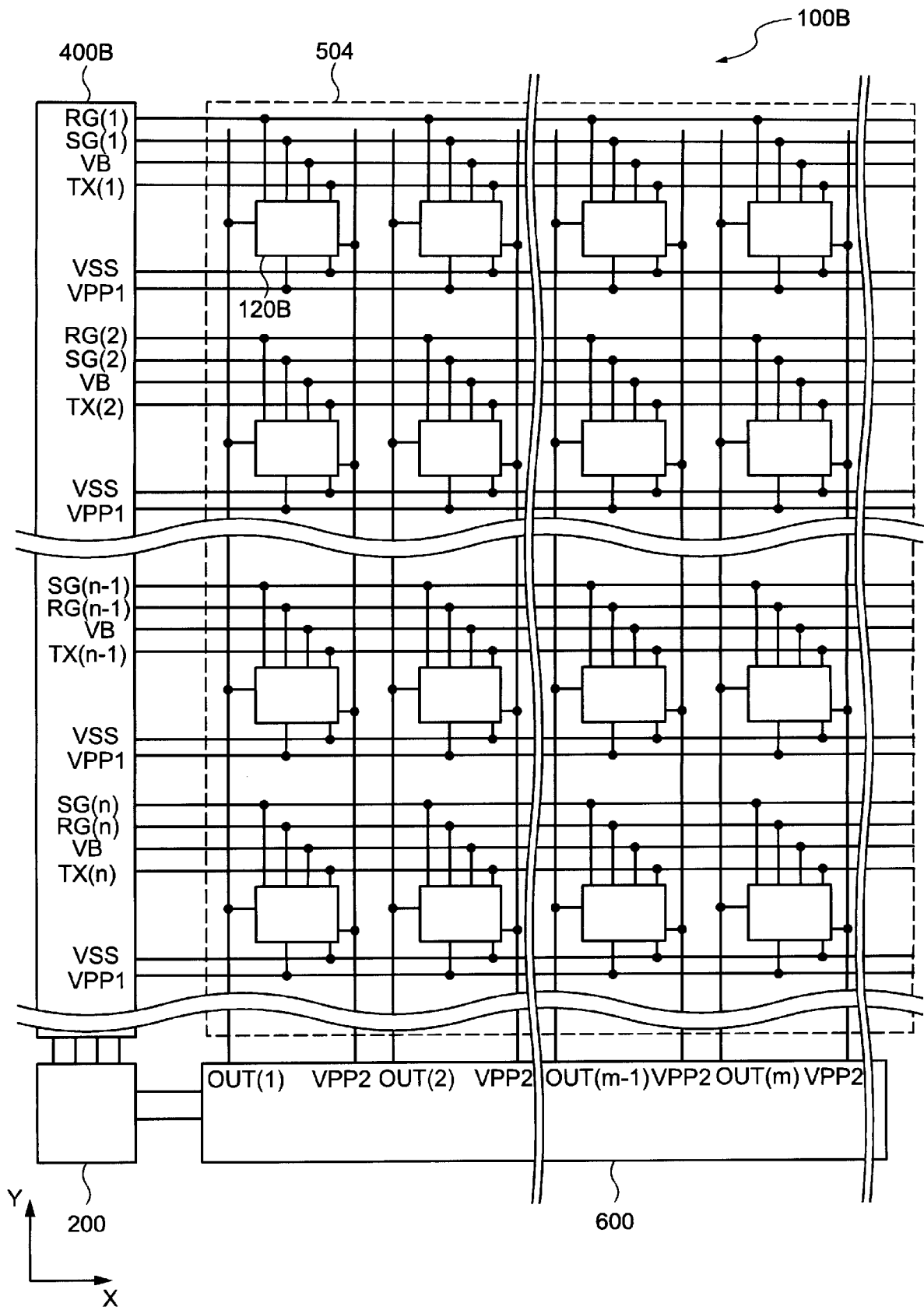
[図7]



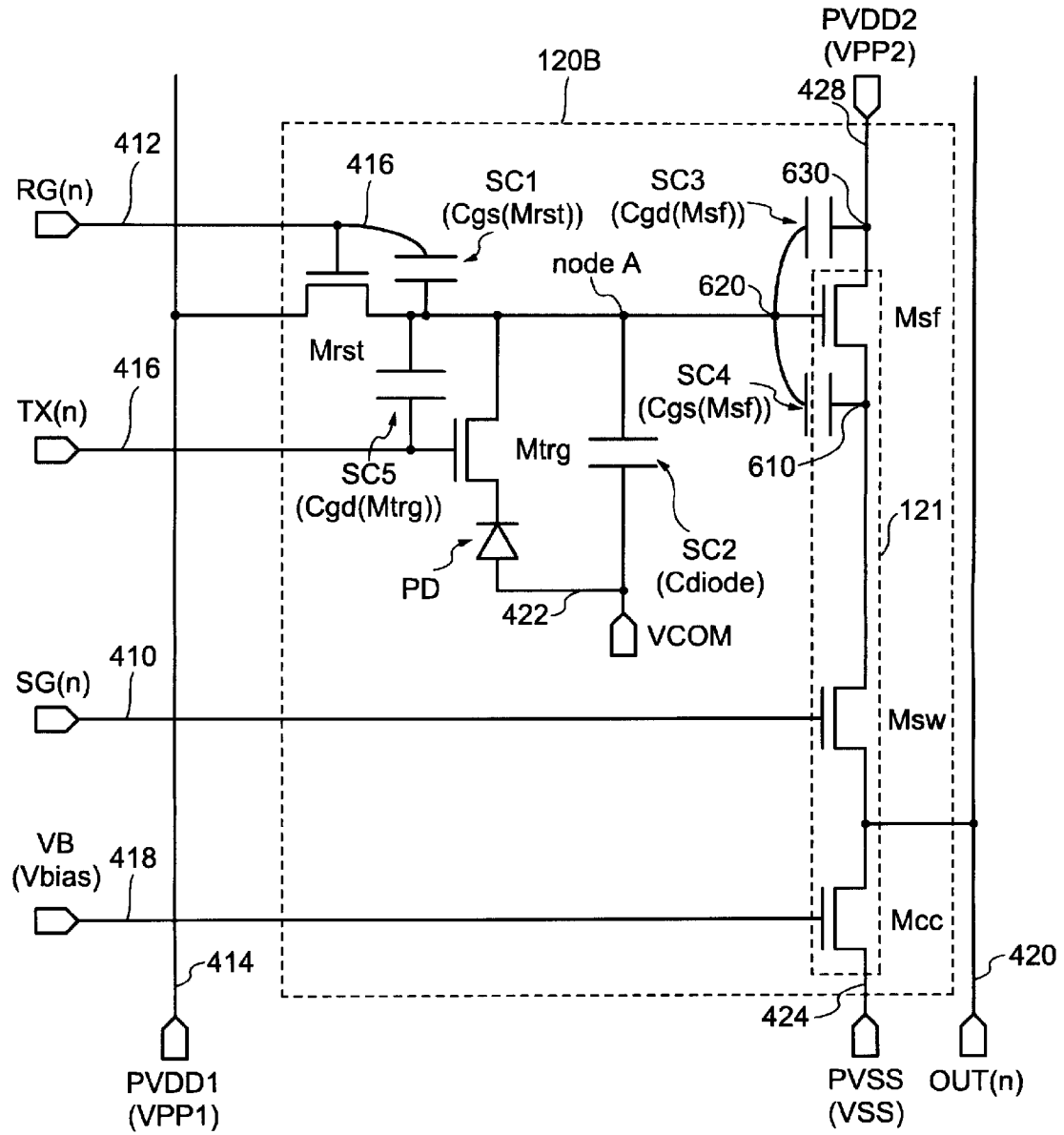
[図8]



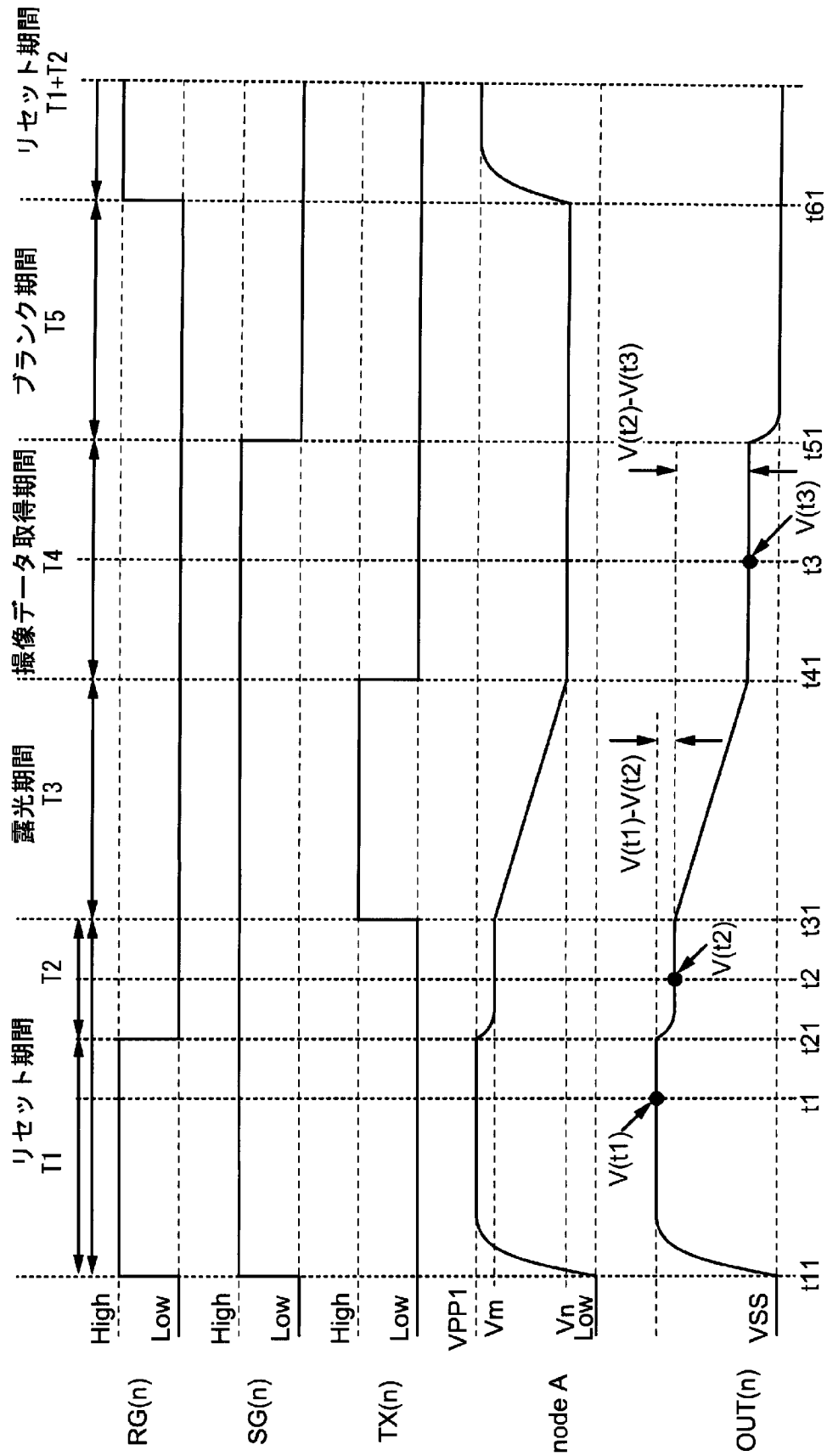
[図9]



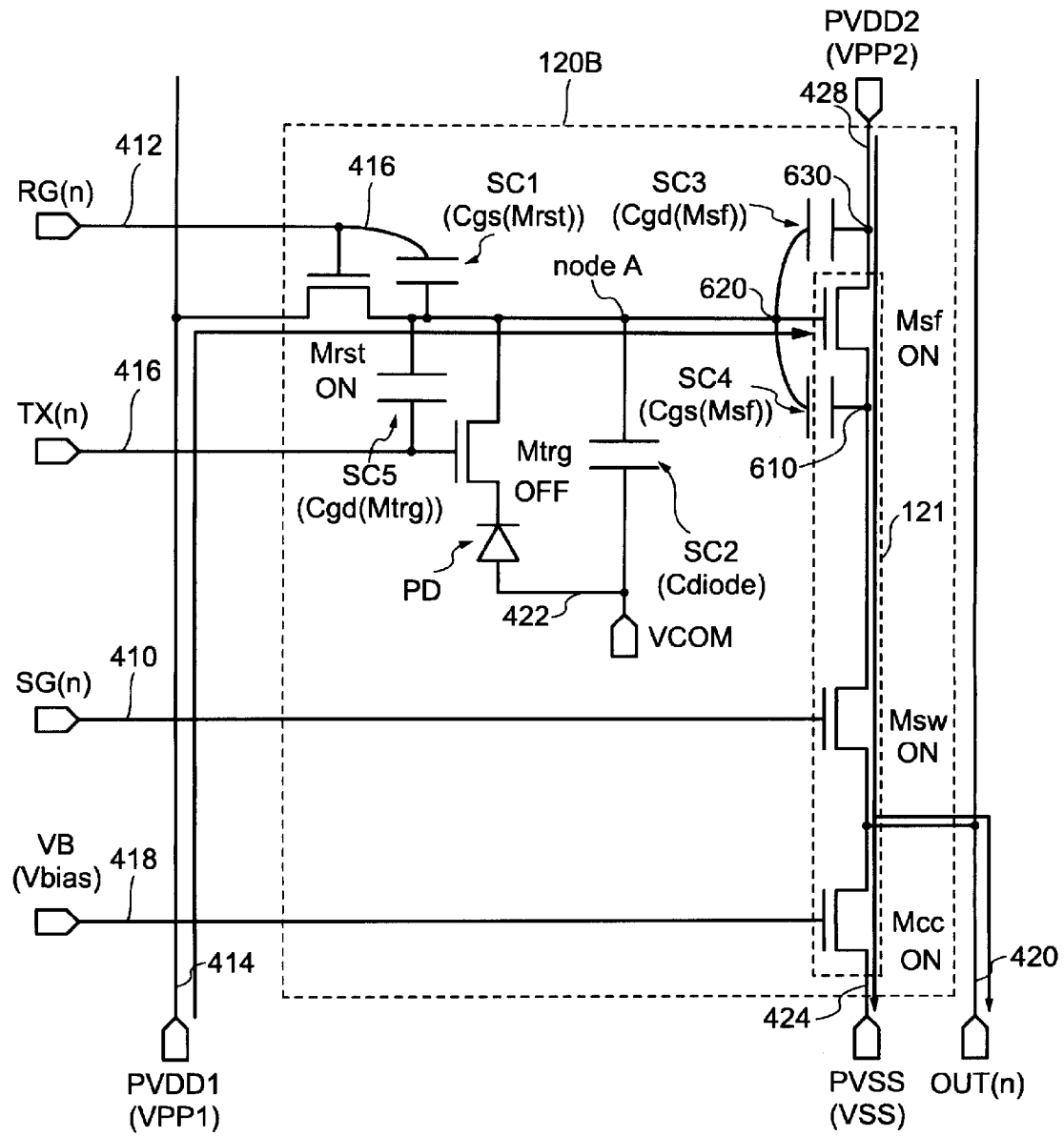
[図10]



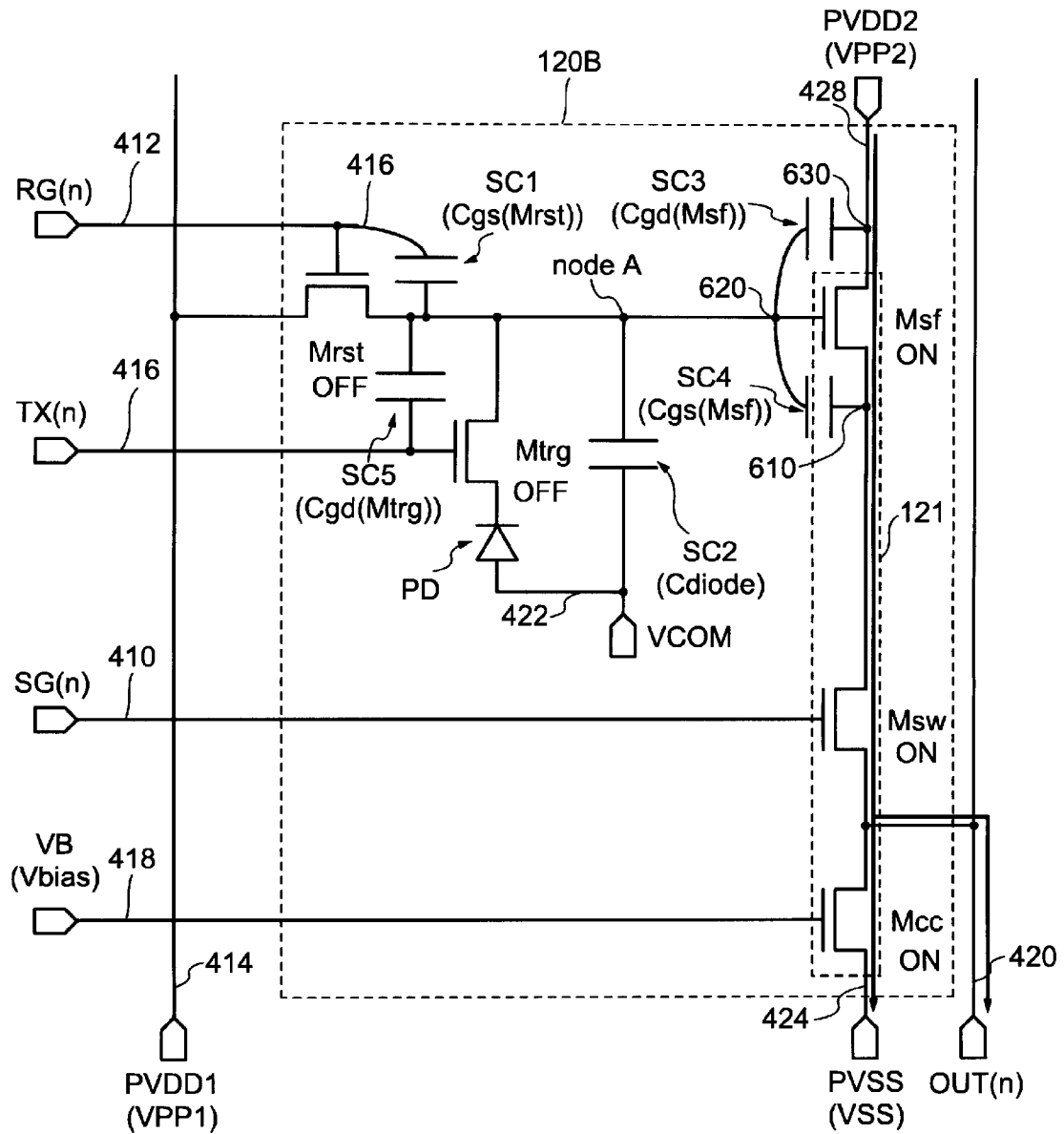
[図11]



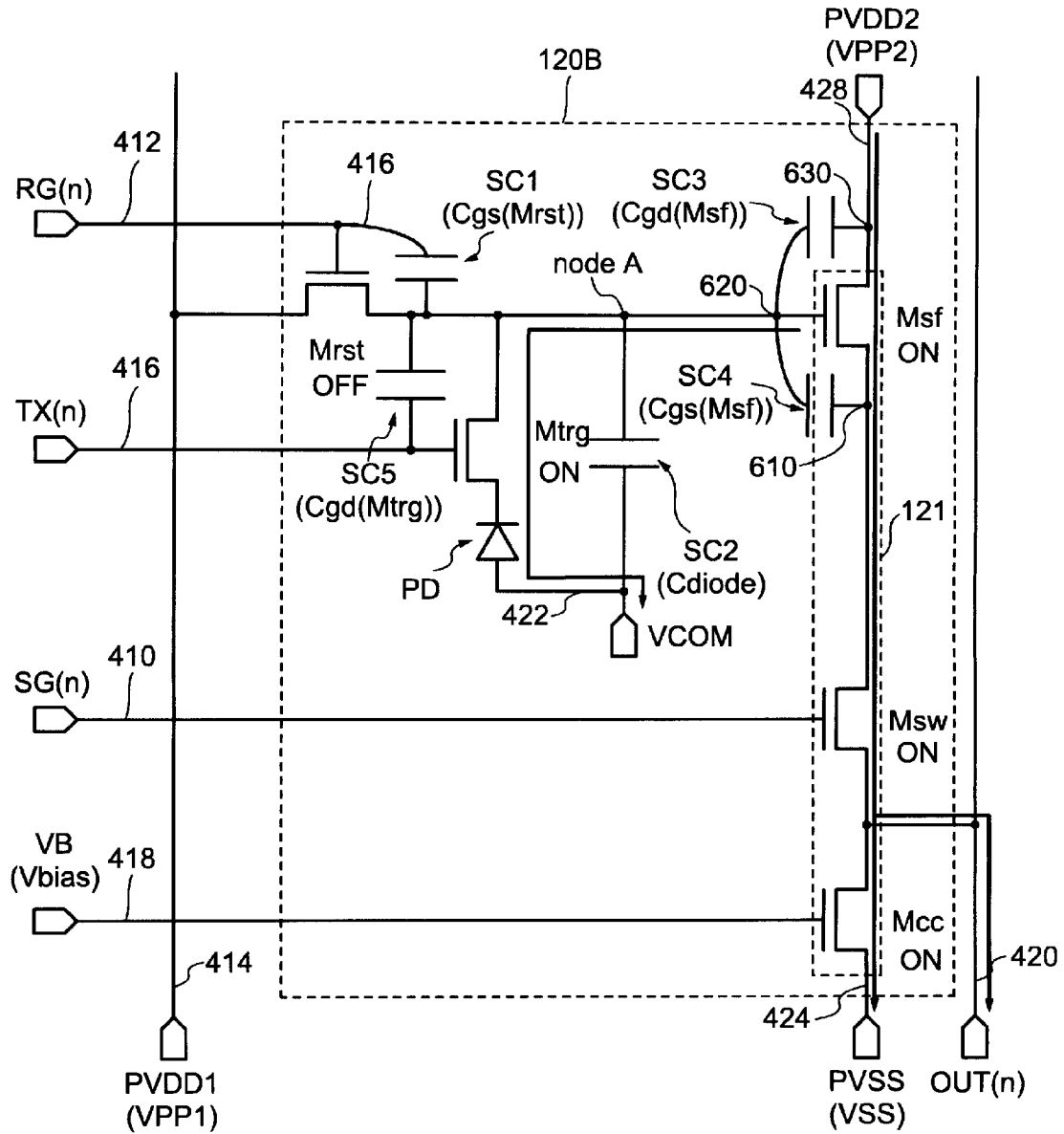
[図12]



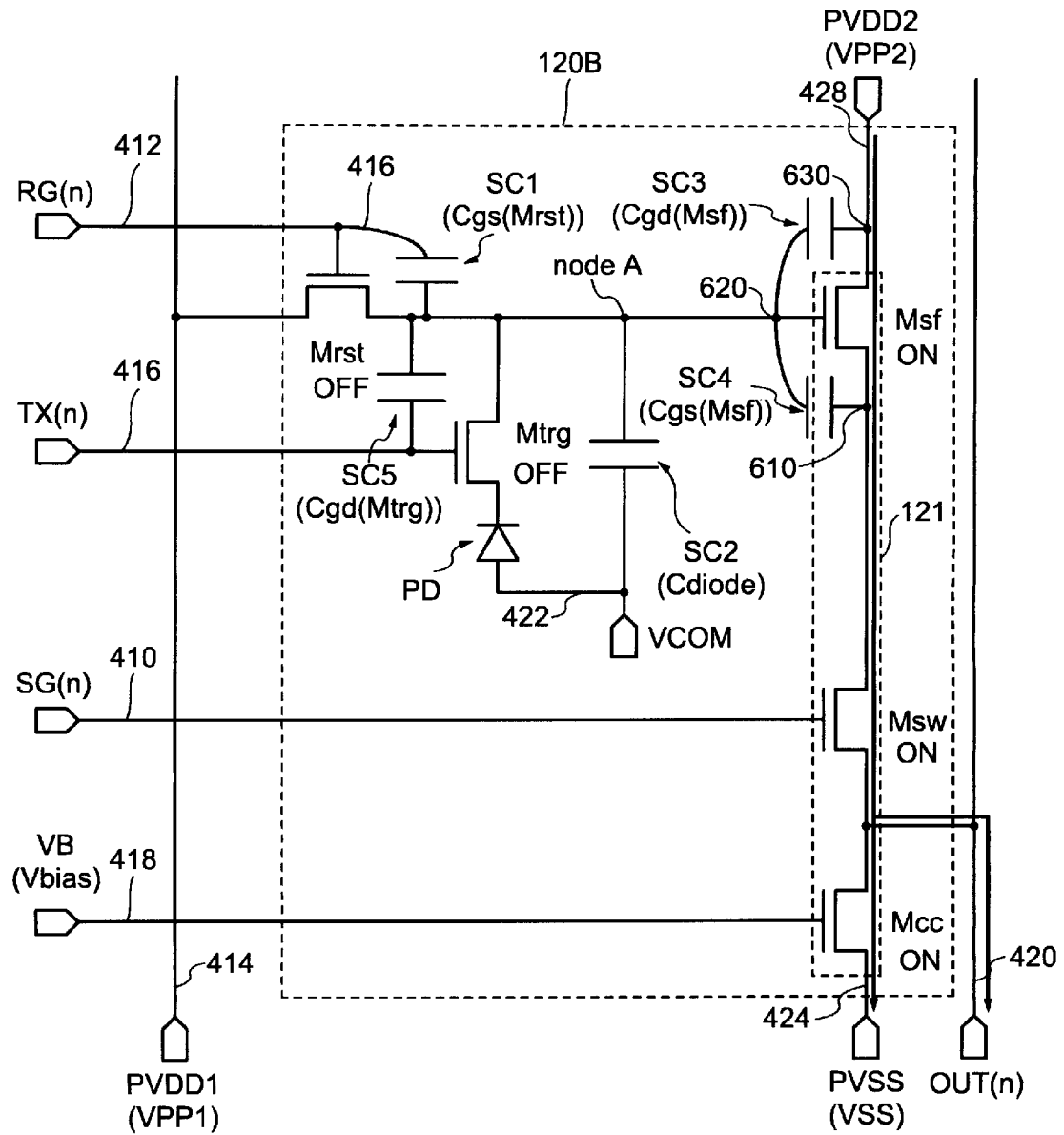
[図13]



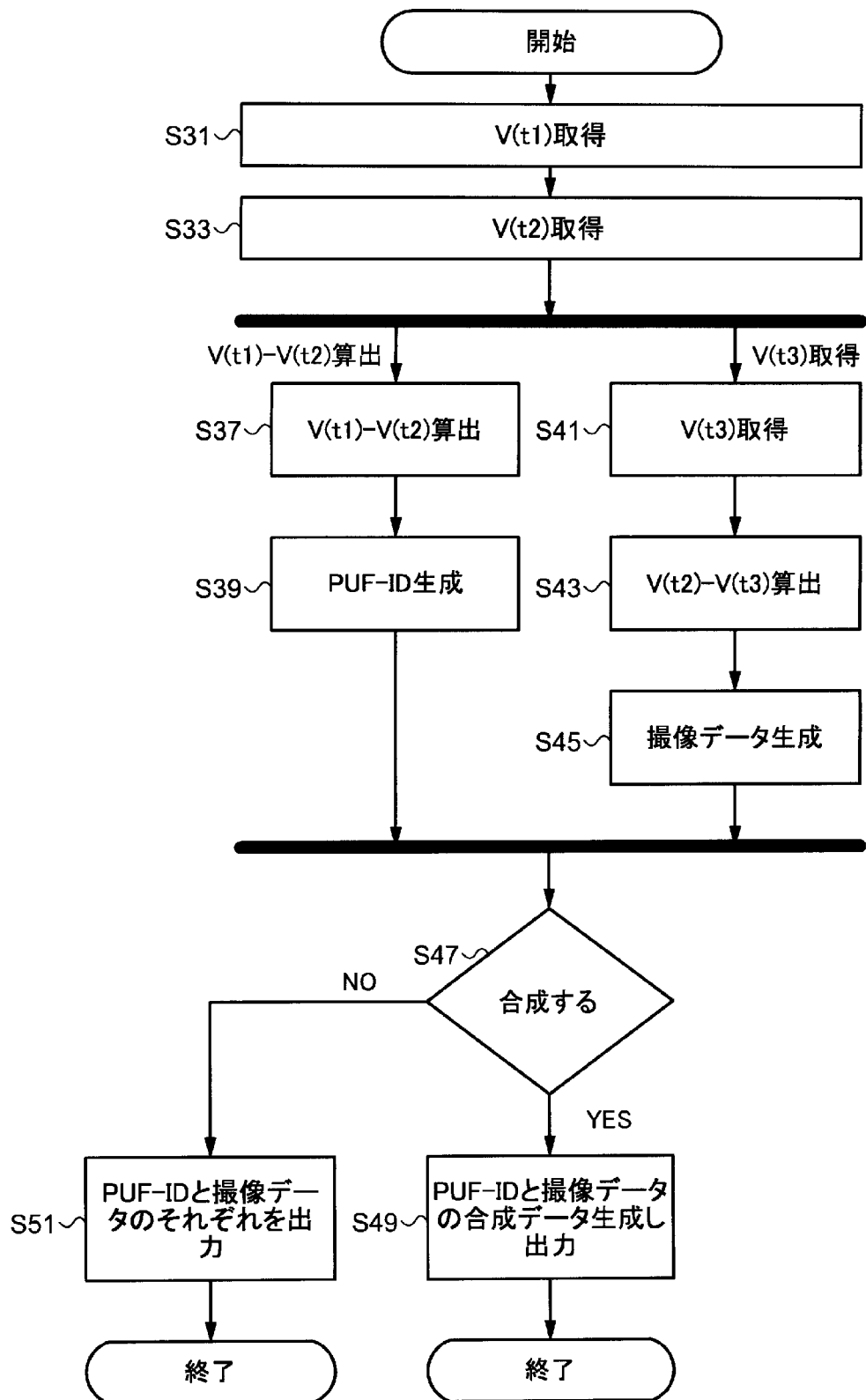
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/030162

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/369**(2011.01)i

FI: H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CAO, Yuan et al. CMOS Image Sensor Based Physical Unclonable Function for Coherent Sensor-Level Authentication. IEEE Transactions on Circuits and Systems I., November 2015, vol. 62, no. 11, pp. 2629-2640 in particular, fig. 2, pp. 2631-2632	1-10
A	JP 2019-180003 A (BRILLNICS JAPAN INC) 17 October 2019 (2019-10-17) fig. 7-12	1-10
A	JP 2019-126013 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 25 July 2019 (2019-07-25) paragraphs [0230]-[0296]	1-10
A	JP 2017-216679 A (PANASONIC IP MAN CORP) 07 December 2017 (2017-12-07) fig. 3-8	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

29 September 2021

Date of mailing of the international search report

12 October 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/030162

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2019-180003	A	17 October 2019	WO	2019/188411	A1	
fig. 7-12							
JP	2019-126013	A	25 July 2019	US	2020/0357754	A1	
paragraphs [0325]-[0391]							
JP	2017-216679	A	07 December 2017	US	2017/0345116	A1	
fig. 3-8							

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/369(2011.01)i FI: H04N5/369		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/369		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	CAO, Yuan et al., CMOS Image Sensor Based Physical Unclonable Function for Coherent Sensor-Level Authentication, IEEE Transactions on Circuits and Systems I, 2015.11, Vol.62, No 11, p.2629-2640 特に、Fig.2, p.2631-2632	1-10
A	JP 2019-180003 A（ブリルニクスジャパン株式会社）17.10.2019（2019-10-17） 図7-12	1-10
A	JP 2019-126013 A（ソニーセミコンダクタソリューションズ株式会社）25.07.2019（2019-07-25） 段落[0230]-[0296]	1-10
A	JP 2017-216679 A（パナソニックIPマネジメント株式会社）07.12.2017（2017-12-07） 図3-8	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 29.09.2021		国際調査報告の発送日 12.10.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 松永 隆志 5V 4228 電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/030162

引用文献			公表日	パテントファミリー文献			公表日
JP	2019-180003	A	17.10.2019	WO	2019/188411	A1	
				図7-12			
JP	2019-126013	A	25.07.2019	US	2020/0357754	A1	
				段落[0325]-[0391]			
JP	2017-216679	A	07.12.2017	US	2017/0345116	A1	
				図3-8			