

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 27/108	(11) 공개번호 (43) 공개일자	특2001-0051607 2001년06월25일
(21) 출원번호	10-2000-0066738	
(22) 출원일자	2000년11월10일	
(30) 우선권주장	1999-320725 1999년11월11일 일본(JP)	
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무	
(72) 발명자	일본 도쿄도 치요다쿠 간다스루가다이 4쵸메 6반치 나카무라요시따카 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 아사노이사무 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 야마다사토루 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 다카하시쓰기오 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 오오지유즈루 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 히라사와마사요시 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 유노가미다까시 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내 세끼구찌도모노리 일본도쿄도치요다꾸마루노우찌1쵸메5-1신마루빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내	
(74) 대리인	장수길, 구영창	

심사청구 : 없음

(54) 반도체 집적 회로 장치 및 그 제조 방법

요약

캐패시터 상부 전극과 상층 배선에 접속하는 플러그 간의 도통 신뢰성을 높여서 유지하고 접속 불량이 생기지 않도록 한다. 또한, 캐패시터 상부 전극의 저항을 저감한다.

루테늄으로 이루어지는 하부 전극(45)과 BST로 이루어지는 캐패시터 절연막(50)과 상부 전극(49)으로 이루어지는 DRAM의 캐패시터에 있어서, 상부 전극(49)을 캐패시터 절연막(50) 측에 형성된 루테늄막(47)과, 그 상층에 형성된 텅스텐막(48)과의 적층 구성으로 한다.

대표도

도10

색인어

기판, 소자 분리층, 실리콘 산화막, 측벽 스페이서, 콘택트홀, 실리콘사이드막막

명세서

도면의 간단한 설명

도 1 내지 도 10과, 도 12 내지 도 19는 본 발명의 일 실시예(실시예 1)인 DRAM의 제조 방법을 단계순으로 나타낸 단면도.

도 11a 및 도 11b는 도 10의 A부를 확대하여 나타낸 단면도.

도 20 내지 도 25는 본 발명의 다른 실시예(실시예 2)인 DRAM의 제조 방법을 단계순으로 나타낸 단면도.

도 26은 실시예 1, 2의 DRAM의 제조 방법의 다른 예를 단계순으로 나타낸 단면도.

도 27은 실시예 1, 2의 DRAM의 제조 방법의 다른 예를 단계순으로 나타낸 단면도.

도 28은 실시예 1의 DRAM의 제조 방법의 또 다른 예를 단계순으로 나타낸 단면도.

도 29는 실시예 1의 DRAM의 제조 방법의 또 다른 예를 단계순으로 나타낸 단면도.

도 30은 실시예 1의 DRAM의 제조 방법의 또 다른 예를 단계순으로 나타낸 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 기판
- 2 : 소자 분리층
- 7 : 실리콘 산화막
- 13 : 질화 실리콘막
- 13a : 측벽 스페이서
- 22 : 콘택트홀
- 26 : 실리콘사이드막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 기술에 관한 것으로, 특히 DRAM(Dynamic Random Access Memory)을 포함하는 반도체 장치에 적용하여 유효한 기술에 관한 것이다.

DRAM의 메모리셀은 일반적으로, 반도체 기판의 주요면 상에 매트릭스형으로 배치된 복수의 워드선과 복수의 비트선과의 교점에 배치된다. 1개의 메모리셀은 그것을 선택하는 1개의 MISFET(Metal Insulator Semiconductor Field Effect Transistor)와, 이 MISFET에 직렬로 접속된 1개의 정보 축적용 용량 소자(캐패시터)로 구성된다.

메모리셀 선택용 MISFET은 주위를 소자 분리 영역으로 둘러싸인 활성 영역에 형성되며, 주로 게이트 산화막, 워드선과 일체로 구성된 게이트 전극 및 소스, 드레인을 구성하는 한쌍의 반도체 영역으로 구성된다. 이 MISFET은 통상 하나의 활성 영역에 2개 형성되며, 2개의 MISFET 중 한쪽 소스·드레인(반도체 영역)이 상기 활성 영역의 중앙부에서 공유된다. 비트선은 상기 MISFET의 상부에 배치되며, 공유된 상기 반도체 영역과 전기적으로 접속된다. 캐패시터는 동일하게 상기 MISFET의 상부에 배치되며 상기 소스, 드레인의 다른쪽과 전기적으로 접속된다.

예를 들면 특개평 7-7084호 공보는 비트선의 상부에 캐패시터를 배치하는 캐패시터·오버·비트라인(Capacitor Over Bit-line) 구조의 DRAM을 개시하고 있다. 이 공보에 기재된 DRAM에서는 비트선의 상부에 배치한 캐패시터의 하부 전극(축적 전극)을 원통형으로 가공하고, 이 하부 전극 상에 용량 절연막과 상부 전극(플레이트 전극)을 형성하는 구조를 채용하고 있다. 하부 전극을 원통형으로 가공함으로써 그 표면적을 증가하고, 메모리셀의 미세화에 따른 캐패시터의 축적 전하량(Cs)의 감소를 보충하도록 하고 있다. 이와 같이 COB 구조를 포함하는 메모리셀에서는 반도체 기억 장치로서의 동작 신뢰도를 확보할 필요가 있는데다가 캐패시터의 구조에 대하여 상당하는 입체화가 필수로 되어 있다.

그런데, 캐패시터 구조의 입체화에 따라서도 최근의 집적화된 반도체 장치, 특히 256Mbit(메가비트) 상당 이후의 DRAM에서는 필요한 용량치(축적 전하량)의 확보가 곤란해지는 것이 예상된다.

그래서, 1996년 11월 10일 응용 물리학회 발행, 「응용 물리」 65권, 11호, p1111 ~ 1112에 기재되어 있듯이 산화 탄탈(Ta_2O_5) 혹은 $STO(SrTiO_3)$, $BST(Ba_xSr_{1-x}TiO_3)$ 등의 고유전체(강유전체) 재료를 캐패시터의 절연막에 이용하는 것이 검토되고 있다. Ta_2O_5 는 비유전률이 20 정도로 높고 또한 STO , BST 는 비유전률이 200 ~ 500 정도로 매우 높다. 그래서 이들의 고유전률막을 이용하면, 종래 이용되고 있는 실리콘 산화막, 실리콘 질화막에 비교하여 높은 용량치를 실현하는 것이 용이해진다. 특히, STO , BST 는 유전률이 높고, 용량치 증가의 효과를 현저하게 얻을 수 있는 것이 기대된다.

STO , BST 의 성막은 산화성 분위기에서 실시된다. 이 때문에, 종래 이용되고 있는 실리콘 재료를 캐패시

터용 전극에 이용하면, 전극 계면에 유전률이 낮은 실리콘 산화막이 형성되어 바람직하지 못하다. 그래서 캐패시터용 전극 재료에는 내산화성에 우수한 Ru(루테늄), Pt(백금), RuO₂(산화 루테늄) 등이 검토되고 있다.

발명이 이루고자하는 기술적 과제

그러나, Ru, Pt 등 귀금속 혹은 이들의 실리사이드물, 산화물 등을 전극 재료에 이용하는 경우, 특히 상부 전극에 이들의 재료를 이용하는 경우, 이하와 같은 문제가 있는 것을 본 발명자 등은 인식하였다. 이하에 설명하는 문제점은 특히 공지에 되어 있지 않고, 본 발명자 등의 실험 검토에 의해 인식된 것이다. 또, 본 명세서에서 귀금속이란, 금(Au), 은(Ag), 백금족[루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir) 및 백금(Pt)]을 지칭한다.

즉, 제1 문제는 상기 귀금속 등을 상부 전극에 이용하는 경우, 상층 배선과의 컨택트 부분(관통 구멍 플러그)과, 상부 전극과의 전기적 접속이 불안정해지거나 혹은 접속 불량을 생긴다고 하는 문제이다.

이러한 문제가 생기는 제1 원인은 상부 전극을 구성하는 귀금속 등에 포함되는 산소에 있다. Ru, Pt 등의 귀금속류를 피막으로서 형성하는 경우, CVD법을 이용한다. 이 CVD 단계에서는 원료 가스에 산소가 포함되기 때문에, 형성된 귀금속 피막에 산소가 포함된다. 또한, RuO₂와 같이 애당초 피막 구성 원소에 산소가 포함되어 있는 경우도 있다. 또한, 상부 전극에 접속하기 위한 관통 구멍을 그 상부 전극을 덮는 층간 절연막에 개구할 때, 일반적으로 포토 레지스트막을 이용하지만, 이 포토 레지스트막을 애싱에 의해 제거할 때, 관통 구멍 하부의 상부 전극(귀금속 등으로 이루어지는 피막)에 애싱 분위기 중의 산소가 흡장된다. 이들 피막 중의 산소가 관통 구멍 플러그를 형성한 후의 열 처리 등에 의해 플러그를 구성하는 금속과 반응하고 금속 산화물을 형성한다. 플러그는 일반적으로 질화 티탄 등의 배리어 메탈과 텅스텐 등의 주도전층으로 구성되지만, 이 경우 배리어 메탈 내의 티탄과 상기 산소가 반응하고 저항률이 높은 산화 티탄이 형성된다. 이러한 산화 티탄은 구조 상 상부 전극과 플러그 간에 형성되므로 상부 전극과 플러그 간의 전기적 접촉이 저해되게 되며 상기한 바와 같은 전기적 접속이 불안정화(접속 신뢰성의 저하)된다는 문제가 생긴다.

제2 원인은 상부 전극을 구성하는 귀금속 등과, 상부 전극을 덮는 층간 절연막인 실리콘 산화막과의 에칭 선택비를 실질적으로 취할 수 없는데 있다. 상부 전극에 접속하기 위한 관통 구멍의 형성은 층간 절연막인 실리콘 산화막에 개구를 형성함으로써 행해진다. 이 개구 형성은 일반적으로 포토 레지스트막을 마스크로 한 실리콘 산화막의 드라이 에칭에 의해 행해진다. 이 때, 실리콘 산화막과 하부 전극을 구성하는 귀금속류와의 에칭 선택비를 충분히 취할 수 없기 때문에, 관통 구멍이 상부 전극을 관통하여 형성된다. 이와 같이 상부 전극을 관통하여 관통 구멍이 형성되기 때문에, 관통 구멍 내의 플러그와 상부 전극과의 접촉 면적이 작아져서, 상기한 접속 신뢰성의 저하의 문제가 생긴다. 에칭 시간을 제어함으로써, 상부 전극의 표면에서 에칭이 종료하도록 조정하는 수법도 생각할 수 있지만 이하와 같은 이유로 곤란하다. 즉, 상기한 바와 같이 상부 전극으로의 급전은 그 상층 배선으로부터 관통 구멍 플러그를 통하여 행해지지만, 상층 배선으로부터의 급전 혹은 배선 접속은 비트선과 동일한 배선층에 형성되는 배선(제1층 배선)에도 행해진다. 즉, 상기 관통 구멍에는 상부 전극에 접속하기 위한 플러그용과, 제1층 배선에 접속하는 플러그용과 2중 이상의 관통 구멍이 있다. 그리고 비트선(제1층 배선)은 캐패시터보다 하층에 형성되기 때문에, 상부 전극 접속용 관통 구멍의 깊이는 제1층 배선 접속용의 관통 구멍의 깊이보다 얕아진다. 이들 관통 구멍을 별도의 단계로 형성하면 단계의 증가를 초래하기 때문에, 동시에 가공하지 않을 수 없다. 이 때문에, 상부 전극의 표면에서 에칭을 정지시키면 제1층 배선에 도달하는 관통 구멍을 형성할 수 없고, 반대로 제1층 배선에 도달하는 관통 구멍을 가공하면 상부 전극에 에칭 선택비를 취할 수 없는 이상 이것을 관통하여 관통 구멍을 형성하지 않을 수 없다.

또한, 상부 전극을 관통하여 관통 구멍이 형성된 경우, 특히 상부 전극이 산화성 분위기로 취발하는 재료(예를 들면 Ru, RuO_x)로 구성되어 있을 때는 관통 구멍 가공(에칭) 후의 포토 레지스트막의 제거(애싱) 단계에 의해, 관통 구멍 하부의 상부 전극이 에칭되어 관통 구멍 단면으로부터 후퇴하는 문제도 있다. 이 경우, 관통 구멍 형성 후에 플러그 형성을 행해도 관통 구멍 단면으로부터 하부 전극 재료가 후퇴하고 있기 때문에, 정상적인 접촉이 이루어지지 않아 접속 불량이 생긴다. 이러한 하부 전극 재료의 애싱에 의한 취발 혹은 에칭의 문제는 관통 구멍이 하부 전극을 관통하지 않은 경우에도 생길 수 있지만 관통하고 있는 경우에 특히 심각하다.

제2 문제는 상부 전극에 귀금속류를 이용하는 경우, 상부 전극의 저항치를 낮게 할 수 없다고 하는 문제이다. 메모리셀을 판독할 때의 과도 상태에서는 상부 전극 전위(기준 전위)의 변동이 생기고 있으며, 상부 전극의 저항치를 작게 할 수 없으면 이러한 과도 변동의 영향이 크다. 이 결과 판독 애러가 생길 가능성이 있다. 또한, 외부 노이즈를 차단하는 관점에서부터도 상부 전극의 저항치는 작은 것이 바람직하다.

이러한 문제가 생기는 원인은 귀금속류의 막 두께를 크게 할 수 없는데 있다. 즉, 귀금속류는 그 내부 응력(압축성 응력)이 크며 그 막 두께를 두껍게 하면 스트레스의 영향에 의해 캐패시터 특성이 열화하기 때문이다.

본 발명의 목적은 캐패시터 상부 전극과 상층 배선에 접속하는 플러그 간의 도통 신뢰성이 높고 또한 접속 불량률이 생기지 않는 반도체 집적 회로 장치를 제공하는데 있다.

또한, 본 발명의 다른 목적은 캐패시터 상부 전극의 저항을 저감할 수 있는 반도체 집적 회로 장치를 제공하는데 있다.

본 발명의 상기 및 그 외의 목적과 신규인 특징은 본 명세서의 기술 및 첨부 도면에서 밝혀질 것이다.

본 원에서 개시되는 발명 중 대표적이지만 개요를 간단하게 설명하면 다음과 같다.

본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고, 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치로, 접속 부재로는 산화하여 도전성을 손상하는 금속이 포함되며, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고 제2층에는 금속 산화물을 형성하지 않을 정도로 또는 금속 산화물이 제2층과 접속 부재 간의 전기적 도통을 저해하지 않을 정도로 산소가 포함되는 것이다. 혹은 제2층에는 산소가 포함되지 않는 것이다.

이러한 반도체 집적 회로 장치에 따르면, 제2층에 산소가 포함되지 않거나 포함되었다고 해도 도전성을 저해하는 금속 산화물의 형성이 거의 이루어지지 않을 정도로 포함되기 때문에, 제2층과 접속 부재 간에는 도전성을 저해하는 물질이 형성되지 않고, 캐패시터의 상부 전극과 관통 구멍 플러그와의 접속 신뢰성이 향상한다. 이 결과, 반도체 집적 회로 장치의 신뢰성을 향상할 수 있다.

또, 접속 부재에는 질화 티탄으로 이루어지는 배리어층 또는 접착층을 포함할 수 있다. 접속 부재에 질화 티탄(TiN)을 포함하기 때문에, 가령 접속 부재에 접촉하는 상부 전극에 산소가 포함되면 질화 티탄 내의 티탄과 산소가 화합하고, 도전성을 저해하는 산화 티탄(TiO)이 형성된다. 그러나, 본 발명에서는 제2층에는 산소를 포함하지 않거나 포함해도 그 양은 근소하기 때문에, 산화 티탄(TiO)은 형성되지 않고 접속 부재와 제2층과의 접속은 양호하게 유지된다. 이 결과, 제2 전극과 접속 부재와의 접속을 양호하게 할 수 있다.

또, 본 발명의 경우, 접속 부재는 제2 전극을 관통하여 형성되어도 된다. 이러한 경우라도, 제1층과 접속 부재와의 접속이 양호해지지 않아도 적어도 제2층과 접속 부재와의 접속을 양호하게 할 수 있어, 결과로서 제2 전극과 접속 부재와의 접속을 양호하게 할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고, 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치이며, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고, 제2층은 절연막을 에칭하는 조건에 있어서 제1층을 구성하는 재료보다 에칭 속도가 작은 재료로 구성되는 것이다.

이러한 반도체 집적 회로 장치에 따르면, 제2층 상의 층간 절연막(예를 들면 실리콘 산화막)에 접속 구멍(관통 구멍)을 개구하는 에칭 단계에 있어서, 제2층을 에칭 스톱퍼로서 기능시킬 수 있다. 이에 따라, 관통 구멍의 제2 전극으로의 관통을 방지하고, 관통 구멍 플러그와 제2 전극과의 접속 신뢰성을 향상할 수 있다. 또한, 보다 깊은 구멍 깊이를 갖는 접속 구멍(예를 들면 캐패시터보다 하층에 형성되는 제1층 배선에 접속하는 접속 구멍)과 동시에 형성할 수 있어 접속 구멍 형성 단계를 간략화할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고, 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치이고, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고, 제2층은 제1층을 구성하는 재료보다 내산화성을 갖는 재료 또는 산화성 분위기에서 휘발 속도가 작은 재료로 구성되는 것이다.

이러한 반도체 집적 회로 장치에 따르면, 제2층의 내산화성이 높기 때문에, 또한 산화성 분위기에서의 휘발성이 작기 때문에, 관통 구멍 가공 후의 포토 레지스트막 제거 단계(애싱 단계)에 있어서, 제2층의 손상 및 휘발을 억제할 수 있다. 이 경우, 제1층이 산화성에 부족하거나 혹은 산화성 분위기에서의 휘발성을 갖는 재료(예를 들면 루테늄)로 구성되어도 제2층이 애싱 분위기에서의 블로킹막으로서 기능하고 제1층의 에칭 혹은 휘발을 방지할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고, 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치이고, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고, 제2층은 제1층을 구성하는 재료보다 저항율이 낮은 재료로 구성된다.

이러한 반도체 집적 회로 장치에 따르면, 제2층에 저항율이 낮은 재료가 이용되기 때문에, 제2 전극의 저항치를 저감하고 반도체 집적 회로 장치의 성능을 향상할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치이고, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고 제2 전극의 내부 응력은 제1층을 구성하는 재료로 제2 전극을 구성한 경우의 내부 응력보다 낮은 것이다.

이러한 반도체 집적 회로 장치에 따르면, 제1층 재료(예를 들면 루테늄)로 제2 전극 전체를 구성한 경우에 비하여, 제2층 재료(예를 들면 텅스텐)와 제1층 재료의 적층막으로 제2 전극을 구성한 경우 쪽이 내부 응력을 저감할 수 있다. 제1층 재료로서 이용하는 귀금속은 일반적으로 내부 응력이 크며, 그와 같은 귀금속으로 제2 전극을 구성하면 캐패시터 특성(예를 들면 누설 전류)이 증대하고, DRAM의 리프레시 특성이 열화한다. 본 반도체 집적 회로 장치에서는 내부 응력을 저감할 수 있기 때문에 그와 같은 문제를 회피할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고, 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치이고, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고 제2층 재료를 이방성 드라이 에칭 가공한 경우의 가공 단면에서의 테이퍼면과 하지와의 이루는 각도는 동일 에칭 조건 하에서의 제1층 재료의 가공 단면에서의 테이퍼면과 하지와의 이루는 각도보다 큰 것이다.

즉, 제2 전극 재료쪽이 제1 전극 재료보다 에칭 가공성에 우수하다. 이 때문에, 제1층 및 제2층으로 구성하는 제2 전극의 가공성은 제1층 재료로 제2 전극을 구성한 경우와 비교하여 우수하다.

또한, 본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고, 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치이고, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고 제1 전극이 기동형 또는 통형의 입체 형상으로 형성되고 있으며, 제1층의 막 두께 $T1 > (d-2 \times Tins)/2$ 의 조건을 만족하고, 제2층의 막 두께 $T2 > T1$ 의 조건을 만족하는 것이다. 다만, d 는 제1 전극의 인접 간 거리 또는 제1 전극의 원통 내부 직경 치수로 $Tins$ 는 용량 절연막의 막 두께이다.

즉, $T1 > (d-2 \times Tins)/2$ 의 조건보다 제1층은 적어도 하부 전극(제1 전극)과 캐패시터 절연막에 의한 요철을 매립에 필요한 막 두께가 요구된다. 제1층은 통상 루테늄 등의 귀금속으로 구성되므로 내부 응력을 저감하는 관점에서 그 막 두께는 상기 조건을 만족하는 한 얇은 것이 바람직하다. 한편, $T2 > T1$ 의 조건보다 제2층의 막 두께를 제1층의 막 두께보다 두껍게 형성하여 필요한 도전율을 확보하고 또한 제2 전극 전체의 응력을 적게 할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치는 제1 전극(하부 전극), 제2 전극(상부 전극) 및 용량 절연막(강유전체 또는 고유전체막)으로 이루어지는 캐패시터를 포함하고, 캐패시터 상의 배선(제2층 배선)과 제2 전극이 접속 부재(관통 구멍 플러그)로 접속된 반도체 집적 회로 장치이고, 제2 전극은 제1층(하층)과 제2층(상층)을 포함하고 제1층 및 제2층 단부의 단면 형상이 테이퍼형으로 가공되어 있는 것이다. 이 단면 형상은 테이퍼면의 상단에서부터 하지면으로 그 수직선의 최하단으로부터 테이퍼면의 하단까지의 거리가 최소 가공 치수의 2분의 1 이상의 값이 되도록 형성할 수 있다.

이와 같이 제1층 및 제2층의 단부를 테이퍼형으로 가공함으로써 반도체 집적 회로 장치의 신뢰성 및 수율을 향상할 수 있다. 즉, 제1층(예를 들면 루테늄 등의 귀금속)은 제2층과 비교하여 에칭 가공성에 뒤떨어진다. 이 때문에, 제1층 에칭 단면에는 휘발성에 부족한 사이드 필름(예를 들면 산화 루테늄)이 형성된다. 이러한 사이드 필름을 포함한 상태에서 그 후의 단계를 진행시키면, 세정 단계 등으로 이 사이드 필름이 에칭 단면으로부터 박리하여 먼지가 된다. 이러한 먼지는 반도체 집적 회로 장치의 수율을 저하시키는 요인이 되어 바람직하지 못하다. 그래서 본 발명과 같이 제2 전극의 에칭을 테이퍼형으로 행하고, 사이드 필름이 형성되지 않도록 한다. 이와 같이 하면, 먼지의 발생을 억제하고 반도체 집적 회로 장치의 수율의 향상 및 신뢰성의 향상에 기여할 수 있다.

또, 상기 반도체 집적 회로 장치에서 제1층은 귀금속막, 그 실리사이드막 혹은 산화막 또는 이들의 화합물막으로 할 수 있다. 제1층에는 백금막, 루테늄막, 루테늄 실리사이드막 또는 $SR0(SrRuO_x)$ 막을 예시할 수 있다. 이 때, 용량 절연막은 $BST(Ba_xSr_{1-x}TiO_3)$ 막, $ST0(SrTiO_3)$ 막 또는 산화 탄탈(Ta_2O_5)막으로 할 수 있다.

또한, 제1층은 질화 티탄막으로 하고 용량 절연막은 산화 탄탈(Ta_2O_5)막으로 할 수 있다.

또한, 제2층은 IVb족, Vb족 혹은 VIb족 원소로 이루어지는 금속막 또는 이들의 질화막, 실리사이드막 혹은 화합물막으로 할 수 있다. 제2층에는 텅스텐(W)막, 티탄(Ti)막, 탄탈(Ta)막, 질화 텅스텐(WN)막, 질화 티탄(TiN)막, 질화 탄탈(TaN)막, 티탄 알루미늄 니트라이드(TiAlN)막, 티탄 실리콘 니트라이드(TiSiN)막, 텅스텐 실리콘 니트라이드(WSiN)막 또는 탄탈 실리콘 니트라이드(TaSiN)막을 예시할 수 있다. 이들의 금속막 혹은 금속 화합물막은 제1층 재료보다 내산화성, 내에칭성에 우수하며 저항율이 낮은 재료이고 또한 스트레스(응력)가 작다. 이러한 재료를 제2층에 적용함으로써 상기한 바와 같은 기능을 달성할 수 있다.

또한, 제2 전극에는 제1 및 제2층 외에 질화 티탄막 혹은 티탄 실리콘 니트라이드막 등 티탄 화합물막으로 이루어지는 제3층을 형성할 수 있다. 질화 티탄막은 수소를 흡장하는 작용이 있으며, 캐패시터 형성 후의 수소 배리어로서 기능시킬 수 있다. 캐패시터 절연막에는 상기한 바와 같이 산화 금속 재료가 이용되며, 수소의 확산은 바람직하지 못하다. 이와 같이 질화 티탄막을 형성함으로써, 캐패시터 절연막의 성능을 높게 유지할 수 있다.

또한, 제1 전극은 귀금속막, 그 실리사이드막 혹은 산화막 또는 이들의 화합물막으로 할 수 있다. 제1 전극에는 백금막, 루테늄막, 루테늄 실리사이드막 또는 $SR0(SrRuO_x)$ 막을 예시할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치는 제2 전극과 동일층에 로컬 배선을 포함하고 로컬 배선은 제2 전극과 동일 단계로 형성되는 것이다. 제2층을 이용하여 저저항화된 제2 전극을 배선에 이용함으로써, 예를 들면, 메모리 매트 간의 제2 전극(플레이트 전극) 간을 상층 배선을 이용하지 않고 접속할 수 있다. 이에 따라, 상층 배선에의 관통 구멍수를 저감하고, 레이아웃의 자유도를 증가 반도체 집적 회로 장치의 고집적화에 기여할 수 있다.

또한, 본 발명의 반도체 집적 회로 장치의 제조 방법은 반도체 기판의 주요면의 MISFET 상에 제1 층간 절연막을 통하여 비트선 및 제1층 배선을 형성하고, 제2 층간 절연막 및 전극 형성용 절연막을 형성하고 전극 형성용 절연막에 구멍을 가공하는 단계, 구멍의 내부를 매립하는 금속 또는 금속 화합물을 형성한 후, 전극 형성용 절연막을 제거함으로써 또는 구멍의 내벽을 덮는 금속막 또는 금속 화합물막을 형성함으로써, 기동형 또는 통형의 제1 전극을 형성하는 단계, 제1 전극을 덮는 강 유전성 또는 고유전성의 용량 절연막을 피착하고 또한 제1 도전층 및 제2 도전층을 피착하는 단계, 제1 및 제2 도전층을 에칭함으로써 제2 전극을 형성하는 단계, 제2 전극을 덮는 제3 층간 절연막을 피착하고, 제2 전극에 도달하는 제1 접속 구멍 및 제1층 배선에 도달하는 제2 접속 구멍의 가공을 에칭에 의해 실시하는 단계를 포함하고, 제1 접속 구멍의 바닥부가 제2 전극에 달한 후, 제2 접속 구멍의 바닥부가 제1층 배선에 도달하기까지의 동안에 제2층이 에칭의 스톱퍼로서 기능하는 것이다.

또한, 제2 전극을 에칭하는 단계에서 제2층을 에칭한 후, 패터닝된 제2층을 마스크로 하여 제1층을 에칭하는 것이다.

이들 반도체 집적 회로 장치의 제조 방법에 의해서 상기한 반도체 집적 회로 장치를 제조할 수 있다.

발명의 구성 및 작용

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또, 실시예를 설명하기 위한 전 도면에서 동일 기능을 갖는 것은 동일한 부호를 붙여서 그 반복된 설명은 생략한다.

<실시예 1>

도 1 ~ 도 19는 본 발명의 일 실시예인 DRAM(Dynamic Random Access Memory)의 제조 방법을 단계순으로 나타낸 단면도이다. 또, 기판의 단면을 나타내는 각 도면의 좌측 부분은 DRAM의 메모리셀이 형성되는 영역(메모리셀 어레이)을 나타내고 우측 부분은 주변 회로 영역을 나타내고 있다.

우선, 도 1에 도시한 바와 같이 반도체 기판(이하 단순히 기판이라고 함 ; 1) 상에 메모리셀의 선택 MISFETs, 주변 회로의 n 채널형 MISFET_n 및 p 채널형 MISFET_p를 형성하고 또한 이들 MISFETs, Q_n, Q_p 상에 비트선 BL 및 제1층 배선(30 ~ 33)을 형성한다.

기판(1)에는 소자 분리홀(2)이 형성되며, 웨트 산화 혹은 드라이 열산화에 의해 막 두께가 얇은 실리콘 산화막(6)을 형성한 후, 예를 들면, 실리콘 산화막(7)을 소자 분리홀(2)에 매립한다. 이것을 예를 들면, CMP(Chemical Mechanical Polishing)법에 의해 연마하여 소자 분리홀(2)의 내부에 남기고 소자 분리 영역을 형성한다. 또한, 기판(1)에 p형 혹은 n형의 이온 주입을 실시하고 메모리셀 어레이의 기판(1)에 p형 웰(3) 및 n형 웰(5)을 형성하고, 주변 회로 영역의 기판(1)에 p형 웰(3) 및 n형 웰(4)을 형성한다. 그 후, 약 800℃의 열 산화로 p형 웰(3) 및 n형 웰(4) 각각의 표면에 청정한 게이트 산화막(8)을 형성한다.

MISFETs, Q_n, Q_p는 이하와 같이 하여 형성한다. 즉, 게이트 산화막(8) 상에 불순물이 도핑된 다결정 실리콘막을 예를 들면, CVD법으로 피착하고, 그 후 예를 들면, 스퍼터링법으로 WN막과 W막을 피착한다. 또한 그 상부에 CVD법으로 실리콘 산화막을 피착한다. 상기 W막의 응력 완화와 WN막의 덴시파이(치밀화)를 목적으로 한 열처리를 실시한 후, 상기 실리콘 산화막의 상부에 질화 실리콘막을 피착한다. 이 질화 실리콘막을 게이트 전극 패턴에 패터닝한 후, 질화 실리콘막을 마스크로 하여 상기 실리콘 산화막, W막, WN막 및 다결정 실리콘막을 드라이 에칭한다. 이에 따라, 다결정 실리콘막, WN막 및 W막으로 이루어지는 게이트 전극(9)이 형성된다. 또한, 이들의 게이트 전극(9)의 상부에 실리콘 산화막 및 질화 실리콘막으로 이루어지는 캡 절연막(10)이 형성된다. 또, 메모리셀 어레이에 형성된 게이트 전극(9)은 워드선 WL로서 기능한다.

다음에, 게이트 전극(9)의 양측의 p형 웰(3)에 n형 불순물(인 또는 비소)을 이온 주입함으로써 n형 반도체 영역(11)을 형성하고, n형 웰(4)에 p형 불순물(붕소)을 이온 주입함으로써 p형 반도체 영역(12)을 형성한다. 또한, 기판(1) 상에 질화 실리콘막(13)을 피착한 후, 메모리셀 어레이의 기판(1)의 상부를 포토 레지스트막(도시하지 않음)으로 덮어서 주변 회로 영역의 질화 실리콘막(13)을 이방적으로 에칭함으로써, 주변 회로 영역의 게이트 전극(9)의 측벽에 측벽 스페이서(13a)를 형성한다. 또한, 주변 회로 영역의 p형 웰(3)에 n형 불순물(인 또는 비소)을 이온 주입함으로써 n⁺형 반도체 영역(14 ; 소스, 드레인)을 형성하고, n형 웰(4)에 p형 불순물(붕소)을 이온 주입함으로써 p⁺형 반도체 영역(15 ; 소스, 드레인)을 형성한다. 여기까지의 단계에서 주변 회로 영역에 LDD(Lightly Doped Drain) 구조의 소스, 드레인을 포함한 n 채널형 MISFET_n 및 P 채널형 MISFET_p가 형성된다.

다음에, 게이트 전극(9)의 상부에 실리콘 산화막(16 ; 예를 들면, TEOS 산화막)을 피착하고 이것을 CMP 법으로 연마하여 그 표면을 평탄화한다. 그 후, 포토 레지스트막(도시하지 않음)을 마스크로 하여 메모리셀 어레이의 실리콘 산화막(16)을 드라이 에칭하고 또한 실리콘 산화막(16)의 하층의 질화 실리콘막(13)을 드라이 에칭하여 2 단계의 에칭에 의해 콘택트홀(18, 19)을 형성한다. 상기 콘택트홀(18, 19)을 통하여 메모리셀 어레이의 p형 웰[3 ; n형 반도체 영역(11)]에 n형 불순물(인 또는 비소)의 이온을 주입하고, n⁺형 반도체 영역(17 ; 소스, 드레인)을 형성한다. 여기까지의 단계에 의해 메모리셀 어레이에 n채널형으로 구성되는 메모리셀 선택용 MISFETs가 형성된다. 그 후, 콘택트홀(18, 19)의 내부에 불순물이 도핑된 다결정 실리콘막을 매립하여 플러그(20)를 형성한다. 플러그(20)는 매립된 다결정 실리콘막을 에치백(또는 CMP법으로 연마)하여 형성한다. 또한, 실리콘 산화막(16)의 상부에 예를 들면, CVD법으로 실리콘 산화막(21)을 피착한 후, 포토 레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 주변 회로 영역의 실리콘 산화막(21) 및 그 하층의 실리콘 산화막(16)을 드라이 에칭한다. 이에 따라 n⁺형 반도체 영역(14), p⁺형 반도체 영역(15), 게이트 전극(9), 메모리셀 어레이의 콘택트홀(18)의 상부에 각각 콘택트홀(22, 23, 24, 25)을 형성한다. 그 후, 콘택트홀(22, 23, 25)의 바닥부에 실리콘사이드막(26)을 형성하고, 콘택트홀(22, 23, 24, 25) 내부에 플러그(27)를 형성한다. 실리콘사이드막(26)의 형성은 Ti막과 TiN막을 피착한 후에 기판(1)을 약 650℃에서 열 처리함으로써, 플러그(27)의 형성은 예를 들면, CVD법으로 TiN막 및 W막을 피착한 후, 이것을 CMP법으로 연마하고 콘택트홀(22, 23, 24, 25)의 내부에만 남김으로써 행한다.

다음에, 메모리셀 어레이의 실리콘 산화막(21)의 상부에 비트선 BL을 형성하고, 주변 회로 영역의 실리콘 산화막(21)의 상부에 제1층 배선의 배선(30 ~ 33)을 형성한다. 비트선 BL 및 제1층 배선의 배선(30 ~ 33)은 예를 들면, 실리콘 산화막(21)의 상부에 스퍼터링법으로 W막을 피착한 후, 포토 레지스트막을 마스크로하여 이 W막을 드라이 에칭함으로써 형성한다.

다음에, 비트선 BL 및 제1층재의 배선(30 ~ 33)의 상부에 실리콘 산화막(34)을 형성한다. 이 실리콘 산화막(34)은 상기 실리콘 산화막(16)과 마찬가지로 방법으로 형성한다. 그 후, 실리콘 산화막(34)에 관통 구멍(38)을 형성한다. 관통 구멍(38)의 형성은 실리콘 산화막(34)의 상부에 CVD법으로 다결정 실리콘막을 피착한 후 이것을 패터닝하고 또한 이 패터닝된 다결정 실리콘막의 측벽에 측벽 스페이서를 형성하고, 이 측벽 스페이서와 다결정 실리콘막을 마스크로 하여 에칭에 의해 형성할 수 있다. 이와 같이 측벽 스페이서를 마스크에 이용함으로써, 노광의 해상도 한계 이하의 가공 치수로 관통 구멍(38)이 형성할 수 있다.

다음에, 관통 구멍(38)의 내부에 플러그(39)를 형성한다. 플러그(39)는 관통 구멍(38)의 내부를 포함하는 실리콘 산화막(34)의 상부에 n형 불순물(인)을 도핑한 저저항 다결정 실리콘막을 CVD법으로 피착한 후, 이 다결정 실리콘막을 에치백하여 관통 구멍(38)의 내부에만 남김으로써 형성한다. 다음 단계에서 설명하는 배리어막(40)을 형성하기 때문에, 에치백을 약간 지나치게 행하고 플러그(39)의 표면이 실리콘 산화막(34) 표면보다 낮고 즉 관통 구멍(38)의 상부에 오목부가 형성되는 것과 같이 한다.

다음에, 도 2에 도시한 바와 같이 플러그(39) 상에 배리어막(40)을 형성하고 또한 실리콘 산화막(34) 상에 실리콘 질화막(41) 및 실리콘 산화막(42)을 순차 피착한다.

배리어막(40)의 재료는 예를 들면, 텅스텐(W), 텅스텐 니트라이드(WN), 티탄 니트라이드(TiN), 탄탈 니트라이드(TaN), 티탄 알루미늄 니트라이드(TiAlN), 티탄 실리콘 니트라이드(TiSiN), 탄탈 실리콘 니트라이드(TaSiN), 텅스텐 실리콘 니트라이드(WSiN), 루테늄 실리사이드(RuSi), 텅스텐 붕소(WB), 티탄 붕소(TiB), 텅스텐 카바이드(WC), 티탄 카바이드(TiC) 등을 예시할 수 있다. 이들의 재료를 이용한 배리어막(40)은 후에 설명하는 캐패시터 절연막의 산화 처리 단계에서 산소의 확산을 차단하는 기능을 갖는다. 이 기능에 대해서는 후에 상술한다.

배리어막(40)은 예를 들면, 플러그(39) 및 실리콘 산화막(34)의 표면에 배리어막(40)의 재료인 피막을 CVD법 또는 스퍼터법에 의해 형성하고, 이것을 CMP법에 의해 연마하고, 플러그(39) 상의 오목부[관통 구멍(38)의 상부]에만 배리어막(40)을 남김으로써 형성한다.

실리콘 질화막(41)과 실리콘 산화막(42)은 예를 들면, CVD법에 의해 형성할 수 있다. 실리콘 질화막(41)은 후에 설명하는 하부 전극의 기계적 강도를 유지하기 위해서 형성한다. 실리콘 질화막(41)의 막 두께는 예를 들면, 100nm로 한다. 또한, 실리콘 산화막(42)은 후에 설명하는 하부 전극의 형성에 이용한다. 실리콘 산화막(42)의 막 두께는 하부 전극의 높이를 결정하는 요소가 되며, 캐패시터에 요구되는 용량치로부터 역산하여 구해진다. 하부 전극을 0.13 μ m의 기동형으로 가공하고, 캐패시터 절연막으로서 BST막을 이용하여 실리콘 산화막 환산의 실효 막 두께를 0.4nm로 하는 것을 전제라고 하면, 실리콘 산화막(42)의 막 두께는 700nm가 된다. 이에 따라, 하부 전극의 캐패시터로서 기여하는 부분의 높이는 700nm가 되며 캐패시터의 용량치로서 40fF를 확보할 수 있다.

다음에, 도 3에 도시한 바와 같이 실리콘 산화막(42) 및 실리콘 질화막(41)에 구멍(43)을 형성한다. 구멍(43)의 형성에는 우선 실리콘 산화막(42) 상에 포토 레지스트막(도시하지 않음)을 형성하여 이것을 패터닝한다. 본 실시예에서는 실리콘 산화막(34)의 형성에 CMP법에 의한 연마가 이용되고 있기 때문에, 실리콘 산화막(34)의 평탄성이 높고, 이 때문에 실리콘 산화막(42) 표면의 평탄성도 높게 유지된다. 이 때문에, 실리콘 산화막(42) 상에 형성되는 포토 레지스트막으로의 노광을 정밀하게 행할 수 있다. 이 포토 레지스트막은 하부 전극 형성을 위한 것으로 최소 가공 치수로 패터닝할 필요가 있다. 따라서, 노광 정밀도를 높게 할 수 있는 것은 이 포토 레지스트막의 패터닝에서는 매우 바람직하다. 포토 레지스트막은 예를 들면, 0.13 μ m의 개구경으로 패터닝된다. 다음에, 이 포토 레지스트막을 마스크로 하여 실리콘 산화막(42) 및 실리콘 질화막(41)에 에칭을 실시하고 구멍(43)을 형성한다. 이 에칭에는 2 단계의 에칭을 실시할 수 있다. 즉, 제1 에칭은 실리콘 산화막이 에칭되지만 실리콘 질화막이 에칭되기 어려운 조건으로 행하고, 실리콘 산화막(42)을 충분한 오버 에칭 하에서 에칭 가공한다. 이 때, 실리콘 질화막(41)은 에칭 스톱퍼로서 기능한다. 그 후, 제2 에칭을 실리콘 질화막이 에칭되는 조건으로 행한다. 이 에칭은 실리콘 질화막(41)이 실리콘 산화막(42)과 비교하여 충분히 얇은 막 두께로 형성되어 있기 때문에, 다소의 오버 에칭을 실시하여도 하자인 실리콘 산화막(34)이 지나치게 에칭되지는 않는다. 이 때문에, 미세한 개구경의 구멍(43)을 높은 어스펙트비라도 고정밀도로 가공하는 것이 가능해진다.

다음에, 도 4에 도시한 바와 같이 구멍(43)을 매립하도록 루테늄막(44)을 형성한다. 루테늄막(44)의 막 두께는 예를 들면, 100nm ~ 200nm로 한다. 또한, 루테늄막(44)의 형성에는 CVD법을 이용한다. 소스(원료) 가스는 예를 들면, Ru(BtCp)₂/THF를 0.5sccm, O₂를 50sccm으로 한다. 다만, BtCp는 부틸 시클로 펜타기(C₅H₈(C₄H₉)⁻)이다. THF는 테트라히드로푸란(C₄H₈O)이며 용제로서 작용한다.

이와 같이 루테늄막(44)을 CVD법에 의해 피착함으로써, 미세하고 또한 고어스펙트비인 구멍(43)으로의 매립을 양호하게 할 수 있다. 또, 여기서는 루테늄막(44)을 예시하고 있지만, 루테늄 대신에 백금을 이용해도 된다. 백금을 CVD법에 의해 피착하는 경우에는 소스(원료) 가스로서, 예를 들면, (MeCp)Pt(Me)₃과 O₂를 이용할 수 있다. 다만, Me는 메틸기(CH₃-)이며 MeCp는 메틸 시클로 펜타기(C₅H₆(CH₃)⁻)이다.

또, 루테늄막(44)의 CVD법에 의한 피착에 앞서서 25nm ~ 100nm 정도의 막 두께의 루테늄막을 스퍼터법에 의해 형성해도 된다. 이 경우, 스퍼터법에 의한 루테늄막이 시드막이 되어 루테늄막(44)의 형성이 용이해진다.

다음에, 도 5에 도시한 바와 같이 실리콘 산화막(42) 상의 루테늄막(44)을 에치백법에 의해 제거하고, 구멍(43) 내에만 루테늄막(44)을 남겨서 하부 전극(45)을 형성한다. 에치백법 대신에 CMP법을 이용해도 된다.

또, 하부 전극(45)의 형성 후, 루테늄을 덴시파이(소결)하기 위한 열처리를 실시해도 된다. 이에 따라 하부 전극(45 ; 루테늄)의 응력 완화를 행할 수 있다.

다음에, 도 6에 도시한 바와 같이 실리콘 산화막(42)을 제거하여 하부 전극(45)의 측면을 노출한다. 실리콘 산화막(42)의 제거에는 예를 들면, 습식 에칭법을 이용한다. 이 때, 실리콘 질화막(41)이 에칭 스톱퍼로서 기능한다.

다음에, 도 7에 도시한 바와 같이 BST막(46)을 형성한다. BST막(46)은 DRAM의 캐패시터 절연막으로서 기능한다. BST막(46)의 막 두께는 예를 들면, 20 ~ 30nm로 하고 CVD법에 의해 형성한다. 또한, 피착 직후 상태의 BST막(46)에서는 산소 결함이 많기 때문에, 산소 결함을 회복하기 위한 산화 열 처리를 행한다. 산화 열 처리는 예를 들면, 산소 분위기 중, 500°C ~ 700°C의 온도 범위의 조건으로 행한다. 여기서는 산소 분위기를 예시하였지만, 산소에 한정되지 않고 산화 질소(NO, N₂O), 오존(O₃) 등의 산화성 분위기라도 좋다. 본 실시예에서는 하부 전극(45)에 루테늄을 이용하기 때문에, BST막(46)의 형성과 그 후의 산화 처리에 의해 하부 전극(45)과 BST막(46)의 계면에 유전체가 형성되지는 않는다. 즉, BST막(46)의 피착에는 산소 또는 산소를 포함하는 가스가 원료로서 이용되며 또한 산화 처리에서는 BST막(46)을 투과하여 활성인 산소가 하부 전극(45)과의 계면에까지 달한다. 이 때문에, 하부 전극(45) 표면이 산화되며 하부 전극(45)과 BST막(46)과의 계면에 루테늄의 산화물(산화 루테늄)이 형성된다. 그러나, 산화 루테늄은 도전성 물질로, 산화물의 형성에 의해 용량 절연막의 실효막 두께가 두꺼워지지 않는다. 특히, BST막(46)의 유전률이 높기 때문에 저유전률의 절연막이 형성되지 않은 장점은 크다.

다음에, 도 8에 도시한 바와 같이 제1층인 루테늄막(47)을 형성한다. 루테늄막(47)은 다음에 설명하는 텅스텐막(제2층 ; 48)과 함께 DRAM 캐패시터의 상부 전극을 구성한다. 루테늄막(47)은 상기한 루테늄막(44)과 마찬가지로 CVD법에 의해 형성한다. 또, 제1층에는 상기한 바와 마찬가지로 백금막을 이용해도 된다. CVD법을 이용함으로써 미세하게 가공된 하부 전극(45) 간을 양호하게 매립할 수 있다.

상기한 CVD법에서는 소스 가스로서 산소(O₂)를 이용하고 있기 때문에, 루테늄(또는 백금)막(47) 내에 산소가 함유된다. 이러한 금속 내의 산소는 종래 기술에서는 후의 단계로 형성되는 플러그를 구성하는 금속과의 금속 화합물(예를 들면 산화 티탄)을 형성하여 도통 불량을 발생시킬 가능성이 있다. 그러나 본 실시예에서는 후에 설명한 바와 같이 제2층이 형성되기 때문에 이러한 문제점은 생기지 않는다.

또한, 루테늄막(47)은 하부 전극(45) 간의 스페이스를 매립하는데 필요한 막두께로 형성된다. 구멍(43) 내에는 이미 BST막(46)이 형성되어 있기 때문에, 하부 전극(45) 간의 스페이스 d(예를 들면 0.13μm)로부터 BST막(46)의 막 두께 T_{ins}(예를 들면 30nm)의 2배를 뺀 값(예를 들면 0.07μm)의 반(예를 들면 35nm) 이상의 막 두께가 요구된다. 즉, 루테늄막(47)의 막 두께 T₁은 T₁ > (d - 2 × T_{ins})/2의 관계가 만족된다. 이러한 막 두께 이상의 루테늄막(47)을 형성하면, 루테늄막(47)에 의해 구멍(43)을 매립하는 것이 가능해지며 다음에 설명하는 제2층을 스퍼터법에 의해 형성할 수 있다.

또, 루테늄막(47)의 CVD법에 의한 피착에 앞서서 스퍼터법에 의해 얇은 루테늄막을 형성해도 된다. 이 경우, 스퍼터법에 의한 루테늄막은 CVD법에서의 시드막으로서 기능한다. 이에 따라, 루테늄막(47)의 형성을 쉽게 하고 매립성을 향상할 수 있다.

다음에, 도 9에 도시한 바와 같이 제2층인 텅스텐막(48)을 형성한다. 텅스텐막(48)은 상기한 루테늄막(47 ; 제1층)과 함께 후에 설명하는 DRAM 캐패시터의 상부 전극(49)을 구성한다.

텅스텐막(48)은 스퍼터법에 의해 형성된다. 상기한 바와 같이 루테늄막(47)으로 하부 전극(45) 간의 오목부가 매립되며 그 표면은 거의 평탄하게 형성되고 있다. 이 때문에, 스텝 커버리지 혹은 매립성에 우수한 CVD법을 이용할 필요가 없다. 가령 CVD법에 의해 텅스텐막을 피착하는 경우에는 CVD 분위기 중에 수소가 포함되어 환원성이 된다. 본 실시예에서는 상기한 바와 같이 BST막(46)이 이용되고 있으며 또한 루테늄막(47)을 통하여 수소가 BST막(46)에 달할 가능성이 있다. BST막(46)에는 산소가 포함되며, 가령 수소가 BST막(46)에 달한 경우에는 수소에 의해 막 중의 산소가 방출되어 산소 결함이 증가할 가능성이 있다. 따라서, 산소 결함 회복 후의 BST막(46)이 형성된 후에 환원 분위기가 생기는 CVD법을 이용하지 않고 스퍼터법을 이용하는 본 실시예는 BST막(46)의 성능(예를 들면 누설 전류의 저감)을 향상하는데 있어서 효과가 크다.

또한, 텅스텐막(48)의 막 두께 T₂는 루테늄막(47)의 막 두께 T₁보다 크게 형성한다. 이와 같이 T₂ > T₁로 함으로써 상부 전극(49) 전체의 스트레스를 저감할 수 있다. 즉, 루테늄 등 백금족은 일반적으로 내부 응력(스트레스)이 크다. 이러한 백금족만으로 상부 전극(49)을 구성하는 경우, 필요한 저항치까지 저항을 저감하기 위해서는 상당하는 막 두께를 필요로 하는 것을 전제로 하면, 상부 전극(49) 전체의 스트레스가 커진다. 한편, 텅스텐은 백금족과 같이 큰 스트레스가 생기지 않는다. 큰 스트레스를 갖는 상태에서는 캐패시터의 성능 저하, 특히 BST막(46)으로의 스트레스에 의한 누설 전류의 증가 등이 발생한다. 그러나, 본 실시예에서는 하층[루테늄막(47)]과 상층[텅스텐막(48)]으로 나누어서 상부 전극(49)을 구성하기 때문에, 필요한 막 두께[상부 전극(49) 전체의 막 두께]를 확보하면서, 상부 전극(49) 전체의 스트레스를 낮게 억제할 수 있다. 이에 따라 캐패시터 특성(누설 전류 특성)을 양호하게 유지할 수 있다.

또한, 텅스텐막(48)을 형성함으로써 상부 전극(49)의 저항치를 낮게 유지할 수 있다. 즉, 루테늄은 저항율이 50 μΩ cm인데 대하여, 텅스텐의 저항율은 10 μΩ cm로 낮다. 이 때문에, 동일 막 두께라도 가령 루테늄막(47)만으로 상부 전극(49)을 구성하는 경우보다 본 실시예의 상부 전극(49)으로는 그 전체의 저항치를 저감할 수 있다. 게다가 상기한 바와 같이 텅스텐막(48)의 막 두께를 두껍게 형성할 수 있기 때문에, 상부 전극(49)의 저항을 더 저감할 수 있다. 예를 들면, 루테늄막(47)의 막 두께를 50nm로 하고, 텅스텐막의 막 두께를 100nm로 한 경우에는 시트 저항은 1Ω/□가 된다. 가령, 막 두께 50nm의 루테늄막만으로 하부 전극을 구성한 경우에는 시트 저항이 10Ω/□이 되는 것과 비교하여 각별히 상부 전극(49)의 저항치를 저감할 수 있다.

또한, 텅스텐막(48)에는 실질적으로 산소가 포함되지 않는다. 이 때문에, 후에 설명하는 플러그가 형성되어도 플러그(예를 들면 질화 티탄과 텅스텐과의 적층막으로 구성된다) 중의 금속(예를 들면 티탄)과의

산화막이 계면에 형성되지 않는다. 이러한 산화물(산화 티탄)은 부도체 또는 전기 저항이 높은 물질로, 가령 플러그와 텅스텐막[48 ; 상부 전극(49)] 간에 형성된 경우에는 전기적 접촉의 저해 요인 혹은 도통 불량 원인이 되지만, 본 실시예에서는 그와 같은 산화물(도통 저해물)이 형성되지 않는다. 이 결과, 플러그와 캐패시터와의 접촉을 확실하게 하고 또한 접촉 신뢰성을 향상하여 DRAM의 신뢰성 및 성능을 높게 유지할 수 있다. 또, 여기서 텅스텐막(48)에는 산소가 실질적으로 포함하지 않는다고 표현하였지만, 상기한 바와 같은 도통 저해물이 형성되지 않을 정도의 산소의 함유를 배제할만한 것은 아니다. 즉, 산소가 포함되어 있어도 그 양이 매우 적고 도통 저해물을 형성하여도 터널링에 의해 도통을 확보할 수 있을 정도 혹은 용이하게 절연 파괴되어 도통을 저해하지 않을 정도의 막 두께로 형성되는 것에 지나지 않을 정도의 산소의 혼입은 허용된다. 예를 들면, 플러그 형성 전의 단계에서 텅스텐막(48) 표면에 부착한 대기 분위기 중의 산소 혹은 수증기 등이다. 또한, 텅스텐막(48)의 형성(스퍼터) 시에 불가피하게 혼입되는 스퍼터 분위기 중의 산소이다.

텅스텐막(48)은 상기한 특징 이외에도 제1층인 루테늄막(47)보다 실리콘 산화막의 에칭 조건에서의 에칭 속도가 낮은 재료인 것, 산화성 분위기에서의 휘발 속도가 느린 것, 등의 특징을 갖지만, 이 점은 후의 단계에서 상술한다.

다음에, 도 10에 도시한 바와 같이 텅스텐막(48) 상에 도시하지 않은 포토 레지스트막을 형성하고, 이것을 마스크로 하여 텅스텐막(48), 루테늄막(47) 및 BST막(46)을 에칭한다. 이에 따라 텅스텐막(48 ; 제2층) 및 루테늄막(47 ; 제1층)으로 이루어지는 상부 전극(49)과, BST막(46)으로 이루어지는 캐패시터 절연막(50)을 형성한다. 또한, 이 때 동시에 실리콘 질화막(41)도 에칭하여 제거한다. 이에 따라 주변 회로부의 실리콘 질화막(41)이 제거되며, 후에 주변 회로부에 관통 구멍이 형성될 때의 에칭을 용이하게 할 수 있다.

또, 상기 에칭에 있어서, 포토 레지스트막을 마스크로 하여 텅스텐막(48)을 에칭하고, 포토 레지스트막을 제거하고 텅스텐막(48)을 마스크로 하여 더 루테늄막(47) 그 외의 막을 에칭해도 된다. 이 경우, 텅스텐막(48)을 하드 마스크로 하여 기능시킬 수 있고 에칭 가공의 정밀도를 향상할 수 있다.

또한, 상기 에칭을 이방성 에칭 혹은 에칭 단면이 거의 수직으로 가공되는 것과 같은 에칭을 실시한 경우에는 도 11a에 도시한 바와 같은 에칭 단면이 형성된다. 도 11a, 도 11b는 도 10에서의 A부의 확대 단면도이다. 즉, 텅스텐막(48) 그 외의 막의 단면은 거의 수직으로 가공되지만 루테늄막(47)의 에칭 단면에는 테이퍼가 형성된다. 이것은 루테늄막(47)의 에칭이 텅스텐 등의 에칭과 비교하여 곤란하며, 수직으로 가공하기 어려운 가공 곤란성을 가지기 때문이다. 이러한 경우, 루테늄막(47)의 측벽에는 휘발성이 낮은 반응 생성물(예를 들면 RuO_2)이 형성되는 경우가 있다. 이러한 반응 생성물은 그 후의 세정 단계 등으로 박리하고, 먼지가 될 가능성이 있다. 그래서, 도 11b에 도시한 바와 같이 텅스텐막(48), 루테늄막(47) 및 BST막(46)을 비스듬하게 에칭되도록 하는 조건으로 에칭을 행할 수 있다. 이에 따라 루테늄막(47) 측벽의 반응 생성물(사이드막)의 형성을 방지하여, 먼지의 발생을 방지하고, 반도체 집적 회로 장치의 수율 및 신뢰성의 향상을 도모할 수 있다. 또, 경사 에칭의 각도는 테이퍼면의 상단 P1에서부터 하지면으로 그 수직선의 최하단 P2에서부터 테이퍼면의 하단 P3까지의 거리 X가 최소 가공 치수(예를 들면 $0.13\mu\text{m}$)의 2분의 1 이상의 값(예를 들면 65nm 이상)으로 할 수 있다.

또한, 도 12에 도시한 바와 같이 상부 전극(49)의 패터닝과 동시에 로컬 배선(51)의 패터닝을 행할 수 있다. 즉, 상부 전극(49)은 메모리 매트마다 형성되지만, 인접하는 메모리 매트 간을 접속하는 배선으로서 로컬 배선(51)을 형성할 수 있다. 로컬 배선(51)은 상부 전극(49)과 마찬가지로 루테늄막(47) 및 텅스텐막(48)으로 이루어진다. 본 실시예에서는 텅스텐막(48)을 설치하고 있기 때문에, 로컬 배선(51)의 저항을 저감할 수 있다. 또한, 로컬 배선(51)은 메모리 매트마다의 상부 전극(49) 간을 접속하는 배선으로서 형성하기 때문에, 관통 구멍을 통하여 상층으로 상승하고, 제2층 배선을 통하여 상부 전극(49) 간을 접속할 필요가 없다. 이 때문에 관통 구멍을 형성하기 위한 면적을 필요로 하지 않고, 고집적화를 도모함과 함께, 설계를 용이하게 할 수 있다. 또, 여기서는 상부 전극(49) 간을 접속하는 배선을 예시하였지만, 주변 회로 영역의 로컬 배선으로서 이용해도 된다.

다음에, 도 13에 도시한 바와 같이 상부 전극(49)을 덮는 실리콘 산화막(52)을 형성한다. 실리콘 산화막(52)은 예를 들면, TEOS 산화막의 피착과 CMP법에 의한 연마에 의해 표면을 평탄화하여 형성할 수 있다.

다음에, 도 14에 도시한 바와 같이 실리콘 산화막(52) 상에 포토 레지스트막(53)을 형성한다. 포토 레지스트막(53)은 제2층 배선과 상부 전극(49)을 접속하는 플러그 및 제2층 배선과 제1층 배선을 접속하는 플러그가 형성되는 영역에 개구를 갖도록 형성한다. 여기서는 예를 들면, 제2층 배선과 상부 전극(49)을 접속하는 플러그에 대응하는 개구를 참조 번호 54, 제2층 배선과 제1층 배선(31)을 접속하는 플러그에 대응하는 개구를 참조 번호 55로 한다. 개구(54, 55)를 포함하는 포토 레지스트막(53)을 마스크로 하여 실리콘 산화막(52)을 에칭하면, 그 에칭 단계 도중에서 개구(54)에 대해서는 에칭 구멍이 상부 전극(49)의 표면(텅스텐막(48) 표면)에 도달하여, 개구(55)에 대해서는 에칭 구멍이 아직 제1층 배선(31) 표면에 도달하지 않은 상황이 생긴다. 이 시점에서는 아직 관통 구멍의 개구 단계는 종료하지 않기 때문에, 개구(54)에 대해서는 오버 에칭 상태가 된다. 이 때, 텅스텐막(48)은 에칭 스톱퍼로서 기능한다. 즉, 제2층인 텅스텐막(48)은 제1층인 루테늄막(47)보다 실리콘 산화막을 에칭하는 조건에서의 에칭 속도가 작은 재료로 되어 있다. 가령 텅스텐막(48)이 형성되지 않은 상부 전극(49)의 구성에서는 상기한 에칭 도중에서 에칭 구멍이 루테늄막에 달한 단계에서 루테늄이 에칭되기 시작한다. 루테늄은 실리콘 산화막의 에칭 분위기에서 에칭내성을 갖지 않으므로 루테늄막을 관통하여 관통 구멍이 형성되게 된다. 이에 대하여 본 실시예에서는 텅스텐막(48)이 형성되어 있기 때문에, 상부 전극(49)을 관통하여 관통 구멍이 형성되지는 않는다. 이 결과, 후에 형성되는 플러그와 상부 전극(49)과의 접촉 면적을 충분히 크게 유지할 수 있고 상부 전극(49)과 플러그와의 접촉 신뢰성을 높일 수 있다.

또한 에칭을 계속하고 도 15에 도시한 바와 같이 관통 구멍(56, 57)을 완성한다.

다음에, 도 16에 도시한 바와 같이 포토 레지스트막(53)을 제거한다. 포토 레지스트막(53)의 제거는 산소 등의 플라즈마 분위기에서의 처리(애싱)에 의해 행한다. 이 애싱에서는 관통 구멍(56, 57)의 바닥부도 산화성 분위기에 노출되지만, 본 실시예에서는 텅스텐막(48)이 형성되어 있으며, 이 텅스텐막(48)이 산화 방지막으로서 기능하기 때문에 루테늄막(47)이 휘발하지 않는다. 즉, 루테늄 등 백금족 재료는 산화성 분위기에 의해 휘발하지만, 가령 관통 구멍(56)이 상부 전극(49)을 관통하여 형성되는 경우에는 루테늄막(47)이 이 산화성 분위기에 노출되게 되며 휘발에 의해 그 단부면이 후퇴하게 된다. 상부 전극(49)이 루테늄막만으로 구성되는 종래 기술에서는 이러한 루테늄의 후퇴에 의해 상부 전극과 플러그와의 접촉 불량을 생긴다. 그러나, 본 실시예에서는 이러한 문제점은 생길 수 없다.

또한, 종래 기술에서는 관통 구멍(56)의 바닥부에서 루테늄막이 노출되기 때문에 애싱 분위기에 의해 루테늄막에 산소가 흡입된다. 이 산소에 의해 플러그 간의 금속 산화물(예를 들면 산화 티탄)이 생기고, 플러그와 상부 전극 간의 접촉 신뢰성이 손상되는 문제가 있는 것은 상기하였다. 그러나, 본 실시예에서는 텅스텐막(48)이 형성되며, 관통 구멍(56) 바닥부에 루테늄막(47)이 노출하지는 않는다. 이 때문에, 애싱 분위기로부터의 산소의 흡입은 행해지지 않고 또한 텅스텐막(48)은 충분한 내산화성을 포함하고, 산소가 흡입되지도 않기 때문에, 플러그와 상부 전극(49) 간에 산화 티탄 등 접촉 불량을 생기는 물질이 형성되지도 않는다. 이 때문에, 상부 전극(49)과 플러그와의 접촉 신뢰성을 높게 유지하고 반도체 집적 회로 장치의 성능과 신뢰성을 향상할 수 있다.

다음에, 도 17에 도시한 바와 같이 관통 구멍(56, 57)의 내부를 포함하는 실리콘 산화막(52) 상에 배리어막인 질화 티탄막(58) 및 텅스텐막(59)을 피착한다. 질화 티탄막(58) 및 텅스텐막(59)의 피착에는 예를 들면, CVD법을 이용한다. 질화 티탄막(58)은 관통 구멍(56, 57)의 내벽에 따르도록 형성하고 텅스텐막(59)은 관통 구멍(56, 57)을 매립하도록 형성한다.

다음에, 도 18에 도시한 바와 같이 에치백법 또는 CMP법을 이용하여 실리콘 산화막(52) 상의 질화 티탄막(58) 및 텅스텐막(59)을 제거한다. 이에 따라 플러그(60)를 형성한다. 또, 플러그(60)와 상부 전극(49)과의 접촉부에는 질화 티탄이 형성되어 있지만, 텅스텐막(48)에는 산소가 실질적으로 포함되지 않기 때문에, 플러그(60)와의 계면에 전기적 접촉을 저해하는 것과 같은 물질(예를 들면 산화 티탄)이 형성되지는 않는다.

다음에, 도 19에 도시한 바와 같이 플러그(60)에 접속하는 제2층 배선을 형성한다. 제2층 배선은 실리콘 산화막(52) 상에 형성된 실리콘 질화막(61)으로 그 상층의 실리콘 산화막(62)의 홀(63)에 형성된다. 홀(63)은 실리콘 산화막(62) 상에 형성된 포토 레지스트막(도시하지 않음)을 마스크로 하여, 2단계의 에칭에 의해 형성된다. 즉, 실리콘 산화막이 에칭되지만 실리콘 질화막이 에칭되지 않은 조건의 제1 단계의 에칭에 의해 실리콘 산화막(62)을 에칭하고, 그 후 실리콘 질화막이 에칭되는 제2 단계의 에칭에 의해 실리콘 질화막(61)을 에칭한다. 이에 따라, 하지인 실리콘 산화막(52)의 지나친 에칭을 방지할 수 있다.

홀(63) 내로의 제2층의 배선은 탄탈, 질화 티탄 등의 배리어막(64)의 피착 후, 구리막(65)을 도금법 혹은 스퍼터법에 의해 형성하고, 그 후 이것을 CMP법에 의해 연마하여 홀(63) 내에만 남김으로써 형성한다.

그 후, 층간 절연막, 제3층 배선 등 상층 배선을 형성할 수 있지만 설명을 생략한다.

본 실시예에 따르면, 상부 전극(49)을 제1층인 루테늄막(47)과 제2층인 텅스텐막(48)으로 구성하기 위해서 플러그(60)와의 접촉 신뢰성을 높게 할 수 있다. 또한, 상부 전극(49)의 저항을 저감할 수 있다.

<실시예 2>

도 20 ~ 도 25는 본 발명의 다른 실시예인 DRAM의 제조 방법을 단계순으로 나타낸 단면도이다. 또, 실시예 1과 마찬가지로 기관의 단면을 나타내는 각 도면의 좌측 부분은 DRAM의 메모리셀이 형성되는 영역(메모리셀 어레이)을 나타내고 우측 부분은 주변 회로 영역을 나타내고 있다.

본 실시예의 제조 방법은 실시예 1에서의 도 3까지의 단계과 마찬가지로 그 상세한 설명은 생략한다.

실시예 1의 도 3에 도시한 바와 같이 구멍(43)을 실리콘 산화막(42)에 형성 후, 도 20에 도시한 바와 같이 루테늄막(66)을 형성한다. 루테늄막(66)은 실시예 1과 같이 구멍(43)을 매립하도록 형성하는 것과는 차이가 나고, 도 20과 같이 구멍(43)의 내벽에 따르도록 형성한다. 루테늄막(66)의 막 두께는 예를 들면, 50nm로 한다. 또한, 루테늄막(66)은 스퍼터법 혹은 CVD법 중 어느 하나의 방법을 이용해도 된다. CVD법에 의한 경우에는 실시예 1과 마찬가지로 형성할 수 있어, 미세하게 가공된 구멍(43)의 내벽에 균일하게 피막 형성할 수 있다.

다음에, 도 21에 도시한 바와 같이 실리콘 산화막(42) 표면의 루테늄막(66)을 제거하고, 구멍(43)의 내벽에만 루테늄막(66)을 남겨서 하부 전극(67)을 형성한다. 실리콘 산화막(42) 표면의 루테늄막(66)의 제거는 CMP법, 에치백법을 이용할 수 있다. 이 제거 단계에 있어서, 구멍(43)을 매립하는 실리콘 산화막[다만 실리콘 산화막(42)과의 에칭 선택비를 취할 수 있는 것을 요한다. 예를 들면, SOG(Spin On Class) 등]을 형성해도 된다.

이와 같이 본 실시예의 하부 전극(67)은 실시예 1과 차이가 나서 상부에 개구를 포함하는 통형으로 형성된다. 캐패시터를 구성하는 면은 통형의 내벽면이 된다.

다음에, 도 22에 도시한 바와 같이 하부 전극(67)의 내벽면에 따르는 BST막(68)을 실시예 1과 마찬가지로 형성한다.

다음에, 도 23에 도시한 바와 같이 BST막(68) 상에 제1층인 루테늄막(69)을 형성한다. 루테늄막(69)은 구멍(43)에 의한 오목부를 매립하도록 형성한다. 이와 같이 오목부를 매립하는 것은 실시예 1과 마찬가지로 하지만, 매립에 요하는 루테늄막(69)의 막 두께가 실시예 1의 경우보다 본 실시예에서는 얇아진다.

즉, 본 실시예에서는 구멍(43)의 내벽에 통형의 하부 전극(67)을 형성하기 때문에, 하부 전극[67 ; 루테늄막(66)]의 막 두께의 2배분만큼 루테늄막(69)의 막 두께를 얇게 할 수 있다. 이 때문에, 루테늄막(69)에 의한 응력의 발생을 작게 할 수 있어, 후에 설명하는 상부 전극 전체의 응력을 저감할 수 있다.

다음에, 도 24에 도시한 바와 같이 루테늄막(69) 상에 텅스텐막(70)을 형성한다. 텅스텐막(70)의 막 두께는 루테늄막(69)의 막 두께보다 두껍게 형성한다. 이에 따라 다음에 설명하는 상부 전극의 저항치를 저감할 수 있다. 또, 텅스텐막(70)의 내부 응력은 작기 때문에, 이것을 두껍게 형성해도 상부 전극 전체의 스트레스는 너무 커지지 않는다.

다음에, 도 25에 도시한 바와 같이 포토 레지스트막을 마스크로 하여 텅스텐막(70), 루테늄막(69) 및 BST막(68)을 에칭한다. 이에 따라, 텅스텐막(70) 및 루테늄막(69)으로 이루어지는 상부 전극(71)을 형성한다. 본 실시예에서는 상대적으로 텅스텐막(70)의 막 두께가 두껍고 루테늄막(69)의 막 두께가 얇기 때문에, 가공이 곤란한 루테늄막(69)의 기여가 적다. 이 때문에, 상부 전극(71)의 가공이 용이해진다.

또한, 상부 전극(71)을 덮는 절연막(72)을 형성한다. 절연막(72)은 예를 들면, TEOS 산화막으로 하고, 그 표면은 예를 들면, CMP법에 의해 평탄화한다. 본 실시예에서는 주변 회로 영역에 실리콘 산화막(42)이 남겨지고 있으므로, 피착 직후 상대 즉 CMP법에 의한 연마 전의 절연막(72)의 단차가 작다. 이 때문에 CMP 단계의 부하를 저감할 수 있다.

그 후의 단계는 실시예 1과 마찬가지로 하기 때문에 설명을 생략한다.

본 실시예에 따르면, 상부에 개구를 포함하는 통형의 하부 전극(67)에서도 실시예 1과 마찬가지로 효과를 얻을 수 있다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되지는 않고, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

예를 들면, 상기 실시예 1, 2에서는 배리어막(40)을 플러그(39) 상부에 형성한 후에 실리콘 질화막(41) 및 실리콘 산화막(42)을 형성하는 예를 설명하였지만, 도 26 및 도 27에 도시한 바와 같이 구멍(43)의 형성 후에 배리어층으로서 루테늄 실리사이드를 형성해도 된다. 즉, 실리콘 질화막(41) 및 실리콘 산화막(42)에 구멍(43)을 형성 후, 도 26에 도시한 바와 같이 루테늄막(73)을 예를 들면, 스퍼터법에 의해 형성한다. 막 두께는 예를 들면, 50nm로 한다. 다음에, 도 27에 도시한 바와 같이 기판(1)에 예를 들면, 600°C 정도의 열처리를 실시한다. 이에 따라 실리콘으로 이루어지는 플러그(39)와 루테늄막(73)을 반응시켜서 루테늄 실리사이드(74)를 형성한다. 그 후, 예를 들면, 드라이 에칭에 의해 루테늄막(73)을 제거한다. 그 후의 단계는 실시예 1 혹은 실시예 2와 마찬가지로 한다.

또한, 상기 실시예 1, 2에서는 제1층인 루테늄막(47) 혹은 루테늄막(69)에 의해 인접하는 하부 전극(45) 간의 오목부 혹은 하부 전극(67)의 통형상에 의한 오목부를 매립하는 예를 설명하였지만, 도 28 ~ 도 30에 도시한 바와 같이 제2층인 텅스텐막으로 오목부를 매립해도 된다. 즉, 도 28에 도시한 바와 같이 BST막(46)의 형성 후, 실시예 1, 2와 마찬가지로 CVD법에 의해 루테늄막(75)을 형성한다. 다음에, 도 29에 도시한 바와 같이 스퍼터법에 의해 텅스텐막(76)을 형성한다. 이 텅스텐막(76)은 스퍼터법에 의해 형성되기 때문에 수소 등 환원 분위기에 기인하는 BST막(46)의 열화의 우려는 없다. 그 후, 도 30에 도시한 바와 같이 CVD법에 의해 텅스텐막(77)을 형성한다. 이에 따라 상기 오목부를 매립한다. CVD법에 의해 텅스텐막(77)을 형성할 때는 환원 분위기에 놓이지만, 텅스텐막(76)이 블로킹막으로서 작용하여 BST막(46)을 열화시키지 않는다. 그 후의 단계는 실시예 1과 마찬가지로 한다. 또, 실시예 2에 대해서도 마찬가지로 적용할 수 있다.

또한, 상기 실시예에서는 하부 전극(45, 67)으로서 루테늄을 예시하였지만, 이에 한정되지 않고 귀금속막, 그 실리사이드막 혹은 산화막 또는 이들의 화합물막 예를 들면, 백금막, 루테늄 실리사이드막 또는 SRO막이라도 좋다. 이들을 하부 전극(45, 46)에 이용해도 유전률이 높은 BST막을 캐패시터 절연막에 적용할 수 있다.

또한, 상기 실시예에서는 캐패시터 절연막으로서 BST막(46, 68)을 예시하였지만 STO막 또는 산화 탄탈막이라도 좋다.

또한, 상기 실시예에서는 상부 전극(49, 71)의 제1층으로서 루테늄막(47, 69)을 예시하였지만, 귀금속막, 그 실리사이드막 혹은 산화막 또는 이들의 화합물막, 예를 들면, 백금막, 루테늄 실리사이드막 또는 SRO막이라도 좋다. 또, 캐패시터 절연막에 산화 탄탈막을 이용한 경우에는 제1층으로서 질화 티탄막을 적용할 수 있다.

또한, 상기 실시예에서는 상부 전극(49, 71)의 제2층으로서 텅스텐막(48, 70)을 예시하였지만, IVb족, Vb족 혹은 VIb 족 원소로 이루어지는 금속막 또는 이들의 질화막, 실리사이드막 혹은 화합물막 예를 들면, 티탄막, 탄탈막, 질화 텅스텐막, 질화 티탄막, 질화 탄탈막, 티탄 알루미늄 니트라이드막, 티탄 실리콘 니트라이드막 또는 탄탈 실리콘 니트라이드막이라도 좋다. 이들의 막이라도, 산화성 분위기에서의 내산화성, 내취발성, 실리콘 산화막 에칭 분위기에서의 내에칭성, 도전성, 산소 비흡인성 등의 성능을 만족하고, 상기 실시예와 마찬가지로 효과가 얻어진다.

또한, 상기 실시예의 상부 전극(49, 71)은 루테늄막(47, 69)과 텅스텐막(48, 70)과의 적층막을 예시하였지만, 또한 질화 티탄막이 형성되면 된다. 질화 티탄막은 수소에 대한 블로킹 성능, 흡수성을 가지며, 캐패시터가 형성된 후에 수소가 캐패시터 절연막(예를 들면 BST막)에 도달하는 것을 억제할 수 있다. 이에 따라, 캐패시터의 성능 및 신뢰성을 높게 유지할 수 있다.

또한, 상기 실시예에서는 DRAM에 적용한 경우에 대하여 설명하였지만, DRAM을 포함하는 반도체 집적 회로 장치, 예를 들면, 시스템 LSI 등에 널리 적용할 수 있다.

발명의 효과

본 원에 의해서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 이하와 같다.

즉, 캐패시터 상부 전극과 상층 배선에 접속하는 플러그 간의 도통 신뢰성을 높게 유지할 수 있고 또한 접속 불량도 생기지 않는 반도체 집적 회로 장치를 제공할 수 있다. 또한, 캐패시터 상부 전극의 저항을 저감할 수 있다.

(57) 청구의 범위

청구항 1

메모리셀마다 설치된 정보 축적 용량 소자용 제1 전극과, 상기 제1 전극에 대항하여 형성된 제2 전극과, 상기 제1 전극과 제2 전극 간에 형성된 용량 절연막과, 상기 제2 전극 상에 형성된 배선과, 상기 배선과 제2 전극을 전기적으로 접속하는 접속 부재를 포함하는 반도체 집적 회로 장치에 있어서,

상기 접속 부재에는 티탄층 또는 질화 티탄층이 포함되며,

상기 제2 전극은 상기 용량 절연막측에 형성된 제1층과, 상기 배선측에 형성된 제2층을 포함하고,

상기 제1층은 산소 가스를 포함하는 화학 기상 성장으로 형성된 금속막이며, 상기 제2층은 산소를 포함하지 않은 금속막인 반도체 집적 회로 장치.

청구항 2

제1항에 있어서,

상기 제2층은 텅스텐층인 반도체 집적 회로 장치.

청구항 3

제2항에 있어서,

상기 텅스텐층은 스퍼터법으로 형성된 제1 텅스텐층과, 화학 기상 성장으로 형성되며, 제2 텅스텐층을 포함하는 반도체 집적 회로 장치.

청구항 4

메모리셀마다 설치된 정보 축적 용량 소자용 제1 전극과, 상기 제1 전극에 대항하여 형성된 제2 전극과, 상기 제1 및 제2 전극 간에 형성된 용량 절연막과, 상기 제2 전극을 덮는 절연막을 포함하고 상기 용량 절연막이 고유전체층 또는 강유전체층으로 이루어지는 반도체 집적 회로 장치에 있어서,

상기 제2 전극은 상기 용량 절연막측에 형성된 제1층과, 상기 제1층 상에 형성된 도전성의 제2층을 포함하고,

상기 제2층은 상기 절연막을 에칭하는 조건에 있어서, 상기 제1층을 구성하는 재료보다 에칭 속도가 작은 재료로 구성되는 반도체 집적 회로 장치.

청구항 5

메모리셀마다 설치된 정보 축적 용량 소자용 제1 전극과, 상기 제1 전극에 대항하여 형성된 제2 전극과, 상기 제1 및 제2 전극 간에 형성된 용량 절연막을 포함하고 상기 용량 절연막이 고유전체층 또는 강유전체층으로 이루어진 반도체 집적 회로 장치에 있어서,

상기 제2 전극은 상기 용량 절연막측에 형성된 제1층과, 상기 제1층 상에 형성된 제2층을 포함하고,

상기 제2층은 상기 제1층을 구성하는 재료보다 산화성 분위기에서의 휘발 속도가 작은 재료로 구성되는 반도체 집적 회로 장치.

청구항 6

메모리셀마다 설치된 정보 축적 용량 소자용 제1 전극과, 상기 제1 전극에 대항하여 형성된 제2 전극과, 상기 제1 및 제2 전극 간에 형성된 용량 절연막을 포함하고, 상기 용량 절연막이 고유전체층 또는 강유전체층으로 이루어진 반도체 집적 회로 장치에 있어서,

상기 제2 전극은 상기 용량 절연막측에 형성된 제1층과, 상기 제1층 상에 형성된 제2층을 포함하고,

상기 제2층의 막 두께는 상기 제1층의 막 두께보다 큰 반도체 집적 회로 장치.

청구항 7

제6항에 있어서, 상기 제2층의 저항율은 상기 제1층의 저항율보다 작은 반도체 집적 회로 장치.

청구항 8

제7항에 있어서, 상기 제2 전극의 내부 응력은 상기 제1층을 구성하는 재료로 상기 제2 전극을 구성한 경우의 내부 응력보다 낮은 반도체 집적 회로 장치.

청구항 9

메모리셀마다 설치된 정보 축적 용량 소자용 제1 전극과, 상기 제1 전극에 대항하여 형성된 제2 전극과, 상기 제1 및 제2 전극 간에 형성된 용량 절연막을 포함하고 상기 용량 절연막이 고유전체층 또는 강유전체층으로 이루어진 반도체 집적 회로 장치에 있어서,

상기 제2 전극은 상기 용량 절연막측에 형성된 제1층과, 상기 제1층 상에 형성된 제2층을 포함하고,

상기 제2층 재료를 이방성 드라이 에칭 가공인 경우의 가공 단면에서의 테이퍼면과 하지와의 이루는 각도는 동일 에칭 조건 하에서의 상기 제1층 재료의 가공 단면에서의 테이퍼면과 기초와의 이루는 각도보다 큰 것을 반도체 집적 회로 장치.

청구항 10

메모리셀마다 설치된 정보 축적 용량 소자용 제1 전극과, 상기 제1 전극에 대항하여 형성된 제2 전극과, 상기 제1 및 제2 전극 간에 형성된 용량 절연막을 포함하고, 상기 용량 절연막이 고유전체층 또는 강유전체층으로 이루어지는 반도체 집적 회로 장치에 있어서,

상기 제2 전극은 상기 용량 절연막측에 형성된 제1층과, 상기 제1층 상에 형성된 제2층을 포함하고,

상기 제1층 및 제2층 단부의 단면 형상이 테이퍼형으로 가공되어 있는 반도체 집적 회로 장치.

청구항 11

제10항에 있어서, 상기 단면 형상은 상기 테이퍼형 가공면의 상단에서부터 하지면으로 그 수직선의 최하단부로부터 상기 테이퍼면의 하단까지의 거리가 최소 가공 치수의 2분의 1 이상의 값인 반도체 집적 회로 장치.

청구항 12

메모리셀마다 설치된 정보 축적 용량 소자용 제1 전극과, 상기 제1 전극에 대항하여 형성된 제2 전극과, 상기 제1 및 제2 전극 간에 형성된 용량 절연막을 포함하고, 상기 용량 절연막이 고유전체층 또는 강유전체층으로 이루어지며, 상기 제1 전극이 기동형 또는 통형의 입체 형상으로 형성된 반도체 집적 회로 장치에 있어서,

상기 제2 전극은 상기 용량 절연막측에 형성된 제1층과, 상기 제1층 상에 형성된 제2층을 포함하고,

상기 제1층의 막 두께 T_1 은 $T_1 > (d - 2 \times T_{ins}) / 2$ 의 조건을 만족하고,

상기 제2층의 막 두께 T_2 는 $T_2 > T_1$ 의 조건을 만족하는 반도체 집적 회로 장치.

단, d 는 상기 제1 전극의 인접 간 거리 또는 상기 제1 전극의 원통 내부 직경 치수로 T_{ins} 는 상기 용량 절연막의 막 두께인 반도체 집적 회로 장치.

청구항 13

제6항에 있어서, 상기 제1층은 귀금속막, 실리사이드막 혹은 산화막 또는 이들의 화합물막인 반도체 집적 회로 장치.

청구항 14

제13항에 있어서, 상기 제1층은 백금막, 루테튬막, 루테튬 실리사이드막 또는 $SR_0(SrRuO_x)$ 막인 반도체 집적 회로 장치.

청구항 15

제14항에 있어서, 상기 용량 절연막은 $BST(Ba_xSr_{1-x}TiO_3)$ 막, $STO(SrTiO_3)$ 막 또는 산화 탄탈(Ta_2O_5)막인 반도체 집적 회로 장치.

청구항 16

제14항에 있어서, 상기 제1층은 질화 티탄막이고, 상기 용량 절연막은 산화 탄탈(Ta_2O_5)막인 반도체 집적 회로 장치.

청구항 17

제14항에 있어서, 상기 제2층은 IVb족, Vb족 혹은 VIb족 원소로 이루어진 금속막 또는 이들의 질화막, 실리사이드막 혹은 화합물막인 반도체 집적 회로 장치.

청구항 18

제17항에 있어서, 상기 제2층은 텅스텐(W)막, 티탄(Ti)막, 탄탈(Ta)막, 질화 텅스텐(WN)막, 질화 티탄(TiN)막, 질화 탄탈(TaN)막, 티탄 알루미늄 니트라이드(TiAlN)막, 티탄 실리콘 니트라이드(TiSiN)막, 텅스텐 실리콘 니트라이드(WSiN)막 또는 탄탈 실리콘 니트라이드(TaSiN)막인 반도체 집적 회로 장치.

청구항 19

제17항에 있어서, 상기 제2 전극에는 상기 제1 및 제2층 외에 질화 티탄막, 티탄 실리콘 니트라이드막

또는 티탄 화합물막으로 이루어진 제3층을 포함하는 반도체 집적 회로 장치.

청구항 20

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 반도체 기판 주요면에 MISFET 상에 제1 층간 절연막을 통하여 비트선 및 제1층 배선을 형성하고, 제2 층간 절연막 및 전극 형성용 절연막을 형성하고 상기 전극 형성용 절연막에 구멍을 가공하는 단계와,
- (b) 상기 구멍의 내부를 매립하는 금속 또는 금속 화합물을 형성한 후, 상기 전극 형성용 절연막을 제거함으로써 또는 상기 구멍의 내벽을 덮는 금속막 또는 금속 화합물막을 형성함으로써 기동형 또는 통형의 제1 전극을 형성하는 단계와,
- (c) 상기 제1 전극을 덮는 강유전성 또는 고유전성의 용량 절연막을 피착하고, 제1 도전층 및 제2 도전층을 피착하는 단계와,
- (d) 상기 제1 및 제2 도전층을 패터닝함으로써 제2 전극을 형성하는 단계와,
- (e) 상기 제2 전극을 덮는 제3 층간 절연막을 피착하고, 상기 제2 전극에 도달하는 제1 접속 구멍 및 상기 제1층 배선에 도달하는 제2 접속 구멍의 가공을 에칭에 의해 실시하는 단계를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 21

제20항에 있어서, 상기 제2 전극을 에칭하는 단계에 있어서, 상기 제2층을 에칭한 후, 패터닝된 상기 제2층을 마스크로 하여 상기 제1층을 에칭하는 반도체 집적 회로 장치의 제조 방법.

청구항 22

- (a) 반도체 기판의 주요면에 형성된 제1 절연막 상에 제1 전극을 형성하는 단계와,
- (b) 상기 제1 전극 상에 용량 절연막을 형성하는 단계와,
- (c) 상기 용량 절연막 상에 제2 전극을 형성하는 단계와,
- (d) 상기 제2 전극 상에 제2 전극의 일부를 노출하는 개구를 포함한 제2 절연막을 형성하는 단계와,
- (e) 상기 개구 내에 제1 반도체층을 형성하는 단계를 포함하는 반도체 집적 회로 장치의 제조 방법에 있어서,

상기 제2 전극의 형성 단계는

- (i) 상기 용량 절연막 상에 산소를 포함하는 화학 기상 성장법에 의해 제1 금속층을 형성하는 단계와,
- (ii) 상기 제1 금속층 상에 산소를 포함하지 않은 제2 금속층을 형성하는 단계를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 23

제22항에 있어서, 상기 제1 금속층은 백금막, 루테늄막인 반도체 집적 회로 장치의 제조 방법.

청구항 24

제22항에 있어서, 상기 제2 금속층은 텅스텐막 또는 질화 텅스텐막으로 이루어진 반도체 집적 회로 장치의 제조 방법.

청구항 25

제22항에 있어서, 상기 제2 금속층은 스퍼터법으로 형성되는 반도체 집적 회로 장치의 제조 방법.

청구항 26

- (a) 반도체 기판의 주요면에 형성된 제1 절연막 상에 서로 분리된 복수의 제1 전극을 형성하는 단계와,
- (b) 상기 제1 전극 상에 용량 절연막을 형성하는 단계와,
- (c) 상기 용량 절연막 상에 상기 복수의 제1 전극에 대하여 연속적으로 제2 전극을 형성하는 단계를 포함하는 반도체 집적 회로 장치의 제조 방법에 있어서,

상기 제2 전극의 형성 단계는

- (i) 상기 용량 절연막 상에 제1 금속막을 형성하는 단계와,
- (ii) 상기 제1 금속층 상에 상기 제1 금속층보다 막두께가 큰 제2 금속층을 형성하는 단계를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 27

제26항에 있어서, 상기 제2 금속층의 저항율을 상기 제1 금속층의 저항율보다 작게 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 28

제27항에 있어서, 상기 제1 금속층을 백금막 또는 루테튬막으로 하고, 상기 제2 금속층을 텅스텐막 또는 질화 텅스텐막으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 29

(a) 반도체 기판의 주요면에 형성된 제1 절연막 상에 서로 분리된 복수의 제1 전극을 형성하는 단계와,
(b) 상기 제1 전극 상에 용량 절연막을 형성하는 단계와,

(c) 상기 용량 절연막 상에 상기 복수의 제1 전극에 대하여 연속적으로 제2 전극을 형성하는 단계를 포함하는 반도체 집적 회로 장치의 제조 방법에 있어서,

상기 제2 전극의 형성 단계는

(i) 상기 용량 절연막 상에 상기 서로 분리된 제1 전극막 간에 매립되도록 제1 금속층을 형성하는 단계와,

(ii) 상기 제1 금속층 상에 상기 제2 금속층을 형성하는 단계를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 30

제29항에 있어서, 상기 제2 금속층은 스퍼터법으로 형성된 반도체 집적 회로 장치의 제조 방법.

청구항 31

제29항에 있어서, 상기 제2 금속층을 스퍼터법에 의한 제3 금속층과 그 상측에 화학 기상 성장법으로 형성한 제4 금속층으로 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 32

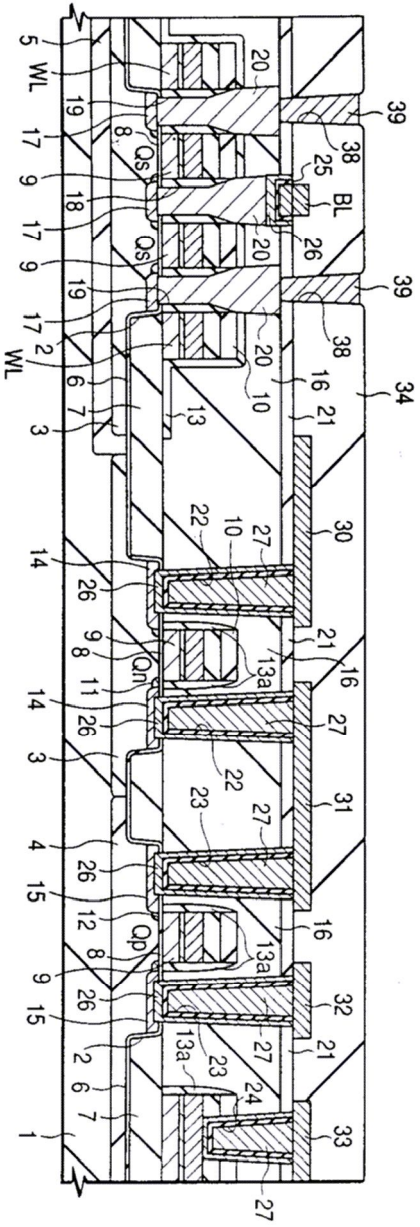
제29항에 있어서, 상기 제2 금속층의 막두께를 상기 제1 금속층의 막두께보다 두껍게 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 33

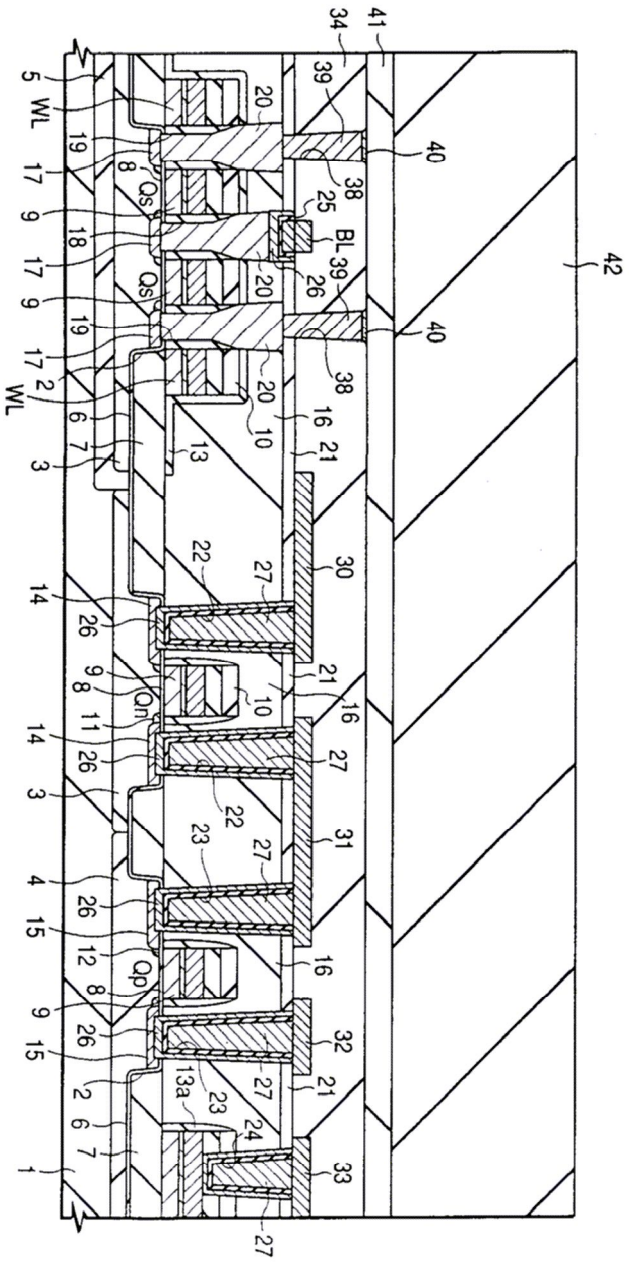
제29항에 있어서, 상기 제1 금속층을 백금막 또는 루테튬막으로 하고 상기 제2 금속층을 텅스텐막 또는 질화 텅스텐막으로 하는 반도체 집적 회로 장치의 제조 방법.

도면

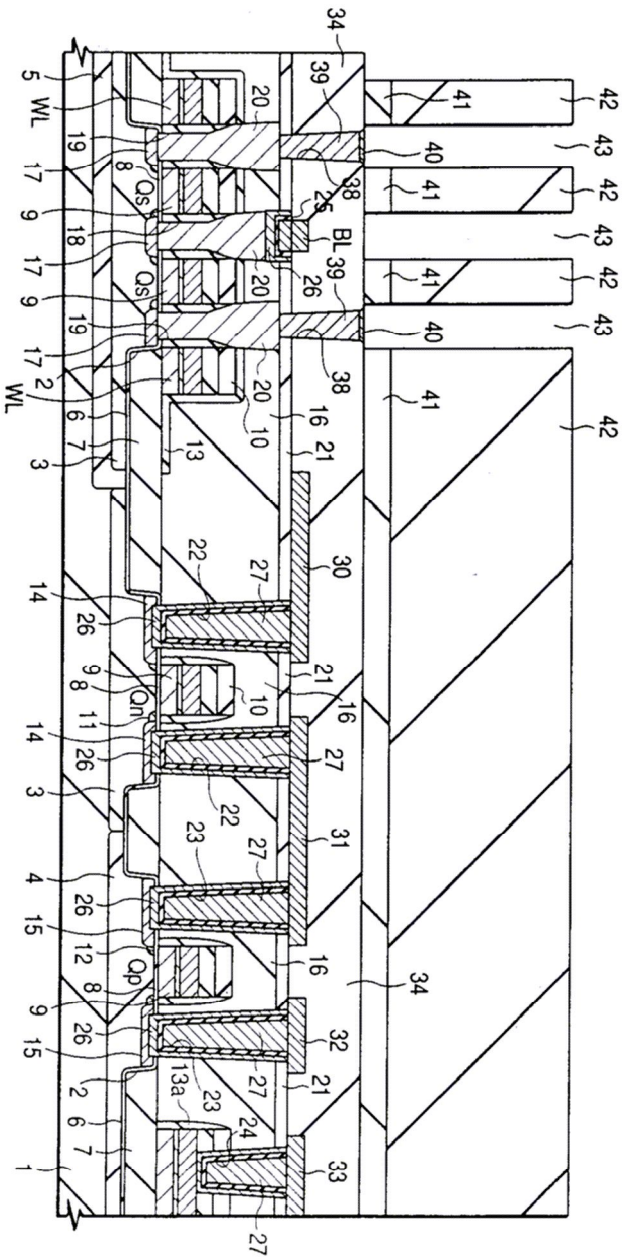
1부도



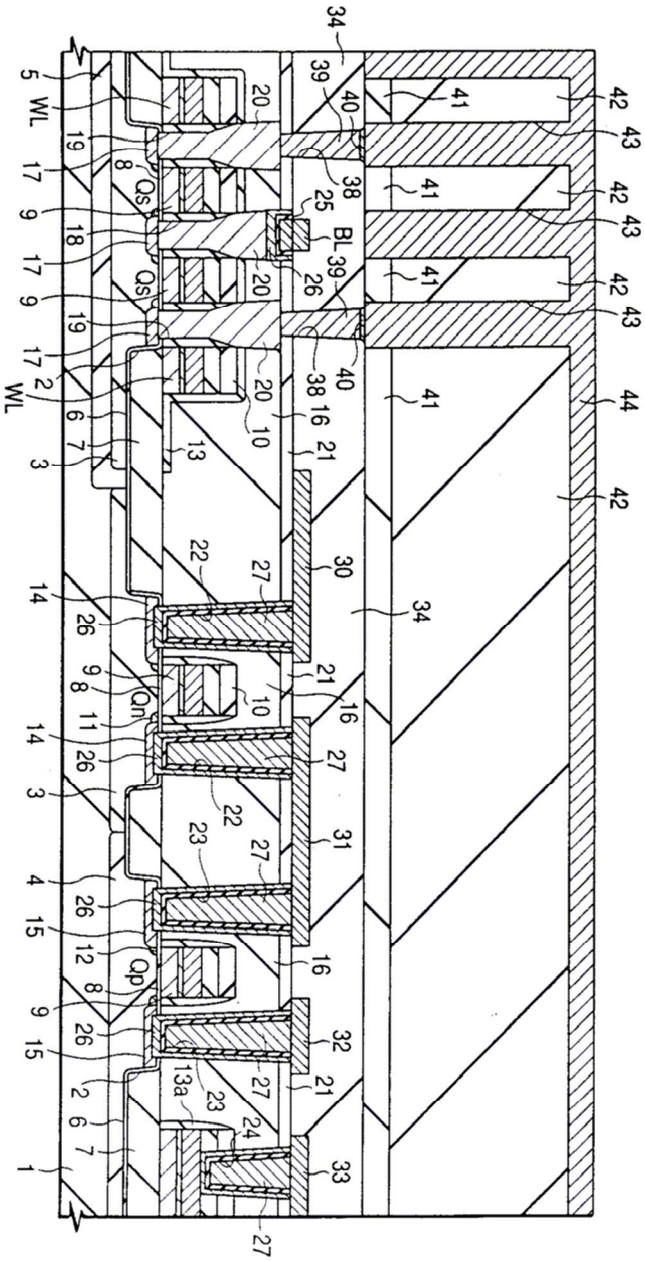
도면2



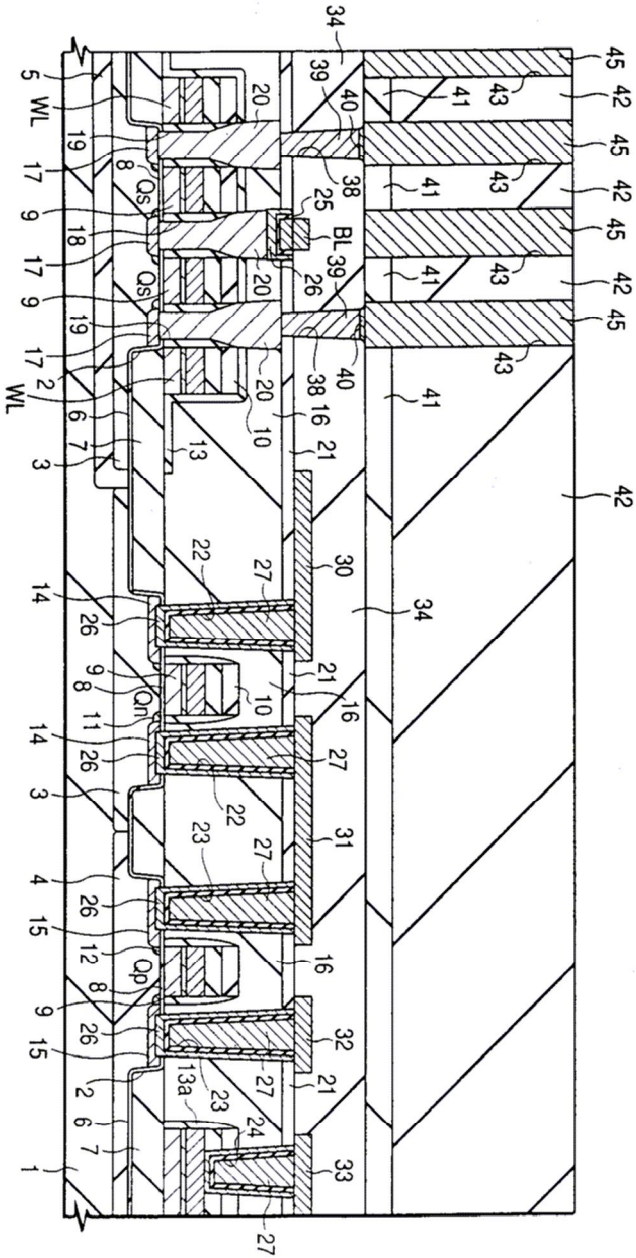
도면 3



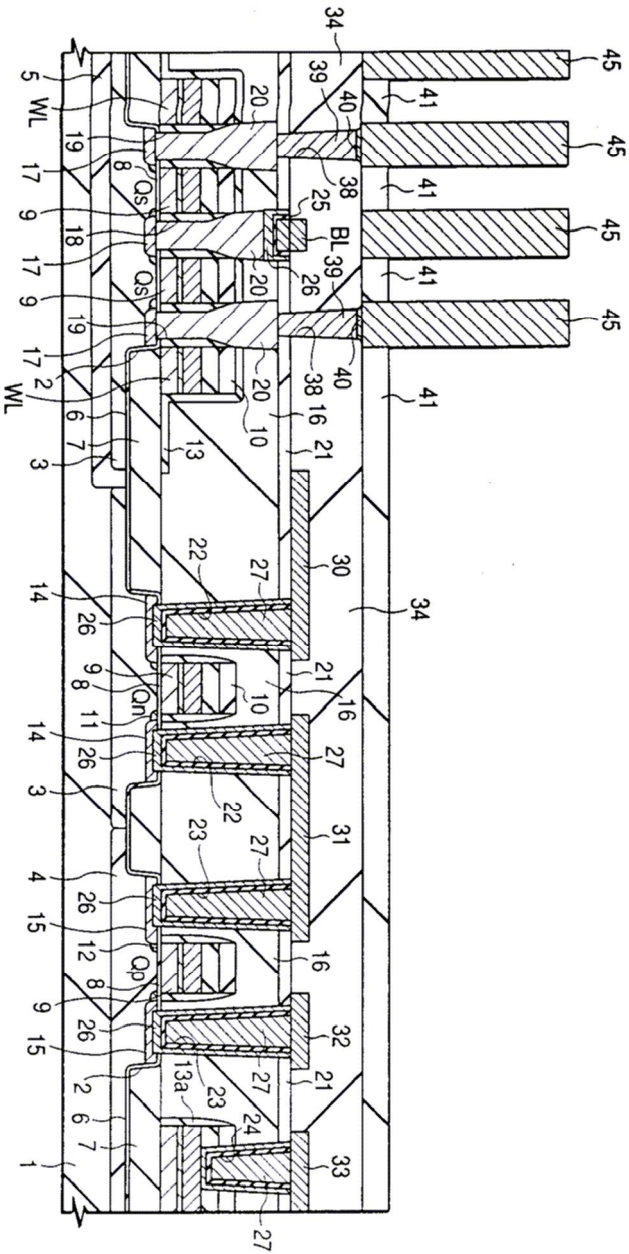
도 4



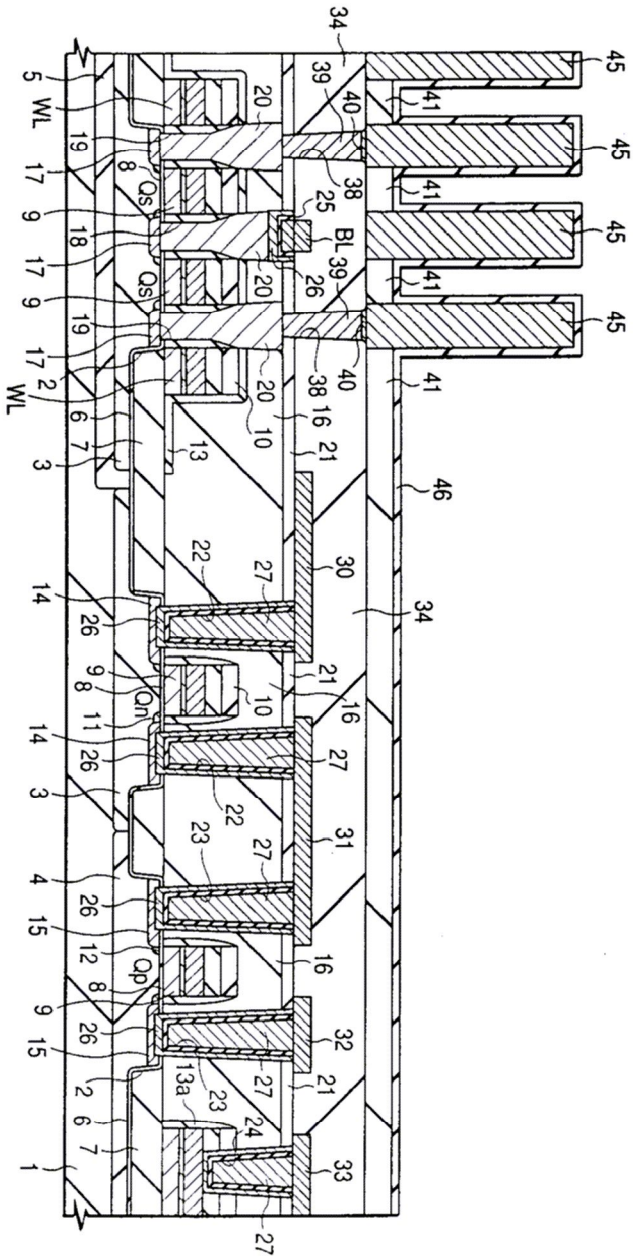
5면도



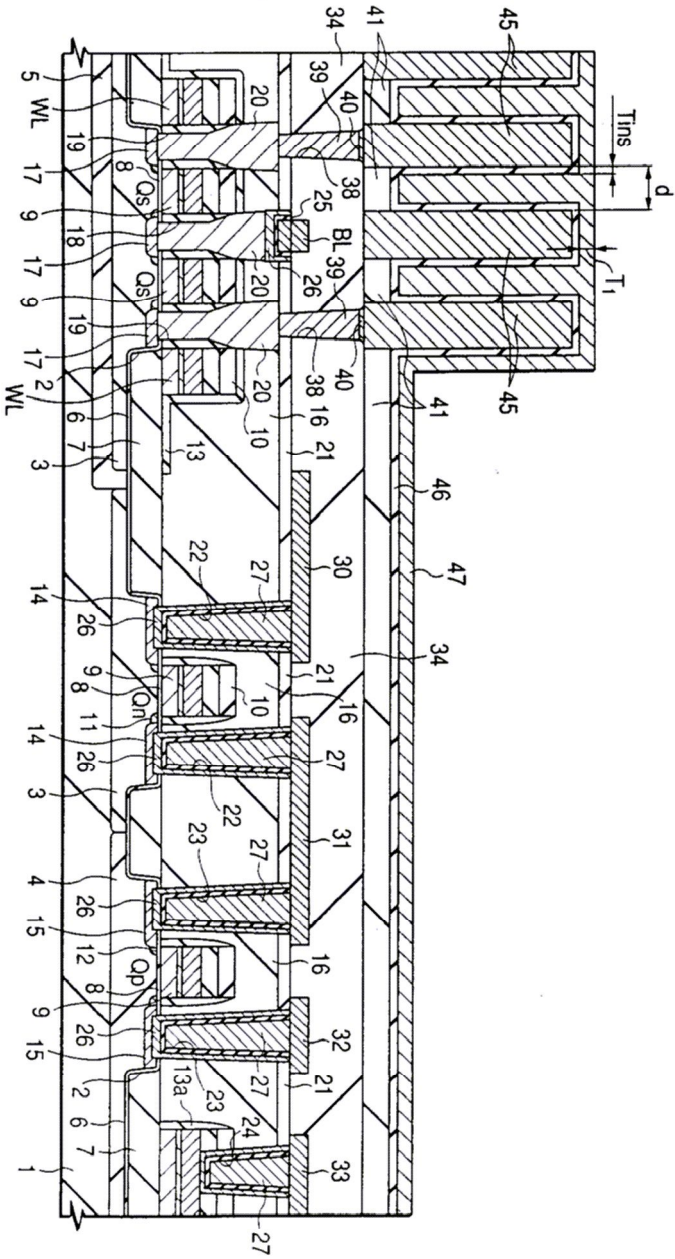
9면도



도면 7



8면도



6면도

