



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0037842
(43) 공개일자 2011년04월13일

(51) Int. Cl.

G06F 11/10 (2006.01) G06F 9/30 (2006.01)

(21) 출원번호 10-2010-0085926

(22) 출원일자 2010년09월02일

심사청구일자 2010년09월02일

(30) 우선권주장

JP-P-2009-231832 2009년10월05일 일본(JP)

(71) 출원인

가부시끼가이샤 도시바

일본국 도쿄도 미나토구 시바우라 1조메 1방 1고

(72) 발명자

사꾸라다 겐지

일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가부시끼가이샤 도시바 지적재산부 내

우찌까와 히로노리

일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가부시끼가이샤 도시바 지적재산부 내

(74) 대리인

박충범, 이중희, 장수길

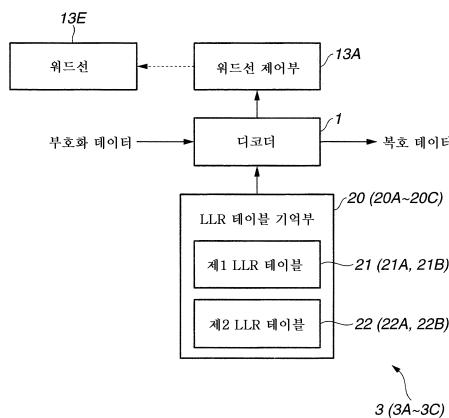
전체 청구항 수 : 총 19 항

(54) 메모리 시스템 및 메모리 시스템의 제어 방법

(57) 요 약

각각의 임계치 전압 분포에 기초하여 N 비트 부호화 데이터를 기억하도록 구성된 복수의 반도체 메모리 셀과; 미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR가 "0"이도록 LLR 데이터로 이루어지는 제2 LLR 테이블을 기억하도록 구성된 LLR 테이블 기억부와; LLR를 사용하여 확률에 기초하는 반복 계산에 의한 복호 처리를 행하도록 구성된 디코더를 포함하는 호스트 및 메모리 카드를 구비하는 메모리 시스템이 제공된다.

대 표 도 - 도2



특허청구의 범위

청구항 1

메모리 시스템으로서,

각각이 2^N (N 은 2 이상의 자연수)개의 임계치 전압 분포에 기초하여 N 비트 부호화 데이터를 기억하도록 구성된 복수의 반도체 메모리 셀을 포함하는 기억 장치와,

미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 절대치가 상기 제1 LLR 테이블의 각각의 LLR의 절대치와 다르도록 LLR 데이터로 이루어지는 제2 LLR 테이블을 기억하도록 구성된 기억부와,

상기 제1 또는 제2 LLR 테이블과 상기 임계치 전압으로부터 산출된 LLR를 사용하여 확률에 기초하는 반복 계산에 의해 복호 처리를 행할 때, 상기 제1 LLR 테이블과 상기 임계치 전압으로부터 산출된 상기 LLR를 사용하는 상기 복호 처리가 어려운 경우, 상기 제2 LLR 테이블과 상기 임계치 전압으로부터 산출된 상기 LLR를 사용하여 상기 복호 처리를 행하도록 구성된 디코더를 포함하는, 메모리 시스템.

청구항 2

제1항에 있어서, N 은 7 이하인, 메모리 시스템.

청구항 3

제2항에 있어서, 상기 제2 LLR 테이블의 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치가 상기 제1 LLR 테이블의 각각의 LLR의 절대치보다 작은, 메모리 시스템.

청구항 4

제3항에 있어서, 상기 제2 LLR 테이블의 상기 대응하는 위치에서의 상기 2개의 LLR의 값이 모두 "0"인, 메모리 시스템.

청구항 5

제2항에 있어서, 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다, 상기 제2 LLR 테이블에서 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 고전압측인 모든 LLR의 절대치가 타측의 LLR의 절대치보다 크므로, 상기 임계치 전압 분포가 저전압측으로 시프트되는 경우를 상정하는, 메모리 시스템.

청구항 6

제2항에 있어서, 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다, 상기 제2 LLR 테이블에서 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 고전압측인 모든 LLR의 절대치가 타측의 LLR의 절대치보다 작으므로, 상기 임계치 전압 분포가 고전압측으로 시프트되는 경우를 상정하는, 메모리 시스템.

청구항 7

제2항에 있어서,

상기 제2 LLR 테이블은

상기 제2 LLR 테이블에서 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 고전압측인 모든 LLR의 절대치가 타측의 LLR의 절대치보다 크므로, 상기 임계치 전압 분포가 저전압측으로 시프트되는 경우를 상정하는 제3 LLR 테이블과,

상기 제2 LLR 테이블에서 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 저전압측인 모든 LLR의 절대치가 타측의 LLR의 절대치보다 작으므로, 상기 임계치 전압 분포가 고전압측으로 시프트되는 경우를 상정하는 제4 LLR 테이블을 포함하며,

상기 디코더는 상기 제3 LLR 테이블과 상기 제4 LLR 테이블 중 적어도 어느 하나를 상기 제2 LLR 테이블로서 사용하여 상기 복호 처리를 행하는, 메모리 시스템.

청구항 8

제7항에 있어서, 상기 제3 또는 제4 LLR 테이블과 상기 임계치 전압으로부터 산출된 LLR을 사용하는 상기 복호 처리가 에러인 경우, 상기 디코더는 다른 LLR 테이블과 상기 임계치 전압으로부터 산출된 LLR을 사용하여 상기 복호 처리를 행하는, 메모리 시스템.

청구항 9

메모리 시스템의 제어 방법으로서,

각각이 2^N (N은 2 이상의 자연수)개의 임계치 전압 분포에 기초하여 N 비트 부호화 데이터를 기억하는 반도체 메모리 셀들의 임계치 전압을 검지하는 단계와,

미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과 검지된 상기 임계치 전압으로부터 제1 LLR를 산출하는 단계와,

상기 제1 LLR에 기초하여 복호 처리를 행하는 제1 LDPC 복호를 행하는 단계와,

상기 제1 LDPC 복호에 실패하는 경우, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 절대치가 상기 제1 LLR 테이블의 각각의 LLR의 절대치보다 작도록 LLR 데이터로 이루어지는 제2 LLR 테이블과 검지된 상기 임계치 전압으로부터 제2 LLR를 산출하는 단계와,

상기 제2 LLR에 기초하여 복호 처리를 행하는 제2 LDPC 복호를 행하는 단계를 포함하는, 메모리 시스템의 제어 방법.

청구항 10

제9항에 있어서, N은 7 이하인, 메모리 시스템의 제어 방법.

청구항 11

제10항에 있어서, 상기 제2 LLR 테이블의 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치가 상기 제1 LLR 테이블의 각각의 LLR의 절대치보다 작은, 메모리 시스템의 제어 방법.

청구항 12

제11항에 있어서, 상기 제2 LLR 테이블의 상기 대응하는 위치에서의 상기 2개의 LLR의 값이 모두 "0"인, 메모리 시스템의 제어 방법.

청구항 13

제10항에 있어서, 상기 제2 LLR 테이블에서 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 고전압측인 모든 LLR의 절대치가 타측의 LLR의 절대치보다 크므로, 상기 임계치 전압 분포가 저전압측으로 시프트되는 경우를 상정하는, 메모리 시스템의 제어 방법.

청구항 14

제10항에 있어서, 상기 제2 LLR 테이블의 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 고전압측인 모든 LLR의 절대치가 타측의 LLR의 절대

치보다 작으므로, 상기 임계치 전압 분포가 고전압측으로 시프트되는 경우를 상정하는, 메모리 시스템의 제어 방법.

청구항 15

제10항에 있어서,

상기 제2 LLR 테이블은

상기 제2 LLR 테이블의 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 고전압측인 모든 LLR의 절대치가 타측의 LLR의 절대치보다 크므로, 상기 임계치 전압 분포가 저전압측으로 시프트되는 경우를 상정하는 제3 LLR 테이블과,

상기 제2 LLR 테이블의 상기 대응하는 위치에서의 상기 2개의 LLR의 절대치의 차가 상기 제1 LLR 테이블에서 상기 LLR 간에 부호가 반전되는 상기 위치에서의 상기 2개의 LLR의 절대치의 차보다 크고, 상기 대응하는 위치에서의 상기 2개의 LLR 중에서 임계치 전압이 고전압측인 모든 LLR의 절대치가 타측의 LLR의 절대치보다 작으므로, 상기 임계치 전압 분포가 고전압측으로 시프트되는 경우를 상정하는 제4 LLR 테이블을 포함하며,

상기 제3 LLR 테이블과 상기 제4 LLR 테이블 중 적어도 어느 하나를 상기 제2 LLR 테이블로서 사용하여 상기 복호 처리를 행하는, 메모리 시스템의 제어 방법.

청구항 16

제15항에 있어서, 상기 제3 또는 제4 LLR 테이블과 상기 임계치 전압으로부터 산출된 LLR을 사용하는 상기 복호 처리가 예러인 경우, 다른 LLR 테이블과 상기 임계치 전압으로부터 산출된 LLR을 사용하여 상기 복호 처리를 행하는, 메모리 시스템의 제어 방법.

청구항 17

제10항에 있어서, 판독 횟수가 미리 결정된 횟수 이상에 도달하면, 상기 제1 LDPC 복호보다 상기 제2 LDPC 복호를 우선해서 사용하는, 메모리 시스템의 제어 방법.

청구항 18

제10항에 있어서, 상기 제1 LDPC 복호의 이터레이션(iteration) 횟수의 상한치가 상기 제2 LDPC 복호의 이터레이션 횟수의 상한치보다 작은, 메모리 시스템의 제어 방법.

청구항 19

메모리 시스템으로서,

각각이 2^N (N은 2 이상 7 이하의 자연수)개의 임계치 전압 분포에 기초하여 N 비트 부호화 데이터를 기억하도록 구성된 복수의 NAND형 반도체 메모리 셀을 포함하는 기억 장치와,

다수의 반도체 메모리 셀의 평균 임계치 전압 분포에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 값이 모두 "0"인 제2 LLR 테이블을 기억하도록 구성된 LLR 테이블 기억부와,

상기 제1 또는 제2 LLR 테이블과 상기 임계치 전압으로부터 산출된 LLR를 사용하여 확률에 기초하는 반복 계산에 의해 LDPC 복호 처리를 행할 때, 상기 제1 LLR 테이블과 상기 임계치 전압으로부터 산출된 상기 LLR을 사용하는 상기 복호 처리가 예러인 경우, 상기 임계치 전압 분포의 시프트에 대응하는 상기 제2 LLR 테이블과 상기 임계치 전압으로부터 산출된 상기 LLR을 사용하여 상기 복호 처리를 행하도록 구성된 디코더를 포함하는, 메모리 시스템.

명세서

기술 분야

본 출원은 2009년 10월 5일자로 출원된 일본 특허 출원 제2009-231832호를 기초로 하여 우선권을 주장하며, 그

전체 내용은 본 명세서에 참조로서 원용된다.

[0002] 본 발명은 데이터에 대해 부호화 처리를 행하여 그 데이터를 부호화 데이터로서 기억하고, 그 부호화 데이터를 판독할 때 부호화 데이터에 대해 복호 처리를 행하도록 구성된 메모리 시스템 및 메모리 시스템의 제어 방법에 관한 것이고, 특히, LLR 테이블을 사용하여 확률에 기초하는 반복 계산에 의한 복호 처리를 행하도록 구성된 메모리 시스템 및 메모리 시스템의 제어 방법에 관한 것이다.

배경기술

[0003] 호스트와, 반도체 메모리부를 구비하는 기억 장치를 포함하는 메모리 시스템에서는, 여러 정정 부호에 의해 데이터 부호화 처리 및 복호 처리가 행해진다.

[0004] 여러 정정 부호는 BCH 부호 또는 RS 부호와 같은 대수에 기초하는 경판정(hard decision) 복호 부호와, 확률에 기초하는 반복 계산을 사용하는 연판정(soft decision) 복호 부호로 대략 구분될 수 있다. 연판정 복호 부호에 속하는 저밀도 패리티 검사 부호(이하, "LDPC 부호"라 함)가 주목되고 있다. LDPC 부호에 대해서는, 부호 성능의 이론적 한계(Shannon limit)에 근접하는 우수한 성능이 보고되어 있다.

[0005] 여기서, NAND형 반도체 메모리부를 구비하는 기억 장치에서는, 1개의 메모리 셀에 복수 비트의 데이터를 기억하거나 또는 소위 다치 메모리화가 기억 밀도의 증가에 크게 기여하고 있다. 다치 메모리에서는, 각각의 메모리 셀의 전하 축적층에 주입된 전하량에 대응하는 임계치 전압이 워드선에 인가될 때 데이터가 판독된다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 출원 공개 제2008-59679호

발명의 내용

해결하려는 과제

[0007] 본 출원인은 일본 특허 출원 공개 제2008-59679호에서 4치 메모리 셀을 구비하는 반도체 메모리 장치에서 총 15 종류의 판독 전압(3 종류의 하드 비트 판독 전압과 12 종류의 소프트 비트 판독 전압)에 의해 데이터를 판독하는 소위 16 레벨 판독 방법을 개시하고 있다.

[0008] 그러나, 대수우도비(log likelihood ratio)(이하, "LLR"이라고도 하며, 부호 " λ "로 나타냄) 테이블을 사용하여 확률에 기초하는 반복 계산에 의한 복호 처리를 행하는 메모리 시스템에서는, 임계치 전압 분포의 변화에 의해 여러 정정 능력이 저하될 수 있다.

과제의 해결 수단

[0009] 본원 발명의 일 태양에 따르면, 호스트 및 기억 장치를 구비하는 메모리 시스템으로서, 각각이 2^N (N은 2 이상의 자연수)개의 임계치 전압 분포에 기초하여 N 비트 부호화 데이터를 기억하도록 구성된 복수의 반도체 메모리 셀과, 미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 절대치가 상기 제1 LLR 테이블의 각각의 LLR의 절대치와 다르도록 LLR 데이터로 이루어지는 제2 LLR 테이블을 기억하도록 구성된 기억부와, 상기 제1 또는 제2 LLR 테이블과 상기 임계치 전압으로부터 산출된 LLR를 사용하여 확률에 기초하는 반복 계산에 의한 복호 처리를 행하도록 구성된 디코더를 포함하고, 상기 제1 LLR 테이블과 상기 임계치 전압으로부터 산출된 상기 LLR를 사용하는 상기 복호 처리가 에러인 경우, 상기 제2 LLR 테이블과 상기 임계치 전압으로부터 산출된 상기 LLR를 사용하여 상기 복호 처리를 행하는 메모리 시스템이 제공된다.

[0010] 본 발명의 다른 태양에 따르면, 각각이 2^N (N은 2 이상의 자연수)개의 임계치 전압 분포에 기초하여 N 비트 부호화 데이터를 기억하도록 구성된 반도체 메모리 셀들의 임계치 전압을 검지하는 단계와, 미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과 검지된 상기 임계치 전압으로부터 제1 LLR를 산출하는 단계와, 상기 제1 LLR에 기초하여 복호 처리를 행하는 제1 LDPC 복호를 행하는 단계와, 상기 제1 LDPC

복호에 실패한 경우, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 절대치가 상기 제1 LLR 테이블의 각각의 LLR의 절대치보다 작도록 LLR 데이터로 이루어지는 제2 LLR 테이블과 겹지된 상기 임계치 전압으로부터 제2 LLR를 산출하는 단계와, 상기 제2 LLR에 기초하여 복호 처리를 행하는 제2 LDPC 복호를 행하는 단계를 포함하는 메모리 시스템의 제어 방법이 제공된다.

도면의 간단한 설명

[0011] 도 1은 제1 실시예의 메모리 시스템의 개략 구성을 나타내는 구성도이다.

도 2는 제1 실시예의 메모리 시스템의 구성을 나타내는 구성도이다.

도 3은 임계치 전압 분포와, 기억 데이터와, LLR 테이블 간의 관계를 도시하는 설명도이다.

도 4는 공지의 메모리 시스템의 예시적인 LLR 테이블로서, 횡축은 임계치 전압에 대응하고, 도면 우측이 고전압 측이다.

도 5a 및 도 5b는 임계치 전압 분포의 변화에 의한 LLR의 변화를 설명하기 위한 도면으로서, 도 5a는 임계치 전압 분포와 LLR 테이블이 정확하게 대응하는(aligned) 경우를 나타내고, 도 5b는 임계치 전압 분포의 저전압측으로의 시프트에 의해 임계치 전압 분포와 LLR 테이블이 정확하게 대응하지 않는 경우를 나타낸다.

도 6은 제1 실시예의 메모리 시스템의 LLR 테이블을 나타낸다.

도 7은 제1 실시예의 메모리 시스템의 동작 흐름을 설명하기 위한 흐름도이다.

도 8은 제2 실시예의 메모리 시스템의 LLR 테이블을 나타낸다.

도 9a 및 도 9b는 임계치 전압 분포의 시프트에 의한 LLR의 변화를 설명하기 위한 도면으로서, 도 9a는 임계치 전압 분포와 LLR 테이블이 정확하게 대응하는 경우를 나타내고, 도 9b는 임계치 전압 분포의 고전압측으로의 시프트에 의해 임계치 전압 분포와 LLR 테이블이 정확하게 대응하지 않는 경우를 나타낸다.

도 10은 제2 실시예의 변형예에서의 메모리 시스템의 LLR 테이블을 나타낸다.

도 11은 제3 실시예에서의 메모리 시스템의 동작 흐름을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0012] <제1 실시예>

[0013] 우선, 도 1 및 도 2를 사용하여, 본 발명의 제1 실시예의 메모리 시스템(5) 및 메모리 시스템(5)의 제어 방법을 설명한다. 도 1에 나타낸 바와 같이, 메모리 시스템(5)은 퍼스널 컴퓨터 또는 디지털 카메라 등의 호스트(4)와, 호스트(4)와 착탈 가능하게 접속되는 기억 장치인 메모리 카드(3)를 포함한다. 호스트(4)는 호스트 CPU(도시하지 않음)의 제어 하에 메모리 카드(3)로/로부터 데이터를 송수신한다.

[0014] 메모리 시스템은 호스트와, 호스트의 내부에 수납되어 호스트용 기동 데이터 등을 기억하도록 구성된, 소위, 내장형의 기억 장치를 구비할 수 있고, 기억 장치는 반도체 디스크:SSD(Solid State Drive) 등의 형태일 수 있다. 대안적으로, 메모리 시스템은 메모리 카드(3)에 상당하는 기억 장치와 호스트가 일체화되는 휴대용 음악 플레이어 등으로서 가능할 수 있다.

[0015] 도 1에 나타낸 바와 같이, 기억 장치인 메모리 카드(3)는 반도체 메모리부(13)와 메모리 컨트롤러(2)를 구비한다. 반도체 메모리부(13)는 플래시 메모리부이고, 단위 셀인 다수의 메모리 셀(13D)이, 워드선 제어부(13A)에 의해 제어된 판독 전압을 메모리 셀(13D)에 인가하기 위한 워드선(13E) 등을 통해 접속된 구조를 갖는다.

[0016] 메모리 카드(3)의 메모리 셀(13D)은 메모리 셀당 N 비트(N은 2 이상의 자연수)의 데이터를 임계치 전압 분포에 기초하여 기억 가능한 다치 메모리 셀이다. 이하에서는 N=3의 8치 메모리 셀을 예로 들어 설명한다.

[0017] 메모리 컨트롤러(2)는 버스(17)를 통해 서로 접속되는 ROM(10)과, CPU 코어(11)와, RAM(18)과, 호스트 I/F(인터페이스)(14)와, 에러 검출 정정부(이하 "ECC부"라 함)(15)와, NAND I/F(인터페이스)(16)를 구비한다.

[0018] 메모리 컨트롤러(2)는 CPU 코어(11)의 제어 하에, 호스트 I/F(14)을 통해 호스트(4)로/로부터 데이터를 송수신하고, NAND I/F(16)을 통해 메모리부(13)로/로부터 데이터를 송수신한다. 메모리 컨트롤러(2)는 메모리부(13)의 어드레스 관리를 CPU 코어(11)에 의해 실행되는 FW(Firm Ware)를 통해 실현한다. 호스트(4)로부터의 명령 입력에 따른 메모리 카드(3) 전체의 제어도 CPU 코어(11)에 의해 FW를 통해 실행된다. ROM(10)은 메모리 카드

(3) 용 제어 프로그램 등을 저장한다. RAM(18)은 어드레스 관리에서 필요한 어드레스 변환 데이블 등을 기억한다.

[0019] ECC부(15)는 데이터 기억 시에 에러 정정 부호를 생성하여 부가하도록 구성된 인코더(12)와, 데이터 판독 시에 판독된 부호화 데이터를 복호하도록 구성된 디코더(1)를 구비한다. 본 실시예에서의 ECC부(15)는 확률에 기초하는 반복 계산에 의해 연관정 복호 처리되는 연관정 복호 부호인 LDPC 부호를 사용한다. 물론, ECC부(15)는 연관정 복호 부호와 경관정 복호 부호로 이루어지는 연접 부호를 사용하도록 구성될 수 있다.

[0020] 도 2에 나타낸 바와 같이, 메모리 카드(3)는 워드선(13E)을 통해 메모리 셀(13D)에 미리 결정된 판독 전압을 인가하는 제어를 행하도록 구성된 워드선 제어부(13A)와, 판독 전압에 기초한 LLR 테이블을 기억하도록 구성된 기억부인 LLR 테이블 기억부(20)와, LLR을 사용하여 연관정 복호 처리를 행하도록 구성된 디코더(1)를 구비한다. LLR 테이블 기억부(20)는 제1 LLR 테이블(21)과 제2 LLR 테이블(22)을 기억한다.

[0021] LLR 테이블 기억부(20)는 ROM(10)의 일부일 수 있거나, 또는 메모리 카드(3)의 기동 시에 ROM(10)으로부터 RAM(18)에 전송되어 RAM(18)의 일부가 될 수 있거나, 또는 ECC부(15) 내에 있을 수도 있다.

[0022] 이제, 본 실시예의 메모리 시스템(5)의 동작을 설명한다.

[0023] 호스트(4)로부터 메모리 카드(3)에 송신된 데이터는 인코더(12)에 의해 부호화되어, 부호화 데이터로서 반도체 메모리부(13)에 기억된다. 호스트(4)로부터 판독 지시가 제공되면, CPU 코어(11)의 제어 하에 반도체 메모리부(13)로부터 부호화 데이터가 판독되어, 디코더(1)에 의한 복호 처리가 행해진다. 복호 처리 후의 데이터는 호스트(4)에 송신된다.

[0024] LDPC 부호를 사용하여 부호화된 부호화 데이터의 복호 처리에서는, 우선, 미리 결정된 판독 전압에서 판독된 데이터로부터 데이터의 정확도(likelihood)를 나타내는 LLR가 LLR 테이블을 기초로 산출된다. 대수우도비(LLR) λ 의 절대치 $|\lambda|$ 를 신뢰도(reliability)라 한다. 신뢰도가 클수록 신뢰성이 높고, 신뢰도가 0에 가까울수록 신뢰성이 낮은 것을 의미한다. LDPC 복호 처리에서는, LLR를 기초로, 확률에 기초하는 반복 계산에 의한 연관정 복호 처리에 의해 에러 정정 처리가 행해진다.

[0025] 본 실시예의 메모리 시스템(5)에서는, 임계치 전압과 LLR의 관계를 미리 산출하고, LLR 테이블 기억부(20)에 기억한다. 예를 들어, 도 3과 같이, $2^3(8)$ 종류의 임계치 전압 분포 중, 데이터(111)를 기억하는 3비트 메모리 셀에 대한 임계치 전압 분포가 P1(x)이다. 이 때, 하이(higher) 비트 LLR(H), 어퍼(upper) 비트 LLR(U) 및 로우(lower) 비트 LLR(L)은 각각 도 3에서의 식에 의해 산출된다. 즉, 각각의 비트가 "0" 또는 "1"인 확률로부터 산출된 LLR가 LLR 테이블로서 기억된다.

[0026] 그러나, 메모리 셀의 제조 시의 편차 등에 의해, 동일한 데이터를 기억할지라도, 메모리 셀마다 임계치 전압은 상이하다. 즉, 동일한 데이터를 기억하는 복수의 메모리 셀의 임계치 전압은 미리 결정된 분포를 나타낸다. 임계치 전압 분포의 중앙 부근의 전압에서 판독된 데이터의 신뢰성은 높고, 임계치 전압 분포의 상한 부근 또는 하한 부근의 전압에서 판독된 데이터의 신뢰성은 낮다.

[0027] 이로 인해, 예를 들어 도 4에 나타낸 바와 같이, 각각의 임계치 전압 분포를 중앙치를 참조하여 4 범위로 분할하고, 각각의 범위 내의 미리 결정된 임계치 전압에 대한 LLR를 LLR 테이블로서 기억한다. 임계치 전압 분포는 4 초과의 범위 또는 4 미만의 범위로 분할될 수 있고, 대략 등간격으로 균등하게 분할되지 않을 수 있다. 예를 들어, LLR는 소정의 포인트에서 임계치 전압에 대해 급격하게 변화하고, 임계치 전압 분포는 그 포인트를 기초로 분할되는 것이 바람직하다.

[0028] 이미 설명한 바와 같이, 동일한 데이터를 기억할지라도, 임계치 전압은 메모리 셀마다 상이하다. 또한, 임계치 전압 분포가 임계치 전압에 대하여 시프트될 수 있다. 여기서, 도 5a에 나타낸 바와 같이, 임계치 전압 범위 A에서는, LLR 테이블 작성 시에, (데이터가 0인 메모리 셀에 상당하는 영역(11)의 면적) > (데이터가 1인 메모리 셀에 상당하는 영역(12)의 면적)이 생성되므로, 데이터는 "0"이며, 그 데이터의 LLR는 예를 들어 (영역(11)의 면적) / (영역(12)의 면적)에 의해 산출되는 정의 값이다. 반면, 임계치 전압 범위 B에서는, 데이터는 "1"이며, 그 데이터의 LLR는 부의 값이다. 즉, 도 5a에 나타내는 위치는 인접하는 2개의 LLR 간에 부호가 반전되는 위치이다.

[0029] 이 경우에, 도 5b에 나타낸 바와 같이, 임계치 전압 분포가 좌측으로 시프트되면, 즉, 임계치 전압이 저전압측으로 시프트됨으로써 최적 판독 레벨이 시프트되면, 임계치 전압 범위 A에서는, (영역(11)의 면적) < (영역(12)의 면적)이므로, 실제로는 데이터는 "1"이며, 데이터의 LLR는 (영역(11)의 면적) / (영역(12)의 면적)에 의해 산출되

는 부의 값이다.

[0030] 즉, LLR의 부호가 잘못해서 반전하는 현상, 즉, 데이터 "0"을 "1"로 복호하는 오처리가 발생하게 된다. LDPC 복호 처리는 다수의 비트 데이터가 서로 LLR 정보를 교환하는 이터레이션(iteration) 처리에 의해 복호 처리를 행하는 것을 포함하므로, 임의의 비트 데이터의 틀린 값은 전체의 부호 처리에 영향을 주게 되어, 정정 능력 및 처리 속도가 저하하게 된다.

[0031] 이로 인해, 도 6에 나타낸 바와 같이, 본 실시예의 메모리 시스템(5)은, 미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블(21) 외에, 제2 LLR 테이블(22)을 구비한다. 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블(21)은 다수의 메모리 셀에 대한 평균 임계치 전압 분포에 대응하는 LLR를 기억하는 테이블이다.

[0032] 한편, 제2 LLR 테이블(22)은, 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR가 0 이도록, LLR 데이터로 이루어진다. 즉, 제2 LLR 테이블(22)은 메모리 셀 간의 편차 등을 고려하는 임계치 전압 분포에 대응하는 LLR를 기억하는 테이블이다.

[0033] 예를 들어 도 6에서 상층에 나타낸 제1 LLR 테이블(21)에서는, 데이터(HUL) (001)과 (101) 간의 경계에서의 LLR(H)은 "6"과 "-5"이며, 이 위치에서 부호가 반전되고 있다. 이에 대해, 도 6에서 하층에 나타낸 제2 LLR 테이블(22)에서는, 데이터(HUL) (001)과 (101) 간의 경계에서의 LLR(H)은 모두 "0"이 되어 있다. 즉, "6" 또는 "-5"이었던 LLR가 이제 "0"이 되어 있다.

[0034] 메모리 시스템(5)의 디코더(1)는 제1 LLR 테이블(21) 또는 제2 LLR 테이블(22)로부터 산출된 LLR를 사용하여 확률에 기초하는 반복 계산(이터레이션 처리)에 의한 복호 처리를 행한다.

[0035] LLR "0"은 신뢰도가 최저인 것을 의미하므로, 그 데이터는 이터레이션 처리에서 초기에 "0"인지 "1"인지 불분명한 것으로 취급된다. 이로 인해, 데이터가 "1"이든 또는 "0"이든, 전체의 LDPC 복호 처리에 대한 악영향은 작아진다.

[0036] 이제, 도 7의 흐름도에 따라, 본 실시예의 메모리 시스템(5)에서의 복호 처리를 설명한다.

[0037] <스텝 S10>

[0038] 워드선(13E)에 인가되는 전압에 의해 메모리 셀의 임계치 전압이 검지된다. 이 임계치 전압 검지 스텝에서는 임계치 전압이 미리 결정된 판독 레벨 전압보다 높은지 또는 낮은지를 판정할 뿐이고, 구체적인 임계치 전압의 값을 검지하지는 않는다.

[0039] <스텝 S11>

[0040] 검지된 임계치 전압과, LLR 테이블 기억부(20)에 기억되어 있는 제1 LLR 테이블(21)로부터 LLR가 산출된다.

[0041] <스텝 S12>

[0042] 미리 결정된 개수의 비트 데이터의 단위로 LDPC 복호 처리가 행해진다.

[0043] <스텝 S13>

[0044] 미리 결정된 최대 이터레이션 횟수, 예를 들어 N1 이터레이션 내에서 복호 처리가 완료되면(예), 스텝 S18에서 복호 데이터가 호스트에 전송된다.

[0045] <스텝 S14>

[0046] S13에서, 미리 결정된 최대 이터레이션 횟수의 처리를 행한 후에 복호 처리가 완료되지 않는다면(아니오), 검지된 임계치 전압과, 제2 LLR 테이블(22)로부터 LLR가 산출된다.

[0047] <스텝 S15>

[0048] 미리 결정된 개수의 비트 데이터의 단위로 LDPC 복호 처리가 행해진다.

[0049] <스텝 S16>

[0050] 미리 정해진 최대 이터레이션 횟수, 예를 들어 N2 이터레이션 내에서 복호 처리가 완료되면(예), 스텝 S18에서 복호 데이터가 호스트에 전송된다.

- [0051] <스텝 S17>
- [0052] S16에서, 미리 결정된 최대 이터레이션 횟수의 처리를 행한 후에 복호 처리가 완료되지 않는다면(아니오), 예를 들어 에러 명령이 호스트에 송신된다.
- [0053] 이상의 설명과 같이, 본 실시예의 메모리 시스템(5), 메모리 카드(3) 및 메모리 컨트롤러(2)는 미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 절대치가 상기 제1 LLR 테이블에서의 각각의 LLR의 절대치보다 작도록 LLR 데이터로 이루어지는 제2 LLR 테이블을 기억하도록 구성된 LLR 테이블 기억부(20)를 구비하다. 제1 LLR 테이블과 임계치 전압으로부터 산출된 LLR을 이용한 복호 처리가 에러인 경우, 제2 LLR 테이블과 임계치 전압으로부터 산출된 LLR을 이용하여 복호 처리를 행한다. 구체적으로, 제2 LLR 테이블에서 대응하는 위치에서의 2개의 LLR가 모두 "0"인 것이 바람직하다.
- [0054] 본 실시예의 메모리 시스템(5)의 제어 방법은 2^N (N은 2 이상의 자연수)개의 임계치 전압 분포에 기초하여 N비트의 부호화 데이터를 기억하는 반도체 메모리 셀의 임계치 전압을 검지하는 단계와; 미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블과, 검지된 임계치 전압으로부터 제1 LLR를 산출하는 단계와; 제1 LLR에 기초하여 이터레이션 복호 처리를 행하는 제1 LDPC 복호를 행하는 단계와; 상기 제1 LDPC 복호에 실패하는 경우, 상기 제1 LLR 테이블에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 절대치가 상기 제1 LLR 테이블의 각각의 LLR의 절대치보다 작도록 LLR 데이터로 이루어지는 제2 LLR 테이블과, 상기 검지된 임계치 전압으로부터 제2 LLR를 산출하는 단계와; 제2 LLR에 기초하여 이터레이션 복호 처리를 행하는 제2 LDPC 복호를 행하는 단계를 포함한다.
- [0055] 이상의 설명과 같이, 메모리 시스템(5) 및 메모리 시스템(5)의 제어 방법은 높은 에러 정정 능력을 구현하게 된다.
- [0056] <제2 실시예>
- [0057] 이하, 도면을 참조하여, 본 발명의 제2 실시예의 메모리 시스템(5A) 및 메모리 시스템(5A)의 제어 방법을 설명한다. 제2 실시예의 메모리 시스템(5A)은 제1 실시예의 메모리 시스템(5)과 유사하므로, 동일한 구성 요소의 설명은 생략한다.
- [0058] 본 실시예의 메모리 시스템(5A)의 LLR 테이블 기억부(20A)는 제1 실시예의 메모리 시스템(5)과는 다른 제2 LLR 테이블(22A)을 기억한다. 즉, LLR 테이블 기억부(20A)는, 제1 LLR 테이블(21A)과 같고 미리 결정된 임계치 전압에 대응하는 통상의 LLR 데이터로 이루어지는 제1 LLR 테이블(21A)과, 제2 LLR 테이블(22A)을 구비한다. 제2 LLR 테이블(22A)은 제1 LLR 테이블(21A)에서 인접하는 2개의 LLR 간에 부호가 반전되는 각 위치에 대응하는 각 위치에서의 2개의 LLR의 절대치의 차가 제1 LLR 테이블(21A)에서의 차보다 크고, 2개의 LLR 중에서 임계치 전압이 고전압측인 LLR(제1 LLR)의 절대치가 저전압측의 LLR(제2 LLR)의 절대치보다 크다.
- [0059] 즉, 메모리 시스템(5A)은 도 5b에 나타내는 임계치 전압 분포가 저전압측으로 시프트되는 경우 또는 판독 레벨이 고전압측으로 시프트되는 경우를 상정하는 도 8에 나타내는 제2 LLR 테이블(22A)을 구비한다.
- [0060] 제1 LLR 및 제2 LLR는 적절히 결정된다. 예를 들어, 제1 LLR 테이블(21A)의 LLR 중 절대치가 가장 작은 LLR를 기준 LLR로 설정하여, 제1 LLR의 절대치가 기준 LLR의 절대치보다 크고, 제2 LLR의 절대치는 기준 LLR의 절대치보다 작게 된다.
- [0061] 도 8의 상층에 나타낸 LLR 테이블 기억부(20A)에 기억된 제1 LLR 테이블(21A)에서, 굵은선 프레임으로 둘러싸여 표시되는 인접하는 2개의 LLR 간에 부호가 반전되는 위치에서의 LLR의 절대치의 최소는 "5"이며, 절대치 간의 최대차는 "1"이다. 도 8의 하층에 나타낸 LLR 테이블 기억부(20A)에 기억된 제2 LLR 테이블(22A)에서, 제1 LLR 테이블(21A)에서 인접하는 2개의 LLR 간에 부호가 반전되는 위치에 대응하는 위치(굵은선 프레임)에서의 제1 LLR의 절대치는 "7"이고, 제2 LLR의 절대치는 "1"이다.
- [0062] 상기 실시예의 메모리 시스템(5A) 및 메모리 시스템(5A)의 제어 방법은, 제1 실시예의 메모리 시스템(5) 등의 효과 외에, 임계치 전압 분포 또는 판독 레벨이 시프트되는 경우, 메모리 시스템(5)보다 높은 에러 정정 능력을 구현한다.
- [0063] <제2 실시예의 변형예>
- [0064] 이하에서는, 도 9a, 도 9b 및 도 10을 참조하여, 본 발명의 제2 실시예의 변형예의 메모리 시스템(5B) 및 메모

리 시스템(5B)의 제어 방법을 설명한다. 본 변형예의 메모리 시스템(5B)은 제2 실시예의 메모리 시스템(5A)과 유사하므로, 동일한 구성 요소의 설명은 생략한다.

[0065] 메모리 시스템(5A)은 도 5b에 나타낸 바와 같이 임계치 전압 분포가 저전압측으로 시프트되는 경우 또는 판독 레벨이 고전압측으로 시프트되는 경우를 상정한 제2 LLR 테이블(22A)을 구비한다. 반면, 메모리 시스템(5B)은 도 9b에 나타낸 바와 같이 임계치 전압 분포가 고전압측으로 시프트되는 경우 또는 판독 레벨이 저전압측으로 시프트되는 경우를 상정하고 있다.

[0066] 즉, 도 9b에 나타낸 바와 같이, 임계치 전압 분포가 우측으로 시프트되면, 즉, 임계치 전압이 고전압측으로 시프트됨으로써 최적 판독 레벨이 시프트되면, 임계치 전압 범위 A에서는 (영역(11)의 면적)>>(영역(12)의 면적)이 되고 신뢰도가 상승한다. 그러나, 임계치 전압 범위 B에서는 신뢰도가 저하한다.

[0067] 이로 인해, 메모리 시스템(5B)은 제2 LLR 테이블로서 도 10의 하층에 나타내는 제2 LLR 테이블 B(22B)을 구비한다. 도 10에 예시하는 LLR 테이블 기억부(20B)에 기억된 제1 LLR 테이블(21B) 및 제2 LLR 테이블 B(22B)는 제1 LLR의 절대치로서 "1"을 사용하고, 제2 LLR의 절대치로서 "7"을 사용한다. 즉, 제1 LLR 및 제2 LLR의 절대치는 제2 LLR 테이블 B에서는 메모리 시스템(5A)의 제2 LLR 테이블 A(22A)의 경우의 반대이다.

[0068] 상기 변형예의 메모리 시스템(5B) 및 메모리 시스템(5B)의 제어 방법은, 제1 실시예의 메모리 시스템(5) 등의 효과 외에, 임계치 전압 분포 또는 판독 레벨이 시프트되는 경우, 메모리 시스템(5A) 등보다 높은 에러 정정 능력을 구현한다.

[0069] <제3 실시예>

[0070] 이하에서는, 도면을 참조하여, 본 발명의 제3 실시예의 메모리 시스템(5C) 및 메모리 시스템(5C)의 제어 방법을 설명한다. 제3 실시예의 메모리 시스템(5C)은 제2 실시예의 메모리 시스템(5A) 등과 유사하므로, 동일한 구성 요소의 설명은 생략한다.

[0071] 메모리 시스템(5A)은 도 5b에 나타낸 임계치 전압 분포가 저전압측으로 시프트되는 경우를 상정한 제2 LLR 테이블 A(22A)을 구비하고, 메모리 시스템(5B)은 임계치 전압 분포가 고전압측으로 시프트되는 경우를 상정한 제2 LLR 테이블 B(22B)을 구비한다.

[0072] 반면, 메모리 시스템(5C)은 제2 LLR 테이블로서 제2 LLR 테이블 A(22A)과 제2 LLR 테이블 B(22B)을 기억하도록 구성되는 LLR 테이블 기억부(20C)를 구비한다. 이하에서는, 제2 LLR 테이블 A를 제3 LLR 테이블이라고도 하며, 제2 LLR 테이블 B를 제4 LLR 테이블이라고도 한다. 바꿔 말하면, 메모리 시스템(5C)의 제2 LLR 테이블은 제3 LLR 테이블(22A)과 제4 LLR 테이블(22B)을 구비한다.

[0073] 도 11은 메모리 시스템(5C)의 동작 흐름을 설명하기 위한 흐름도다. 도 11에 나타낸 바와 같이, 메모리 시스템(5C)에서는, 통상의 LLR 테이블(제1 LLR 테이블)을 사용하여 산출된 LLR에 의한 복호 처리에 실패하는 경우, 제3 LLR 테이블(22A)로부터 산출된 LLR에 의한 복호 처리를 행한다. 이 복호 처리에 또한 실패하는 경우, 제4 LLR 테이블(22B)로부터 산출된 LLR에 의한 복호 처리를 행한다.

[0074] 대안적으로, 통상의 LLR 테이블(제1 LLR 테이블)을 사용하여 산출된 LLR에 의한 복호 처리에 실패하는 경우, 제4 LLR 테이블(22B)로부터 산출된 LLR에 의한 복호 처리를 행할 수 있다. 이 복호 처리에 또한 실패하는 경우, 제3 LLR 테이블(22A)로부터 산출된 LLR에 의한 복호 처리를 행할 수 있다.

[0075] 메모리 시스템(5C)은 임계치 전압 분포 또는 판독 레벨이 고전압측 또는 저전압측으로 시프트되는 어느 경우에서도 복호 처리가 가능하다. 따라서, 메모리 시스템은 복호 처리에서의 높은 신뢰도를 구현한다.

[0076] <추가 설명>

[0077] 상술된 실시예의 메모리 시스템(5 및 5A 내지 5C) 및 메모리 시스템(5 및 5A 내지 5C)의 제어 방법은, 임계치 전압 분포가 시프트될지라도, 높은 확률에서 에러 정정이 가능한 에러 정정 능력이 높은 개선된 메모리 시스템을 제공한다. 또한, 상기 메모리 시스템은 LLR 테이블 간의 절환에 의해 처리를 행할 수 있으므로 복호 처리 시간을 대폭으로 단축할 수 있는 높은 처리 속도를 실현할 수 있다. 또한, 메모리 시스템(5 및 5A 내지 5C)의 기억 장치인 메모리 카드(3 및 3A 내지 3C) 중 임의의 것 또는 메모리 컨트롤러(2 및 2A 내지 2C) 중 임의의 것이 다른 구성 요소와 조합되어 사용되는 경우에도 상술된 바와 동일한 효과를 달성할 수 있다.

[0078] 또한, 메모리 시스템(5) 등의 기억 장치인 메모리 카드(3) 또는 메모리 컨트롤러(2), ECC부(15) 또는 디코더(1)가 다른 구성 요소와 조합되어 사용되는 경우에도 상술된 바와 동일한 효과를 달성할 수 있다.

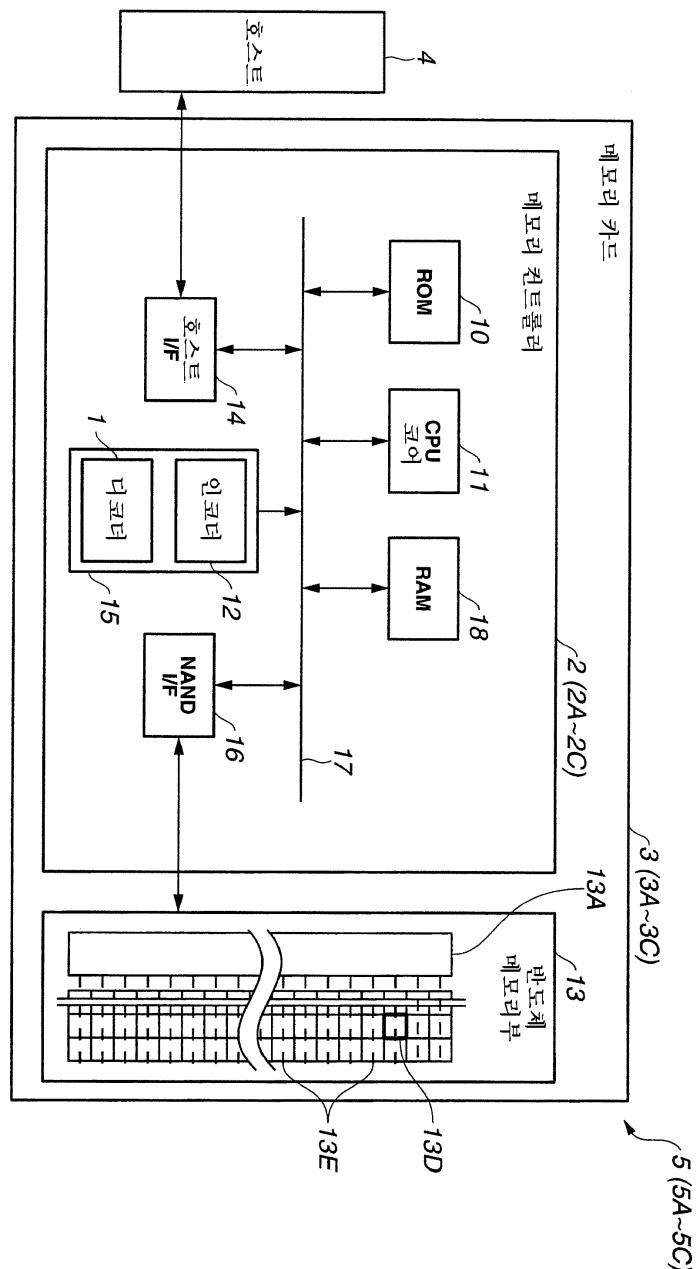
- [0079] 이상의 설명에서는, $N=3$ 의 8치 기억 메모리 셀의 메모리 시스템(5) 등을 예로 들었다. 그러나, $N=2$ 의 4치 기억 메모리 셀의 메모리 시스템 및 $N=4$ 의 16치 기억 메모리 셀의 메모리 시스템과 같은 메모리 시스템에서도 본 발명의 효과는 달성된다. 오히려, N 이 커질수록, 본 발명의 효과는 현저해진다. 즉, N 은 2 이상이지만, N 이 3 이상 또는 4 이상인 경우에 본 발명의 효과는 현저하다. N 의 상한은 산업적 실시의 관점에서 7 이하이다.
- [0080] 확률에 기초하는 반복 계산에 의해 부호가 복호된다면, 부호는 LDPC 부호에 한정되지 않는다. 사용되는 복호 알고리즘의 종류는 섬-프라덕트(sum-product) 복호, 민-섬(min-sum) 복호 및 정규화 민-섬(normalized min-sum) 복호 중 임의의 것일 수 있다.
- [0081] 경시 변화(temporal change), 예를 들어, 판독 횟수의 증가에 수반하여 임계치 전압 분포가 변화할 수 있다. 이로 인해, 판독 횟수가 미리 결정된 횟수 이상에 도달하면, 제2 LLR 테이블(22)을 우선해서 사용하도록 제어가 행해질 수 있다. 대안적으로, 미리 결정된 횟수 이상, 예를 들어, 10회 이상 연속해서 제2 LLR 테이블(22)을 사용하여 LLR을 산출했다면, 이후에는 제2 LLR 테이블(22)을 우선해서 사용하도록 제어가 행해질 수 있다. 이 때, 미리 결정된 횟수 이상, 예를 들어, 10회 이상 연속해서 제1 LLR 테이블(21)을 사용하여 LLR을 산출했다면, 이후에는 다시 제1 LLR 테이블(21)을 우선해서 사용하도록 제어가 행해질 수 있다.
- [0082] 물론, 메모리 셀마다 또는 특정한 메모리 셀의 집단마다 우선해서 사용되는 LLR 테이블을 변경할 수 있다. 또한, 메모리 카드의 축적된 사용 시간이 미리 결정된 시간을 초과한 경우, 제2 LLR 테이블(22)을 우선해서 사용하도록 제어가 행해질 수 있다. 또한, 특정한 메모리 셀의 집단, 예를 들어, 판독 횟수가 많은 메모리 셀의 집단에 대해서는, 판독 횟수가 적은 메모리 셀의 집단에 대한 축적된 사용 시간보다 짧은 축적된 사용 시간이 경과한 후에 제2 LLR 테이블(22)을 사용하여 LLR을 산출하도록 제어가 행해질 수 있다.
- [0083] 제1 LLR 테이블(21)을 사용하는 LDPC 복호 처리의 이터레이션 횟수의 상한치 $N1$ 은 제2 LLR 테이블(22)을 사용하는 LDPC 복호 처리의 이터레이션 횟수의 상한치 $N2$ 미만의 값으로 설정될 수 있다.
- [0084] 제3 LLR 테이블 및 제4 LLR 테이블이 제공되는 경우에도, 상술된 바와 유사한 방식으로 제어가 행해질 수 있다.
- [0085] 첨부 도면을 참조하여 본 발명의 양호한 실시예를 설명했지만, 본 발명은 이와 같은 정확한 실시예에 한정되지 않고, 당업자는 첨부된 청구범위에 한정된 본 발명의 사상 또는 범위를 벗어나지 않고 본 발명의 다양한 변화 또는 변형을 행할 수 있다는 것을 이해해야 한다.

부호의 설명

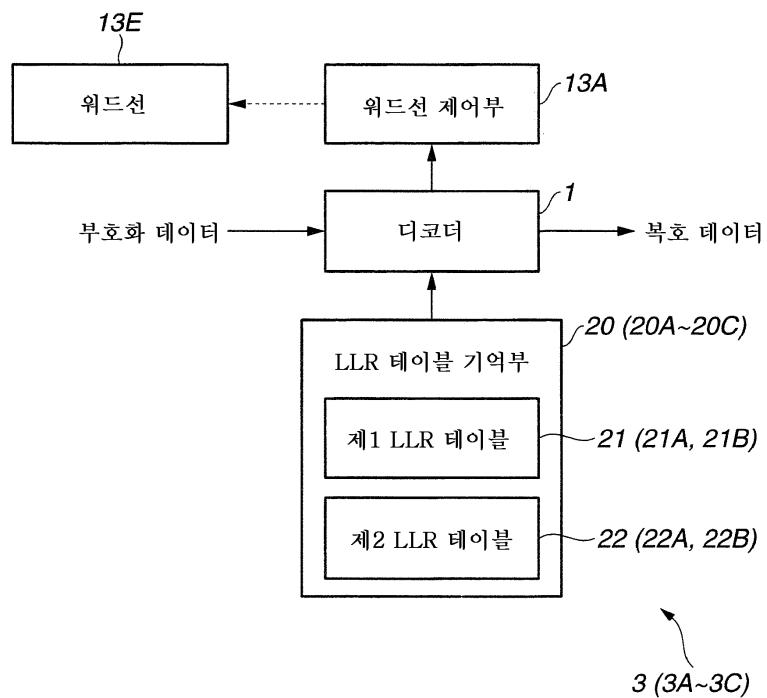
- [0086] 2: 메모리 컨트롤러
 3: 메모리 카드
 4: 호스트
 5: 메모리 시스템
 13: 반도체 메모리부

도면

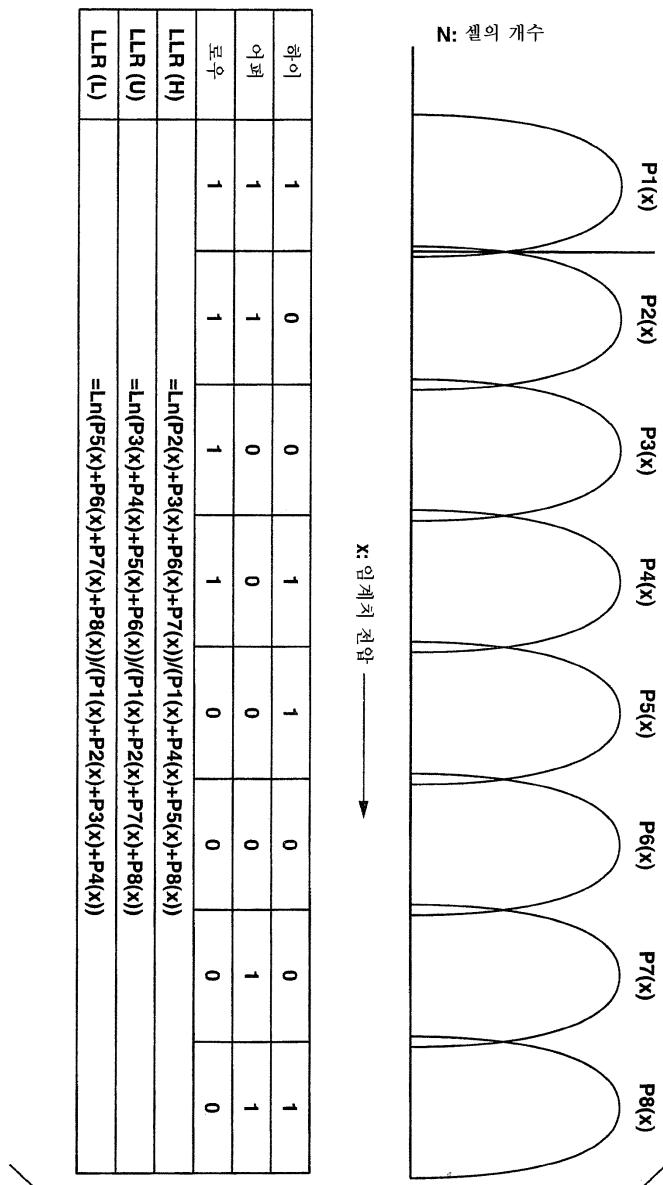
도면1



도면2



도면3

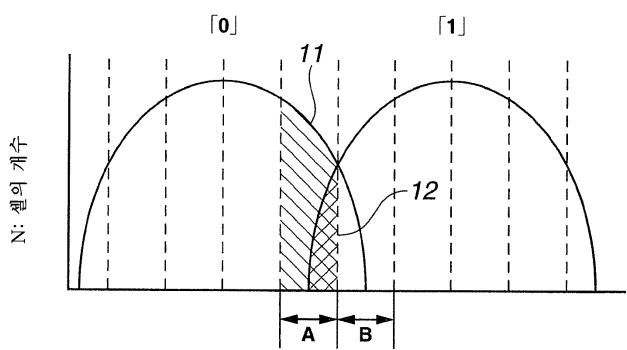


도면4

하이	1	0	0	1	1	0	0	1
어폐	1	1	0	0	0	0	1	1
로우	1	1	1	1	0	0	0	0
LLR (H)	-11	-9	-8	-6	5	9	10	11
LLR (U)	-15	-15	-14	-13	-12	-9	-8	-5
LLR (L)	-22	-20	-19	-19	-18	-17	-16	-15

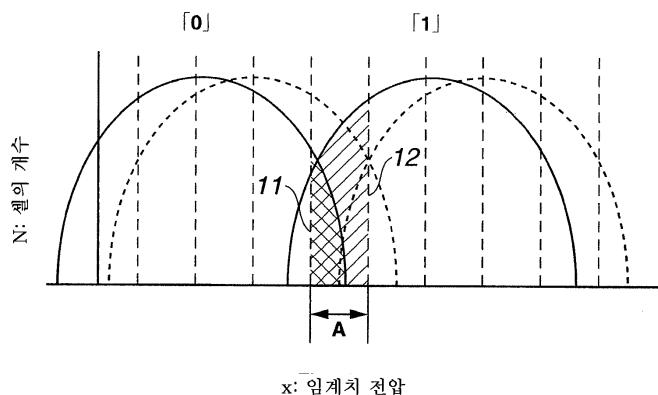
x: 임계치 전압 →

도면5a

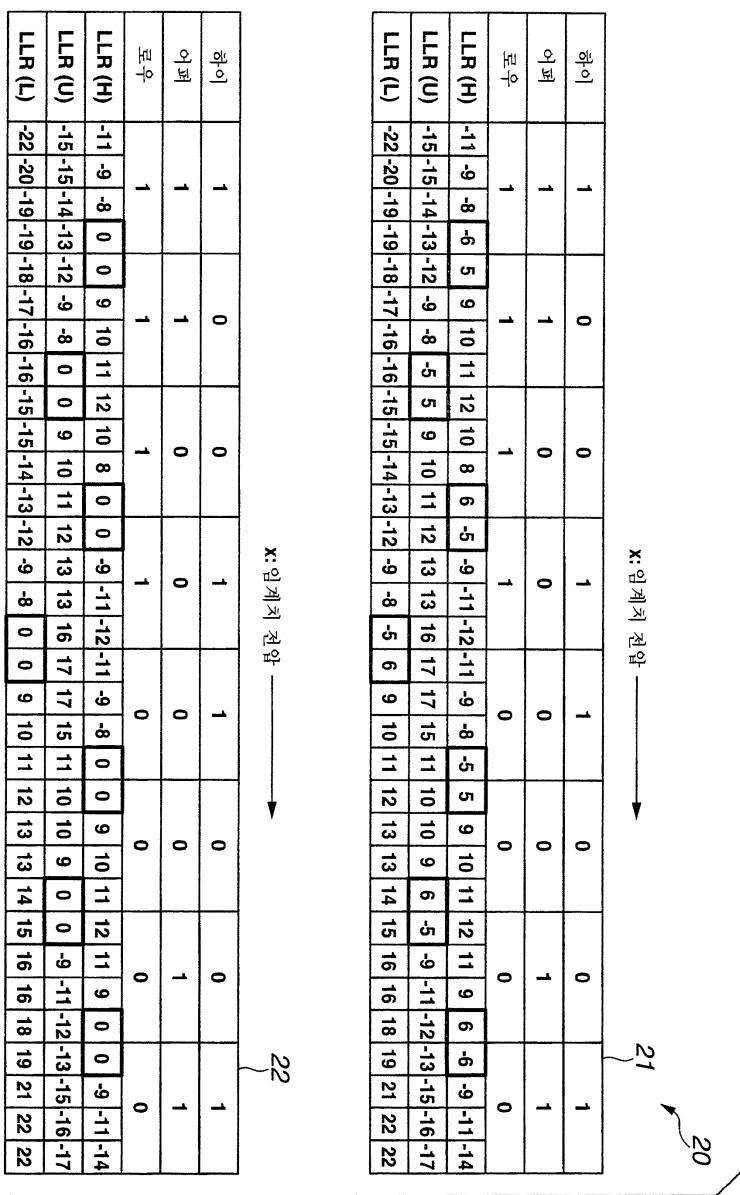


x: 임계치 전압

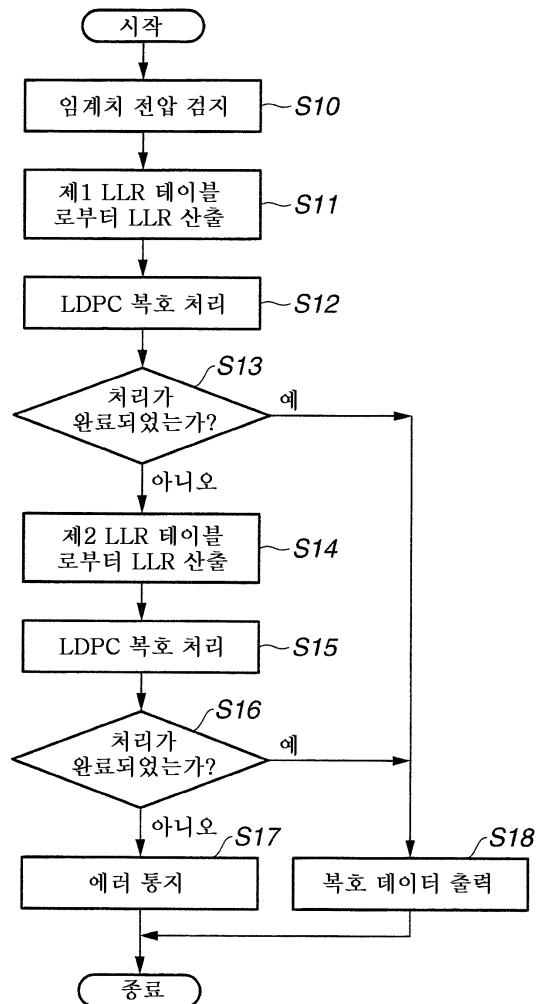
도면5b



도면6



도면7



도면8

x: 임계치 전압 →

하이	1	0	0	1	1	0	0	0	1
어퍼	1	1	0	0	0	0	1	1	
로우	1	1	1	1	0	0	0	0	
LLR (H)	-11	-9	-8	-6	5	9	10	11	12
LLR (U)	-15	-15	-14	-13	-12	-9	-8	-5	-5
LLR (L)	-22	-20	-19	-19	-18	-17	-16	-16	-15

21A

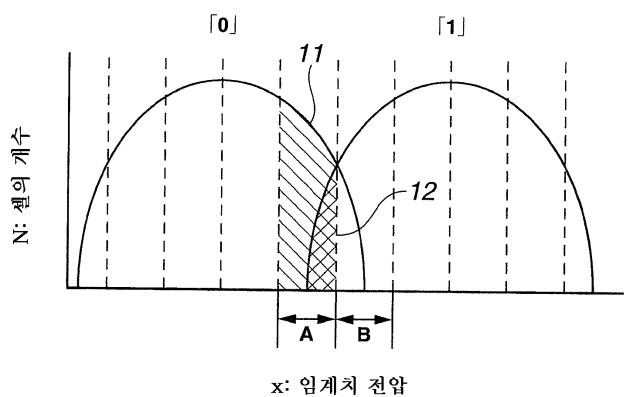
20A

x: 임계치 전압 →

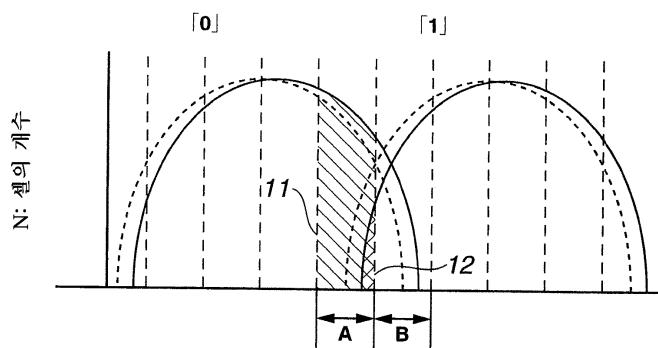
하이	1	0	0	1	1	0	0	0	1
어퍼	1	1	0	0	0	0	1	1	
로우	1	1	1	0	0	0	0	0	
LLR (H)	-11	-9	-8	-1	7	9	10	11	12
LLR (U)	-15	-15	-14	-13	-12	-9	-8	-1	-7
LLR (L)	-22	-20	-19	-19	-18	-17	-16	-16	-15

22A

도면9a

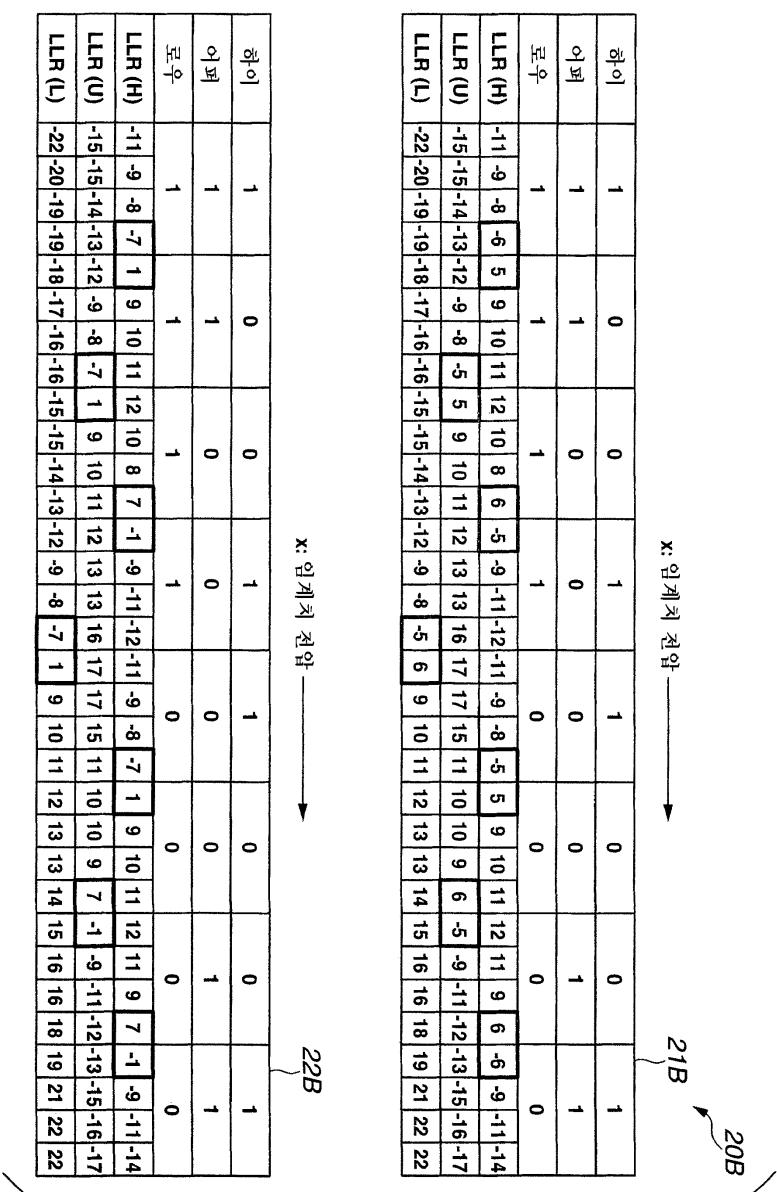


도면9b



x: 임계치 전압

도면10



도면11

