RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 465 289**
(A n'utiliser que pour les commandes de reproduction).

A1

DEMANDE DE BREVET D'INVENTION

(21) **N° 80 19639**

(54) **Appareil de commande pour matrice d'affichage.**

(51) Classification internationale (Int. Cl. ³). G 09 G 1/02.

(22) Date de dépôt ..... 11 septembre 1980.
(33) (32) (31) Priorité revendiquée : *Grande-Bretagne, 14 septembre 1979, n° 7931939.*

(41) Date de la mise à la disposition du public de la demande ..... B.O.P.I. — « Listes » n° 12 du 20-3-1981.

(71) Déposant : Société dite : POSSUM CONTROLS LTD, résidant en Grande-Bretagne.

(72) Invention de : David Gemmell, Anthony Longley et Duncan Irvine.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Pruvost,
31, bd Gutenberg, 93190 Livry-Gargan.

Appareil de commande pour matrice d'affichage.

La présente invention concerne un appareil de commande destiné à une matrice d'affichage ou matrice vidéo, en particulier bien que non exclusivement à une matrice d'affichage destinée à être utilisée comme moyen de communication par une personne handicapée.

L'invention concerne un appareil de commande du type comprenant une matrice d'affichage réagissant à des signaux d'entrée d'affichage représentant des positions d'affichage dans la matrice, des moyens d'entrée pouvant être actionnés par un utilisateur, et des moyens couplant ces moyens d'entrée à la matrice d'affichage de façon telle que, lors de l'actionnement des moyens d'entrée, un utilisateur puisse actionner sélectivement l'une quelconque de plusieurs positions d'affichage dans la matrice.

Des exemples d'appareil de commande de ce type sont décrits dans les brevets britanniques n° 956 302 et 1 021 531. De façon caractéristique, dans un appareil connu de ce type, la matrice d'affichage fournit à l'utilisateur une indication de celui des appareils d'une installation ou d'un équipement, par exemple un appareil de radio, une télévision, un téléphone, un dispositif pour tourner les pages et un système d'alarme est en service et est placé sous la commande del'appareil de commande. Un tel appareil de commande peut également être utilisé pour commander une machine à écrire électrique, chaque actionnement de la machine à écrire pouvant être sélecté par l'utilisation de la matrice d'affichage. En particulier, quand un appareil de ce type est destiné à être utilisé par une personne fortement handicapée, les moyens d'entrée se présentent de façon caractéristique sous la forme d'un ou de deux commutateurs marche-arrêt, adaptés éventuellement de façon à être commandés par une pression d'air créée en aspirant et (ou) en soufflant par l'utilisateur, les actionnements du ou des commutateurs étant automatiquement suivis d'une réaction de l'appareil, pour fournir à l'utilisateur une méthode de déclenchement, de commande et d'interruption d'une

exploration des positions d'affichage de la matrice.

Un appareil de commande destiné à une paire de matrices de comparaison permettant des opérations d'essai et d'enseignement est décrit dans la demande de brevet britannique n° 2 013 955 A.

L'invention résulte de la nécessité, pour les patients fortement handicapés, de disposer d'un moyen de communication rapide correspondant à des demandes et à des réponses fondamentales vis-à-vis d'une personne pouvant les aider. En conséquence, suivant l'invention, l'appareil de commande du type considéré est caractérisé en ce que les moyens couplant les moyens d'entrée avec la matrice d'affichage comprennent une unité de traitement ou processeur central couplé à une mémoire de commande et à une mémoire temporaire, et en ce que la matrice d'affichage comprend une position d'affichage d'écriture, l'unité de traitement centrale ou processeur pouvant, en réponse à l'actionnement sélectif de cette position d'affichage d'écriture, mémoriser plusieurs jeux de données de positions d'affichage en un groupe ordonné prédéterminé de jeux de positions dans la mémoire temporaire, et une position d'affichage de lecture, le processeur central actionnant automatiquement dans l'ordre prédéterminé, en réponse à l'actionnement sélectif de cette position de lecture, les différentes positions d'affichage, correspondant aux différents jeux de données de positions d'affichage mémorisés dans les jeux de positions de la mémoire temporaire.

De préférence, la matrice d'affichage comporte une position d'affichage d'effacement et, en réponse à la sélection de cette position lors de l'actionnement de la position d'affichaged'écriture, le jeu de données de positions d'affichage le plus récent est effacé.

La mémoire de commande peut être une mémoire limitée à la lecture, programmée pour déterminer un mode de fonctionnement du processeur central en réponse à des signaux prédéterminés provenant des moyens d'entrée.

La mémoire temporaire peut être une mémoire

volatile à accès au hasard.

La matrice d'affichage comprend de préférence un réseau de diodes photo-émettrices dont chacune détermine une position d'affichage respective dans la matrice.

Les moyens d'entrée peuvent comporter un bloc commutateur destiné à être utilisé par une personne handicapée.

La description qui va suivre, faite en regard des dessins annexés, donnés à titre non limitatif, permettra de mieux comprendre l'invention.

La Fig. 1 est un schéma d'un mode de réalisation de l'invention, montrant un processeur ou une unité de traitement centrale et des mémoires.

La Fig. 2 est un schéma d'une partie du mode de réalisation visible sur la Fig. 1, comprenant une matrice d'affichage formée de diodes photo-émettrices et un système de commande à deux coordonnées pour cette matrice.

La Fig. 3 est un schéma de circuit correspondant à un bloc commutateur d'entrée.

La Fig. 4 est un schéma de circuit correspondant au processeur ou bloc de traitement central et aux mémoires, ainsi qu'à une unité périphérique du mode de réalisation que montre la Fig. 1.

Dans le mode de réalisation de l'appareil de commande décrit en détail plus loin, une matrice d'affichage formée de diodes photo-émettrices réagit à des signaux d'entrée d'affichage selon deux coordonnées représentant des positions d'affichage définies chacune par une diode photo-émettrice correspondante dans la matrice. Un bloc commutateur d'entrée agencé de façon à pouvoir être utilisé par une personne handicapée est couplé à la matrice de façon telle que l'utilisateur puisse actionner sélectivement l'une quelconque des diodes photo-émettrices.

Pour adapter l'appareil en vue de son utilisation comme moyen de communication judicieux, le bloc commutateur est couplé à la matrice par un microprocesseur équipé d'une mémoire limitée à la lecture (ROM) contenant le programme de fonctionnement du microprocesseur et d'une mémoire à accès au hasard (RAM) dans la-

quelle des jeux de coordonnées de positions de la matrice peuvent être temporairement mémorisés et rappelés sous la commande de l'utilisateur, de sorte que celui-ci peut écrire un message dans la RAM en sélectant une séquence de positions de matrice correspondant à une séquence de mots affichés de façon visible par des diodes photo-émettrices respectives et ultérieurement rappeler et afficher le message par la selection d'une position de lecture dans la matrice.

Sur la Fig. 1, on a représenté un processeur ou unité de traitement centrale CPU comprenant un générateur d'impulsions d'horloge commandé par cristal (non représenté) fournissant une fréquence d'horloge de 2 mégahertz. Ce processeur central CPU est un processeur à 8 bits et il comprend huit lignes de sortie disposées en un groupe six lignes 11 et de deux autres lignes 12 et 13, en vue d'un adressage à une mémoire limitée à la lecture ROM et à une mémoire d'accès au hasard RAM montées en parallèle. Le processeur CPU transmet des signaux de minutage et de commande aux mémoires ROM et RAM par l'intermédiaire d'une unité périphérique 14 qui est également montée de manière à recevoir des informations de commande par cinq des six lignes de sortie d'adressage 11 de processeur CPU.

Un bloc commutateur d'entrée 15 est couplé au processeur CPU et permet à un utilisateur de transmettre des instructions à ce processeur CPU par de simples opérations de commutation. Pourun utilisateur incapable d'effectuer une commutation manuelle, le bloc commutateur peut être adapté en vue d'un actionnement par une commande par respiration. Par exemple, une opération de commutation peut être effectuée par aspiration, tandis qu'une autre opération de commutation est effectuée en soufflant.

Le processeur central CPU comprend huit lignes entrée/sortie 16 qui sont reliées respectivement à huit lignes formant un canal de données 17, auquel estconnectée une unité d'affichage 100. La mémoire limitée à la lecture ROM comprend en fait huit lignes de sortie 18

connectées respectivement à huit lignes du canal de données 17, et la mémoire à accès au hasard RAM comprend en fait huit lignes d'entrée/sortie 19 connectées respectivement aux lignes de canal de données.

Un dispositif d'alarme 20, qui peut être un ronfleur commutable, est connecté à une ligne de sortie indicatrice du processeur CPU. Deux circuits monostables 21 et 22 comportent des bornes d'entrée de signaux de déclenchement à flanc négatif et à flanc positif respectivement T- et T+, connectées à trois lignes de sortie 23,24 et 25 du processeur CPU comme montré, de sorte que les circuits 21 et 22 peuvent être déclenchés de façon indépendante sur leurs bornes d'entrée de déclenchement à flanc négatif respectives T-. Les résistances variables 26 et 27 déterminent les constantes de temps respectives des circuits 21 et 22 et elles sont réglables à la main, de sorte que ces constantes de temps peuvent être réglées par un utilisateur ou par une personne aidant celui-ci. Les bornes de sortie Q des circuits 21 et 22 sont connectées respectivement à deux bornes d'entrée du processeur CPU et, en service, chacun des circuits 21 et 22 peut être déclenché de façon répétée à un rythme qui est déterminé par la constante de temps respective définie par la résistance variable 22 ou 27 du circuit monostable.

Un autre circuit monostable 28 associé à une résistance variable 29 réglable à la main de détermination de la constante de temps, dont les bornes d'entrée de déclenchement à flancs négatif et positif T- et T+ sont connectées respectivement à une ligne de sortie 30 et à la ligne de sortie 23 du processeur CPU, peut être couplé par sa borne de sortie Q, par l'intermédiaire d'un élément pilote ou "driver" à trois états 31 commandé par l'unité périphérique 14 à la première des huit lignes du canal de données 17.

Un autre élément pilote à trois étages 32 commandé par l'unité périphérique 14 est prévu pour l'application d'un niveau de tension positif ou d'un niveau égal à la masse, selon qu'un commutateur pouvant être

actionné à la main 33 est ouvert ou fermé respectivement, à la seconde des lignes 17 du canal de données. Un troisième élément pilote à trois états 32, commandé par l'unité périphérique 14, est prévu pour coupler de façon similaire un niveau de tension positif ou la masse, selon l'état d'un autre commutateur à commande manuelle 33', à la troisième des lignes 17 du canal de données. Le processeur CPU est programmé de manière à fonctionner selon l'un ou l'autre de trois modes d'interprétation des signaux qui lui sont fournis par le bloc commutateur d'entrée 15, selon que les deux lignes du canal de données formant la seconde et la troisième ligne se trouvent à un niveau positif, ou bien à un niveau positif ou au niveau de la masse respectivement, ou vice versa.

Des impulsions d'entrée d'échantillonnage ayant une fréquence de répétition par exemple de 500 HZ sont fournies sur la borne de sortie d'une porte OU à deux entrées 34, dont les deux bornes d'entrée sont connectées respectivement à une borne de sortie de l'unité périphérique 14 et à la borne de sortie du processeur CPU.

L'unité périphérique 14 comprend deux circuits qui peuvent se présenter ensemble sous la forme d'un circuit intégré 4013 et deux décodeurs à verrouillage sous la forme d'un circuit intégré CDP 1858.

Le bloc commutateur d'entrée 15 comprend trois bornes de sortie connectées respectivement à trois bornes d'entrée du processeur CPU. L'une de ces bornes d'entrée est la borne d'entrée d'effacement et la borne de sortie du bloc commutateur 15 à laquelle elle est connectée fournit un signal de niveau élevé quand l'une ou l'autre des deux autres bornes de sortie du bloc commutateur se trouve à un niveau élevé et pendant toute la durée de fonctionnement du processeur CPU, ce qui a pour conséquence la production d'impulsions d'échantillonnage à la sortie de la porte OU 34, l'information se rapportant à la production des impulsions d'échantillonnage étant fournie au bloc commutateur 15 sur sa borne d'entrée 35 par des moyens qui seront décrits plus loin en regard à la Fig.2. Chaque fois que la borne d'entrée d'effacement du proces-

seur CPU reçoit un signal de niveau bas, le processeur subit une commutation pour passer à un mode de repos.

Si le processeur CPU se trouve à son mode de repos et si l'utilisateur actionne le bloc commutateur 15, le processeur CPU devient actif et un signal de verrouillage de niveau élevé apparaît sur la borne d'entrée 35, de sorte que le processeur CPU est verrouillé à son état actif ou de travail, qui nese termine pas tant que l'appareil ne reçoit pas d'entrée du bloc commutateur 15, à part le signal de verrouillage transmis à partir de la borne 35, et en l'absence d'une condition d'alarme, pendant un laps de temps prédéterminé tel que cinq minutes.

Quand le processeur CPU est actif, des signaux d'entrée provenant du bloc commutateur 15 sont interprétés selon un programme qui est mémorisé dans la mémoire limitée à la lecture ROM, la mémoire à accès au hasard RAM étant utilisée comme mémoire temporaire pour les données reçues par le processeur CPU à partir du bloc commutateur 15. La nature du programme mémorisé dans la mémoire limitée à la lecture ROM et celle des données mémorisées temporairement dans la mémoire à accès au hasard RAM apparaîtront à la lecture de la description faite ci-après en regard de la Fig.2.

Sur la Fig.2 le canal de données 17 est représenté conjointement à ses connexions avec deux convertisseurs binaires-décimaux 36 et 37 prévus dans le bloc d'affichage 100. Chacun des convertisseurs 36 et 37 comprend quatre bornes d'entrée de données et seize bornes de sortie de données, dont dix sont utilisées. Les quatre bornes d'entrée de données 38, 39,40 et 41 du convertisseur 36 sont connectées respectivement aux quatre dernières lignes du canal de données 17, comme montré, et les quatre bornes d'entrée de données 42, 43, 44 et 45 du convertisseur 37 sont connectées aux quatre premières lignes du canal de données 17. Les convertisseurs 36 et 37 comprennent des bornes d'entrée d'échantillonnage respectives ST, qui sont couplées par un inverseur 46 à la sortie de la porte OU (Fig.1), et des bornes d'entrée d'inhibition respectives INH, connectées à la borne de sortie $\overline{Q}$ d'un circuit monostable 47 qui est

déclenché sur sa borne d'entrée de déclenchement à flanc négatif T- par le flanc négatif des impulsions d'échantillonnage. La constante de temps du circuit monostable 47 est telle que la sortie Q du circuit 47 demeure de façon permanente à un niveau élevé pendant l'envoi d'un train ininterrompu d'impulsions d'échantillonnage à la borne d'entrée de déclenchement T- du circuit 47. En conséquence, les bornes d'inhibition des convertisseurs 36 et 37 demeurent à un niveau bas pendant l'envoi des impulsions d'échantillonnage. Dès qu'un train d'impulsions d'échantillonnage est interrompu pendant un laps de temps suffisant pour le rétablissement du circuit monostable 47, les bornes d'inhibition reçoivent un signal de niveau élevé et les convertisseurs 36 et 37 sont inhibés.

La borne de sortie Q du circuit 47 est couplée à la masse par une résistance 48 à contact formant cursseur 49, qui prélève une tension de polarisation pour un transistor VMOS 50 monté de façon à agir comme contacteur de mise à la masse pour une matrice 51 de type 10 x 10 formée par des diodes photo-émettrices LED.

Les dix bornes de sortie utilisées du convertisseur 36 sont connectées respectivement aux bases de dix transistors P N P de commutateur de rangées dont le premier 52 et le dernier 53 sont représentés. Chaque transistor de rangée est connecté par son émetteur à une source d'alimentation ou d'énergie positive et son collecteur est connecté à un conducteur de rangée respectif dont seul le premier 54 et le dixième 55 sont représentés. Dix diodes photo-émettrices définies par des coordonnées de rangées et de colonnes (R1,C1) à (R1,C10) respectivement sont connectées par leur anode au premier conducteur de rangée 54, et les quatre-vingt dix autres diodes photo-émettrices sont connectées par leur anode, par groupes de dix, aux neuf autres conducteurs de rangées, seules les diodes indiquées en (R10, C1) et (R10, C10) étant représentées. Les cathodes des diodes photo-émettrices sont connectées à dix conducteurs de colonnes par groupe de dix, seul le premier et le dixième conducteurs de colonnes 56 et 57 étant représentés.

Chaque conducteur de colonne est connecté au collec-

teur de l'un des dix transistors NPN de commutation de colonne, seul le premier 58 et le dixième 59 étant représentés. Les émetteurs des transistors de colonnes sont connectés au transistor VMOS 50 comme montré et leurs bases sont couplées par des inversseurs respectifs 60 aux dix bornes de sortie utilisées du convertisseur 37.

Pendant les temps durant lesquels la sortie Q du circuit monostable 47 est au niveau haut, le transistor VMOS 50 est conducteur, en fournissant ainsi une connexion de masse pour les émetteurs de transistors de colonnes de la matrice 51. La sortie Q de niveau haut du circuit 47 est également appliquée à la borne d'entrée 35 du bloc commutateur 15 (Fig.1), de sorte que le processeur CPU est mis au repos dans les circonstances mentionnées précédemment quand le circuit monostable 47 se rétablit, les convertisseurs 36 et 37 étant inhibés tandis que le processeur CPU est au repos.

Quand il est au travail ou actif, le processeur CPU réagit au programme mémorisé dans la mémoire limitée à la lecture ROM, et le processeur CPU lit sur le canal de données 17 à des moments convenables, en provoquant le verrouillage des convertisseurs 36 et 37 à partir des quatre dernières et des quatre premières lignes respectivement du canal de données 17, les coordonnées de rangées et de colonnes des diodes photo-émettrices à alimenter.

Le bloc commutateur 15 comprend deux commutateurs normalement ouverts 101 et 102 représentés sur la Fig.3, le commutateur 102 pouvant être fermé par exemple par aspiration, tandis que l'autre commutateur 101 peut être fermé dans cet exemple en soufflant dans un tube buccal (non représenté) coopérant avec les moyens servant à utiliser les variations résultantes par rapport à la pression atmosphérique pour actionner les deux commutateurs normalement ouvert, dont les états respectifs sont détectés séparement à partir des niveaux de signaux appliqués au circuit processeur CPU sur les deux bornes d'entrée qui, conjointement à la borne d'entrée d'effacement, sont connectées au trois bornes de sortie 103, 104 et 105 du bloc commutateur 15.

Au cours du mode de travail qui intervient quand

le commutateur 33' est fermé et quand le commutateur 33 est ouvert, le commutateur normalement ouvert 102 du bloc commutateur 15 fermé par aspiration et désigné ci-après l'expression "commutateur à aspiration" est fermé, pour actionner le processeur CPU qui, en conséquence, provoque l'alimentation de la diode photo-émettrice dans la position (R1,C1). Si le commutateur à aspiration 102 est ensuite fermé à nouveau et maintenu fermé, les diodes photo-émettrices successives de la première rangée, c'est-à-dire en (R1,C2), (R1,C3), etc.. sont alimentées l'un après l'autre, la première diode (R1,C1) étant éteinte dès que la seconde (R1,C2) est allumée, et ainsi de suite. Si le commutateur à aspiration 102 est maintenu fermé pendant un laps de temps suffisant, la diode photo-émettrice en (R1,C1) va être à nouveau alimentée et la progression des allumages des diodes de la première rangée va recommencer. Pour arrêter ce balayage horizontal, qui est effectué à une vitesse déterminée par la résistance variable 26, le commutateur à aspiration 102 est ouvert. Ainsi, l'une quelconque des diodes photo-émettrices de la première rangée peut être choisie par l'utilisateur en surveillant la matrice 51. Après avoir arrêté le balayage horizontal sur une diode photo-émettrice particulière, les diodes de la colonne qui comprend cette diode particulière peuvent être alimentées successivement à la même vitesse, de sorte qu'un balayage vertical est effectué de la même manière que le balayage horizontal initial lorsque l'utilisateur ferme et maintient fermé l'autre commutateur normalement ouvert 101 du bloc commutateur 15, commutateur qui sera dénommé ci-après "commutateur à souffle" 101. Une diode photo-émettrice particulière de la colonne en cours de balayage peut être choisie par l'utilisateur, qui fait cesser alors la fermeture du commutateur à souffle 101. Une fermeture ultérieure de ce commutateur à souffle 102 provoque, pour la diode photo-émettrice choisie, un nombre minimum d'éclairs, qui est déterminé par la résistance variable 27, le clignotement continuant pendant toute la durée durant laquelle le commutateur à aspiration 102 est fermé et pendant

le nombre minimum prédéterminé de clignotements après que ce commutateur à aspiration 102 a été ouvert. Quand le clignotement de la diode photo-émettrice choisie commence, la diode qui se trouve en (R1,C1) est alimentée à nouveau et demeure alimentée pour servir de point de départ.

En avant d'un panneau opaque dans lequel le réseau de type dix-par-dix de diodes photo-émettrices formant la matrice 51 est monté, on dispose une feuille transparente ou translucide (non représentée) sur laquelle sont portés des mots ou d'autres indications. Une grille de type dix-par-dix 106, formée de rectangles est tracée sur le panneau opaque, chacune des diodes photo-émettrices étant logée dans les rectangles ainsi formés. Chaque mot ou autre inscription de la feuille occupe une position en face de l'un des rectangles respectifs.

Quatre des diodes photo-émettrices de la matrice 51 sont associées à des fonctions spéciales, affectant la mémoire à accès au hasard RAM, et les rectangles correspondants de cette grille sont associés à des inscriptions convenables indiquant leurs fonctions, par exemple "inscription dans la mémoire","lecture de la mémoire", "rappel arrière", et "appel".

Chaque fois que la diode photo-émettrice d'appel est sélectée, le dispositif d'alarme 20 est actionné.

Quand la diode d'inscription dans la mémoire est sélectée, cette diode clignote jusqu'à ce que le commutateur 101 ou 102 du bloc d'entrée 15 soit libéré, puis elle demeure alimentée sans clignoter et la diode photo-émettrice (R1,C1) est allumée. La diode qui se trouve en (R8, C2), (R8, C3), (R8,C4) ou (R8,C5) doit alors être sélectée. Un nombre maximum prédéterminé d'autres diodes photo-émettrices comprenant la lecture de la mémoire et le rappel arrière peut être sélecté pendant le temps durant lequel la diode photo-émettrice d'inscription dans la mémoire est allumée. La séquence de paires de coordonnées de diodes photo-émettrices sélectées pendant que la diode d'inscription dans la mémoire est allumée, sauf celles correspondant au rappel arrière et à l'appel en cas de

sélection, est mémorisée dans la mémoire à accès au hasard RAM. Etant donné que cette séquence peut représenter une séquence de mots, du fait des rectangles correspondants de cette grille auxquels des mots sont associés, l'utilisation de la fonction associée à l'allumage de la diode photo-émettrice d'inscription dans la mémoire permet à une phrase d'être en fait mémorisée dans la mémoire à accès au hasard. Ultérieurement, la diode photo-émettrice de lecture de la mémoire peut être sélectée afin de commencer une opération de lecture. A nouveau, la diode en (R8,C2) (R8,C3), (R8,C4) ou (R8,C5) doit être alors sélectée, après quoi le processeur CPU adresse la mémoire à accès au hasard RAM aux positions dans lesquelles les coordonnées de la séquence de diodes allumées lors de la sélection précédente de la diode d'inscription dans la mémoire sont mémorisées, en mémorisant temporairement ces coordonnées de façon interne et en commandant ainsi l'unité d'affichage 100 de façon à provoquer un allumage de la même séquence de diodes photo-émettrices. Ainsi, un utilisateur qui peut avoir besoin d'une demi-heure pour sélectionner cinq diodes photo-émettrices peut communiquer une phrase de cinq mots en un laps de temps déterminé par la vitesse de balayage des diodes photo-émettrices. Cette lecture d'un message mémorisé est répétée un certain nombre de fois au rythme déterminé par la résistance variable 29, pendant une période maximum de quatre minutes huit secondes.

Si une erreur est faite dans la selection d'un mot pendant l'allumage de la diode photo-émettrice d'inscription dans la mémoire, cette faute peut être corrigée en sélectant ensuite la diode de rappel arrière, étant donné que lorsque cette diode est alimentée le processeur CPU va effacer la dernière paire de coordonnées mémorisée dans la mémoire à accès au hasard RAM et va y introduire les coordonnées de la diode suivante, sélectée après la diode de rappel arrière, dans les positions précédemment occupées par les données effacées.

Chaque fois que la diode photo-émettrice d'appel, qui est de préférence la diode occupant la position

(R1,C10) est sélectée, le processeur CPU alimente la sortie d'indication actionnant l'unité d'alarme 20 et désexcité la diode d'inscription dans la mémoire, ce qui termine ainsi la mémorisation de coordonnées de positions dans la mémoire à accès au hasard RAM.

Selon le mode de fonctionnement établi quand le commutateur 33 est ouvert tandis que le commutateur 33' est fermé, un balayage à la fois vertical et horizontal de la matrice 51 peut être commandé par l'un des commutateurs 101 et 102 du bloc commutateur 15, le balayage horizontal se produisant pendant la condition de fermeture du commutateur choisi, tandis que le balayage vertical se produit automatiquement pendant la condition d'ouverture du même commutateur, en suivant immédiatement après le balayage horizontal. Une brève fermeture du même commutateur assure alors la sélection. L'un quelconque des commutateur 101 et 102 peut être choisi pour ce mode, le choix étant déterminé par celui des deux commutateurs 101 et 102 qui est fermé initialement.

Selon un mode de fonctionnement au cours duquel le commutateur 33 et le commutateur 33' sont tous deux ouverts, un balayage horizontal et vertical et la selection d'une diode photo-émettrice sont tous assurés par la fermeture momentanée de l'un des deux commutateurs 101 et 102, le résultat particulier de cette fermeture étant déterminé par l'ordre de séquence de chaque fermeture et selon qu'il se produit une fermeture momentanée isolée unique ou deux fermetures momentanées ayant lieu juste l'une derrière l'autre (pour la sélection d'une diode photo-émettrice). Ici encore, selon ce mode, l'un quelconque des deux commutateurs 101 et 102 peut être choisi, le choix étant déterminé par celui des deux commutateurs 101 et 102 qui est initialement fermé.

L'appareil peut être amené volontairement à l'état de repos par la fermeture d'un commutateur 107 (Fig.2) en fournissant une connexion de masse à une borne de rétablissement R du circuit monostable 47. Chaque fois que la masse est ainsi appliquée à la borne de rétablissement R du circuit 47, sa sortie Q passe à un niveau bas et sa

sortie $\bar{Q}$ passe à un niveau haut, de sorte qu'un signal de niveau bas est appliqué à la borne d'entrée 35 du bloc commutateur 15 et qu'un signal de niveau haut est appliqué aux bornes d'entrée d'inhibition des convertisseurs 36 et 37.

Le processeur central CPU est de préférence un microprocesseur RCA CDP 1802E CMOS comportant un cristal à 2,5 megahertz couplé entre les broches 1 et 39, comme montré sur la Fig.4 Les six lignes de sortie 11 sont connectées aux broches MAO à MA5 du microprocesseur et les lignes 12 et 13 sont connectées aux broches MA6 et MA7. Les lignes du canal de données 17 sont connectées aux huits broches de canal de données DBO à DB7. Les broches EF1 et EF2 de ce microprocesseur sont connectées au bloc commutateur 15 et les broches EF3 et EF4 sont connectées respectivement aux bornes de sortie Q des circuits monostables 21 et 22, dont les bornes de déclenchement à flanc négatif T- sont connectées respectivement aux broches 19 et 18 du microprocesseur. La broche 35 (MWR) du microprocesseur est connectée à une borne d'entrée de la porte OU 34. La broche 34 (TPA) du microprocesseur est connectée aux bornes d'entrée d'horloge du circuit intégré CDP 1858 et à un circuit de verrouillage du 4013 de l'unité périphérique 14, et est couplée par un inverseur à la borne d'entrée d'horloge de l'autre circuit du 4013, cet autre circuit étant étudié de façon à fonctionner comme circuit monostable pour verrouiller les huits bits les moins significatifs de la sortie d'adresse du processeur dans la mémoire de commande après que le bit le plus significatif a été chargé dans cette mémoire en A8 lors du flanc ascendant de la sortie Q de verrouillage du 4013. La broche 33 (TPB) est connectée aux bornes de déclenchement positives T+ des trois circuits monostables 28, 22 et 21 et les broches 17 (N2), 18 (N1) et 19 (NO) sont connectées respectivement aux bornes de déclenchement négatives T-. Les broches MAO, MA1, MA3 et MA4 du microprocesseur sont également connectées respectivement à la broche 9 du 4013, qui est l'entrée D du circuit de verrouillage du 4013, et aux broches 14, 13, 2 et 3 du

CDP 1858 de l'unité périphérique 14.

La broche 3 du 4013, qui est l'entrée D du circuit monostable 4013, est connectée à un niveau positif, la broche 1 du 4013, qui est la sortie Q du circuit monostable, est connectée aux bornes d'entrée de verrouillage d'adresse E1 des circuits IM 6654 constituant la mémoire limitée à la lecture ROM, et les broches 1 et 4 sont couplées par une résistance, la broche 4 étant couplée à la masse par un condensateur afin de fournir avec cette résistance la constante de temps du circuit monostable. La broche 10 est mise directement à la masse.

La mémoire limitée à la lecture ROM est de préférence une mémoire EPROM effaçable par irradiation par les ultra-violets, en particulier deux circuits intégrés IM 6654 Intersill dont les broches sont connectées comme suit :

Broche 1 à MA7 du microprocesseur

Broche 2 à MA6 du microprocesseur

Broche 9 à 17 aux lignes de canal de données 17

Broche 21 à la sortie d'une porte OU avec des entrées depuis la broche 5 de CDP 1858 et depuis la broche 7 (MRD) du microprocesseur.

Broche 22 à broches 11 et 12 séparement du CDP 1858

Broche 23 à broche 13 (sortie de verrouillage Q) du 4013.

Broche 20 à broche 1 du 4013

La mémoire à accès au hasard RAM est formée de préférence par deux circuits intégrés CDP 1822E RCA, dont les broches sont connectées comme suit :

Broche 6 à MA6 du microprocesseur

Broche 7 à MA7 du microprocesseur

Broche 17 (sélection de galette) à broche 5 du CDP 1858.

Broche 18 (sortie basse pour conduction) à broche 7 du microprocesseur.

Broche 19 (pas de sélection de galette) à broche 13 de 4013.

Broche 20 (lecture/écriture) à broche 35 du microprocesseur.

Premier CDP 1822E : -

Broche 9 et 10 à première ligne du canal de données.

Broche 11 et 12 à seconde ligne du canal de données.

Broche 13 et 14 à troisième ligne du canal de données.

Broche 15 à 16 à quatrième ligne du canal de données.

Deuxième CDP 1822E :

Broche 9 et 10 à cinquième ligne du canal de données

Broche 11 et 12 à sixième ligne du canal de données

Broche 13 et 14 à septième ligne du canal de données

Broche 15 et 16 à huitième ligne du canal de données.

Dans un mode de réalisation utilisant le microprocesseur, les mémoires et l'unité périphérique particuliers décrits précédemment, quand plus d'une diode photo-émettrice de la matrice 51 semble allumée, l'alimentation de deux ou trois diodes, par exemple de la diode de départ en (R1,C1), de la diode de lecture de mémoire et d'une diode de mot est multiplexée au rythme d'échantillonnage des convertisseurs 36 et 37. Des données sont fournies aux lignes du canal de données 17 et sont prélevées à ces lignes 17 par le microprocesseur au rythme de multiplexage beaucoup plus élevé du microprocesseur.

Des modifications peuvent être apportées au mode de réalisation décrit, dans le domaine des équivalences techniques, sans s'écarter de l'invention.

REVENDICATIONS

1.- Appareil de commande pour matrice d'affichage, comprenant une matrice d'affichage réagissant à des signaux d'entrée d'affichage représentant des positions d'affichage dans la matrice, des moyens d'entrée pouvant être actionnés par un utilisateur, et des moyens couplant ces moyens d'entrée à la matrice d'affichage de façon telle que, par l'actionnement des moyens d'entrée, un utilisateur puisse actionner sélectivement l'une quelconque de plusieurs positions d'affichage dans la matrice d'affichage, caractérisé en ce que les moyens couplant les moyens d'entrée (15) à la matrice d'affichage (51) comprennent un processeur central (CPU) couplé à une mémoire de commande (ROM) et à une mémoire temporaire (RAM), et en ce que la matrice d'affichage (51) comprend une position d'affichage d'écriture, en réponse à l'actionnement sélectif de laquelle le processeur central (CPU) peut mémoriser plusieurs jeux de données de positions d'affichage dans un groupe ordonné de façon prédéterminée de jeux de positions dans la mémoire temporaire (RAM), et une position d'affichage de lecture, en réponse à l'actionnement sélectif de laquelle le processeur central (CPU) actionne automatiquement, dans l'ordre prédéterminé, les différentes positions d'affichage correspondant à la serie de jeux de données de positions d'affichage mémorisés dans ce jeu de positions dans la mémoire temporaire (RAM).

2.- Appareil de commande suivant la revendication 1, caractérisé en ce que la matrice d'affichage (51) comprend une position d'affichage d'effacement, en réponse à la sélection de laquelle, pendant l'actionnement de la position d'affichage d'écriture, le jeu le plus récent de données de positions d'affichage est effacé.

3.- Appareil de commande suivant la revendication 1 ou 2, caractérisé en ce que la mémoire de commande (ROM) est une mémoire limitée à la lecture, programmée pour déterminer un mode de fonctionnement du processeur central (CPU) en réponse à des signaux prédéterminés provenant des moyens d'entrée (15).

4.- Appareil de commande suivant l'une quelconque des revendications précédentes, caractérisé en ce que la mémoire temporaire (RAM) est une mémoire volatile à accès au hasard.

5.- Appareil de commande suivant l'une quelconque des revendications précédentes, caractérisé en ce que la matrice d'affichage (51) comprend un réseau de diodes photo-émettrices dont chacune définit une position d'affichage respective dans la matrice (51).

6.- Appareil de commande suivant l'une quelconque des revendications précédentes, caractérisé en ce que les moyens d'entrée (15) sont constitués par un bloc commutateur agencé de façon à pouvoir être utilisé par une personne handicapée.

FIG. 1

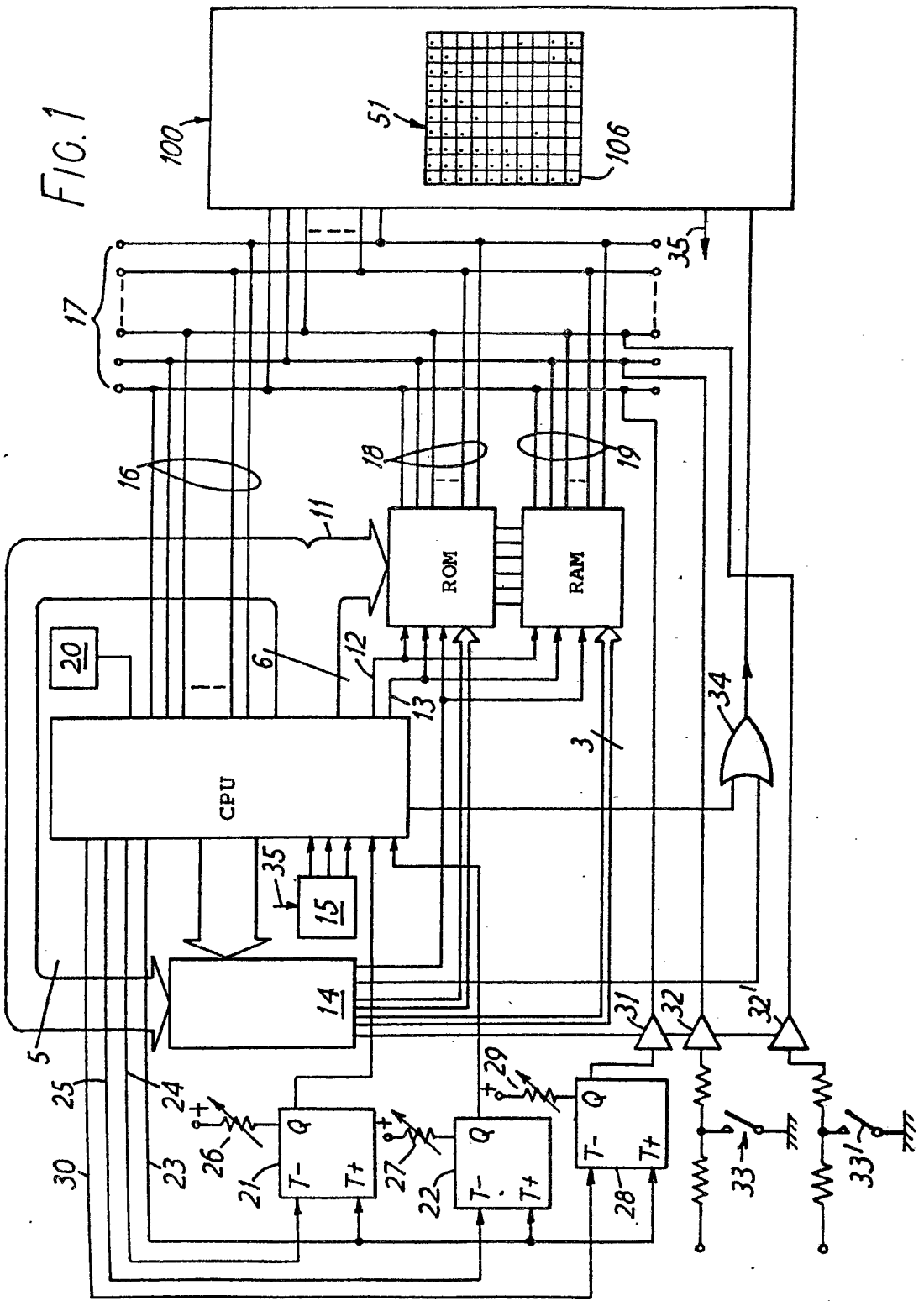
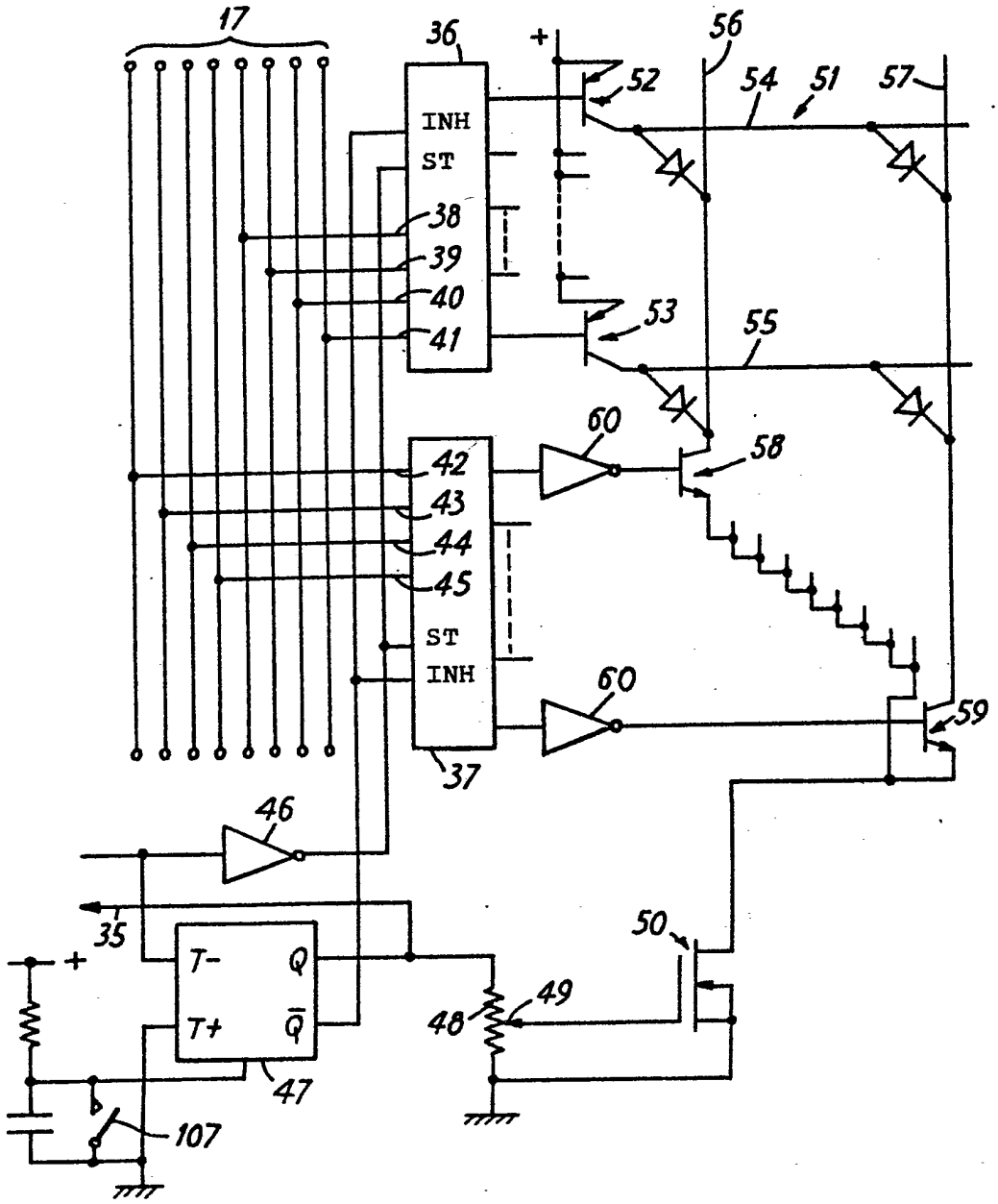

100
51
106
35
17
16
18
19
11
ROM
RAM
20
6
12
13
3
34
CPU
35
15
14
5
31
32
32'
25
24
29
30
23
26
21
27
22
28
T-
Q
T+
33
33'

FIG.2


17
36
+
56
52
54
51
57
INH
ST
38
39
40
41
53
55
60
58
42
43
44
45
ST
INH
60
59
37
46
35
50
T-
Q
T+
$\bar{Q}$
49
48
47
107

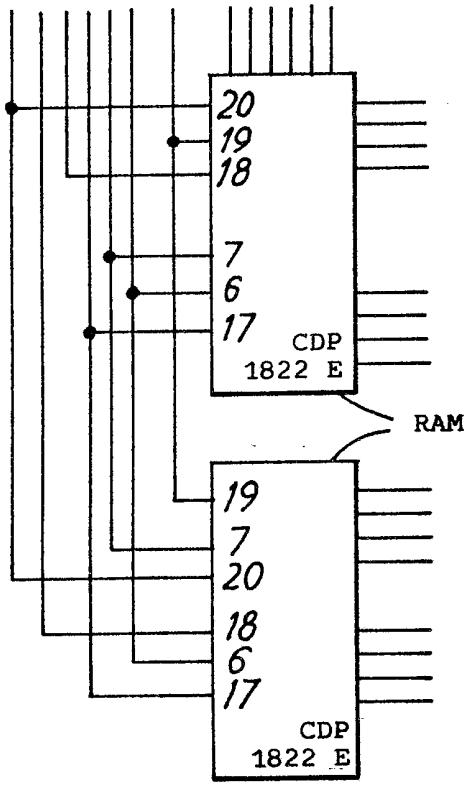

20
19
18
7
6
17
CDP
1822 E
RAM
19
7
20
18
6
17
CDP
1822 E

FIG. 4b

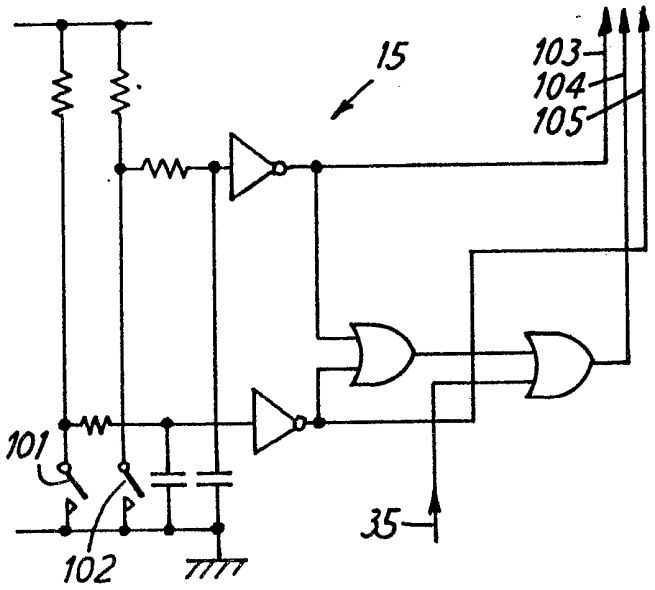
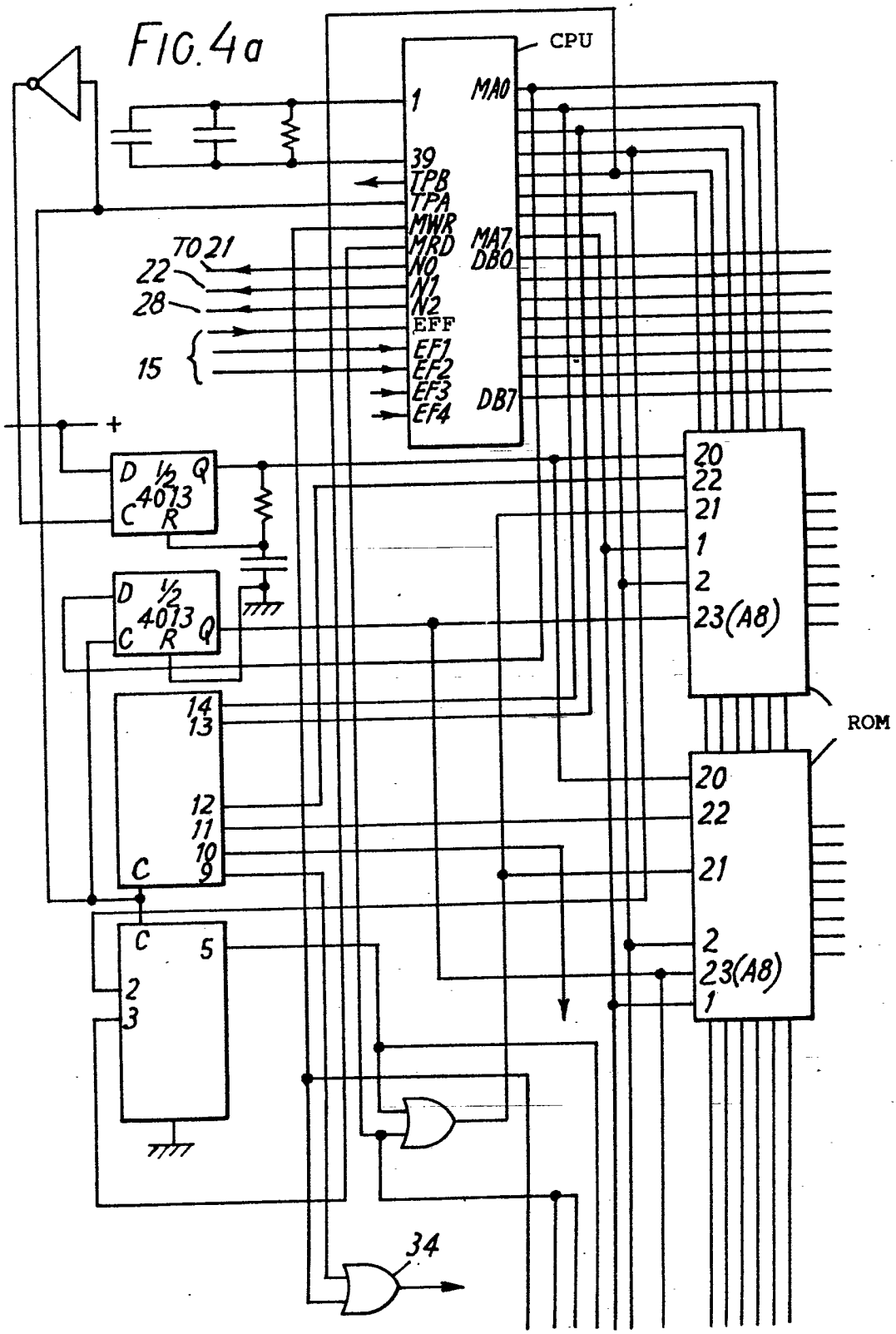

15
103
104
105
101
102
35

FIG. 3

FIG. 4a


CPU
1
39
TPB
TPA
MWR
MRD
N0
N1
N2
EFF
EF1
EF2
EF3
EF4
MA0
MA7
DB0
DB7
TO 21
22
28
15
+
D
1/2
4013
C
R
Q
14
13
12
11
10
9
5
2
3
20
22
21
1
2
23(A8)
ROM
34