

⑫

DEMANDE DE BREVET D'INVENTION

A1

⑭ Date de dépôt : 21.02.91.

⑮ Priorité :

⑯ Date de la mise à disposition du public de la demande : 28.08.92 Bulletin 92/35.

⑰ Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

⑱ Références à d'autres documents nationaux apparentés :

⑴ Demandeur(s) : SGS-THOMSON
MICROELECTRONICS (S.A.) Société Anonyme —
FR.

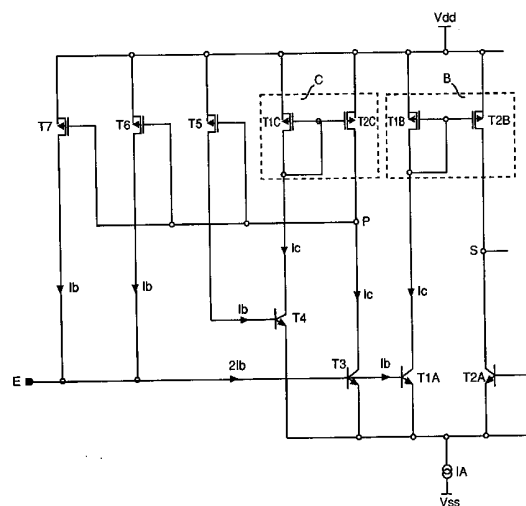
⑵ Inventeur(s) : Ryat Marc.

⑶ Titulaire(s) :

⑷ Mandataire : De Beaumont Michel Cabinet Conseil.

⑸ Amplificateur à étage d'entrée bipolaire à courant d'entrée compensé.

⑹ La présente invention concerne un amplificateur muni d'un transistor d'entrée bipolaire (T1A). Un circuit de compensation de courant d'entrée comprend: un deuxième transistor bipolaire (T3) de mêmes caractéristiques que le premier, dont la base et l'émetteur sont reliés à la base et à l'émetteur du premier transistor (T1A) et dont le collecteur est lié à la sortie (P) d'un premier miroir de courant (C); un troisième transistor bipolaire (T4), dont l'émetteur est relié à l'émetteur du premier transistor (T1A), dont le collecteur est relié à l'entrée du premier miroir de courant (C) et dont la base est reliée au drain d'un premier transistor MOS (T5) ayant sa grille reliée à la sortie (P) du premier miroir de courant (C) et sa source reliée à une source d'alimentation (Vdd); et des deuxième et troisième transistors MOS (T6, T7) disposés en parallèle entre la source d'alimentation (Vdd) et la base du premier transistor bipolaire (T1A) et dont les grilles sont reliées à la sortie (P) du premier miroir de courant.



4

AMPLIFICATEUR À ÉTAGE D'ENTRÉE BIPOLAIRE
À COURANT D'ENTRÉE COMPENSÉ

La présente invention concerne les amplificateurs à étage d'entrée bipolaire, et en particulier de tels amplificateurs ayant un courant d'entrée compensé.

Certaines applications d'amplificateurs nécessitent
5 que ceux-ci absorbent un courant d'entrée aussi faible que possible, c'est-à-dire qu'ils présentent une impédance d'entrée élevée. Si on utilise un amplificateur à étage d'entrée à transistors bipolaires, ces derniers nécessitent un courant de base qui se traduit par un courant d'entrée non négligeable. Pour
10 diminuer le courant d'entrée, on a souvent recours à des amplificateurs dont l'étage d'entrée est constitué par des transistors à effet de champ. Toutefois, dans certaines applications, on préfère les étages d'entrée à transistors bipolaires car ces derniers présentent certains avantages par rapport aux transis-
15 tors à effet de champ, comme par exemple un gain plus important.

La figure 1 illustre un étage d'entrée bipolaire d'un amplificateur classique. L'étage d'entrée comprend un amplificateur différentiel constitué par des transistors NPN T1A et T2A dont les émetteurs sont reliés et chargés par une source de
20 courant I_A reliée à une tension d'alimentation négative V_{SS} , et

dont les bases sont respectivement reliées à une entrée non inverseuse (+) et à une entrée inverseuse (-). Le collecteur du transistor T1A est relié au collecteur et à la base d'un transistor PNP T1B et à la base d'un transistor T2B de mêmes caractéristiques que le transistor T1B. Les émetteurs des transistors T1B et T2B sont reliés à une tension d'alimentation positive Vdd et le collecteur du transistor T2B est relié au collecteur du transistor T2A qui constitue la sortie S de l'étage.

Les transistors T1B et T2B sont montés en miroir de courant. Un miroir de courant est un dispositif qui recopie à sa sortie, ici le collecteur du transistor T2B, le courant présent à son entrée, ici le collecteur du transistor T1B.

Lorsque l'amplificateur différentiel est au repos, la source de courant IA draine un courant $2I_0$ en fixant le courant de collecteur de chacun des transistors T1A et T2A à I_0 . Les bases des transistors T1A et T2A consomment chacune un courant I_{b1} correspondant au courant de collecteur I_0 divisé par le gain des transistors. Ces courants de base se traduisent par des courants d'entrée qui doivent être fournis par le circuit branché à l'entrée de l'amplificateur.

La figure 2 illustre une solution de l'art antérieur pour diminuer le courant d'entrée. On retrouve le même amplificateur différentiel qu'à la figure 1. A chacun des transistors d'entrée T1A et T2A est associé un circuit additionnel pour lui fournir son courant de base. On ne décrira ici que le circuit associé au transistor T1A, celui associé au transistor T2A étant identique.

Ce circuit additionnel comprend un transistor T de mêmes caractéristiques que le transistor T1A branché en série dans le circuit du collecteur de celui-ci. La base du transistor T est reliée à l'entrée d'un miroir de courant C dont la sortie est reliée à la base du transistor T1A. L'entrée du miroir C correspond au collecteur d'un transistor PNP T1C. Le transistor T1C a son collecteur relié à sa base et à la base d'un transis-

tor T2C de mêmes caractéristiques que le transistor T1C. Les émetteurs des transistors T1C et T2C sont reliés à une tension V_1 . Le collecteur du transistor T2C constitue la sortie du miroir de courant.

5 La tension V_1 est par exemple fixe par rapport à la moyenne des tensions présentes aux entrées (+) et (-) et elle est au plus égale à V_{dd} .

Le fonctionnement en première approximation de ce circuit est le suivant. Les transistors T et T1A ont sensiblement le même courant de collecteur et leurs courants de base respectifs I_b et I_{b1} sont sensiblement égaux. Le courant de base I_b du transistor T est recopié par le miroir de courant C et appliqué sur la base du transistor T1A. Le courant I_b étant sensiblement égal à I_{b1} , le courant $I_{b1}-I_b$ à fournir sur la
10 borne d'entrée (+) de l'amplificateur sera sensiblement nul et
15 la compensation recherchée est obtenue.

Toutefois, si on analyse plus finement le fonctionnement du circuit, le courant de collecteur I_c du transistor T n'est pas strictement égal au courant de collecteur I_{c1} du transistor T1A puisque le courant I_{c1} est égal au courant I_c augmenté du courant de base I_b du transistor T. Donc, si on suppose que ces transistors ont le même gain, le courant I_{b1} est supérieur au courant I_b . De plus, les transistors T1A et T n'ont pas les mêmes gains car ils ne sont pas soumis à la même tension
20 collecteur-émetteur. En effet, le gain d'un transistor est fonction de sa tension collecteur-émetteur par un phénomène appelé effet Early. La tension collecteur-émetteur du transistor T1A est sensiblement constante et celle du transistor T dépend de la tension V_i présente sur la borne (+), qui est variable. Le courant
25 I_{b1} est donc sensiblement constant et le courant I_b est variable en fonction de la tension V_i . Les deux défauts mentionnés arrivent à se compenser pour une valeur donnée de la tension V_i , mais le courant d'entrée $I_{b1}-I_b$ ne peut être annulé pour
30 toutes les valeurs de cette tension V_i .

De plus, l'insertion du transistor T dans le circuit du collecteur du transistor T1A diminue la dynamique de l'étage d'entrée de la chute de tension Vce aux bornes du transistor T. En effet, la tension de collecteur du transistor T1A est au plus
5 égale à $V_{dd} - V_{be} - V_{ce}$, où Vbe désigne la tension base-émetteur du transistor T1B ; alors que, dans le cas de la figure 1, cette tension de collecteur pouvait atteindre $V_{dd} - V_{be}$.

Un objet de la présente invention est de prévoir un amplificateur à étage d'entrée bipolaire à compensation de
10 courant d'entrée améliorée et à grande dynamique d'entrée.

Cet objet est atteint grâce à un amplificateur à étage d'entrée bipolaire à compensation de courant d'entrée comprenant au moins un premier transistor bipolaire dont la base est reliée à une entrée, le circuit de compensation comprenant : un deu-
15 xième transistor bipolaire de mêmes caractéristiques que le premier, dont la base est reliée à la base du premier transistor, dont l'émetteur est relié à l'émetteur du premier transistor et dont le collecteur est relié à la sortie d'un premier miroir de courant ; un troisième transistor bipolaire de mêmes
20 caractéristiques que le premier, dont l'émetteur est relié à l'émetteur du premier transistor, dont le collecteur est relié à l'entrée du premier miroir de courant et dont la base est reliée au drain d'un premier transistor MOS ayant sa grille reliée à la sortie du premier miroir de courant et sa source reliée à une
25 source d'alimentation ; et des deuxième et troisième transistors MOS de mêmes caractéristiques que le premier, disposés en parallèle entre la source d'alimentation et la base du premier transistor bipolaire et dont les grilles sont reliées à la sortie du premier miroir de courant.

30 Selon un mode de réalisation de la présente invention, l'étage d'entrée est un amplificateur différentiel comprenant le premier transistor bipolaire et un autre transistor bipolaire dont l'émetteur est relié à l'émetteur du premier, les collec-
35 teurs de ces transistors étant chargés par des transistors MOS montés selon un deuxième miroir de courant.

Selon un mode de réalisation de la présente invention, le premier miroir de courant est à transistors MOS et la taille des transistors des premier et deuxième miroirs de courant est égal à la taille des premier à troisième transistors MOS multipliée par le gain en courant des premier à troisième transistors bipolaires.

Selon un mode de réalisation de la présente invention, ledit autre transistor est associé à un circuit de compensation semblable à celui associé au premier transistor bipolaire.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de modes de réalisation particuliers faite en relation avec les figures jointes parmi lesquelles :

les figures 1 et 2 précédemment décrites, illustrent l'état de la technique ; et

la figure 3 représente une demi vue d'un mode de réalisation de la présente invention.

On retrouve, en figure 3, un amplificateur différentiel d'entrée classique constitué par des transistors NPN T1A et T2A dont les bases sont reliées respectivement à une entrée E et à une entrée symétrique non représentée, et dont les émetteurs sont reliés et chargés par une source de courant IA connectée à une tension d'alimentation négative Vss. Le collecteur du transistor T1A est relié au collecteur et à la grille d'un transistor MOS à canal P T1B et à la grille d'un transistor MOS T2B de mêmes caractéristiques que le transistor T1B. Les sources des transistors T1B et T2B sont reliés à une tension d'alimentation positive Vdd et le drain du transistor T2B est relié au drain du transistor T2A qui constitue la sortie S de l'étage. Les transistors T1B et T2B constituent un miroir de courant B.

Le circuit de compensation du courant d'entrée selon la présente invention étant symétrique, comme celui de la figure 1, on n'a représenté que celui correspondant au transistor T1A.

Ce circuit comprend un transistor T3 de mêmes caractéristiques que le transistor T1A, dont la base est reliée à l'entrée E, dont l'émetteur est relié à l'émetteur du transistor T1A et dont le collecteur est relié à un point P. Le point P
5 est relié au drain d'un transistor MOS à canal P T2C, qui constitue la sortie d'un miroir de courant C. L'entrée de ce miroir est constituée par le drain d'un transistor T1C de mêmes caractéristiques que le transistor T2C. Les sources des transistors T1C et T2C sont reliées à la tension d'alimentation Vdd. Les
10 grilles des transistors T1C et T2C sont reliées au drain du transistor T1C.

Un transistor T4, de mêmes caractéristiques que les transistors T3 et T1A est relié par son émetteur aux émetteurs des transistors T3 et T1A, par son collecteur à l'entrée du
15 miroir de courant C et par sa base au drain d'un transistor MOS à canal P T5 dont la source est reliée à la tension d'alimentation positive Vdd et dont la grille est reliée au point P. Deux transistors MOS T6 et T7 de mêmes caractéristiques que le transistor T5 sont reliés par leurs drains à l'entrée E, par leurs
20 sources à la tension d'alimentation Vdd et par leurs grilles au point P.

Le fonctionnement de ce circuit est le suivant.

Les transistors T3 et T1A fonctionnent dans les mêmes conditions. En effet, ils présentent notamment les mêmes tensions base-émetteur et les mêmes tensions collecteur-émetteur
25 comme on le verra plus loin. Par conséquent, leurs courants de base s'établissent à une même valeur I_b et leurs courants de collecteur à une même valeur I_c . Le courant du collecteur du transistor T4 est asservi à celui du transistor T3 par le miroir
30 de courant C et le transistor T5. Supposons que le courant de collecteur du transistor T3 augmente ce dernier devenant plus conducteur, alors la tension au point P diminue, ce qui entraîne une augmentation de la tension grille-source du transistor T5 qui devient plus conducteur et injecte davantage de courant dans

la base du transistor T4 qui à son tour devient plus conducteur et fournit davantage de courant à l'entrée du miroir de courant C ; le transistor de sortie T2C de ce miroir devient plus conducteur et la tension au point P tend à augmenter. A l'équili-
5 bre, la tension au point P est telle que le transistor T5 pilote le transistor T4 pour que le miroir C fonctionne dans ses conditions normales, c'est-à-dire pour que son courant d'entrée, le courant de collecteur du transistor T4, soit égal à son courant de sortie, le courant de collecteur I_c du transistor T3. Le
10 courant de base du transistor T4, qui est le courant de drain du transistor T5, s'établit donc au courant de base I_b des transistors T3 et T1A.

Le courant de drain du transistor T5 est fixé à I_b par la tension au point P ; comme cette tension est aussi appliquée
15 à la grille des transistors T6 et T7 qui fonctionnent dans les mêmes conditions que le transistor T5, les courants de drain des transistors T6 et T7 s'établissent chacun aussi à I_b . Ainsi, les courants de base des transistors T3 et T1A sont intégralement fournis par les transistors T6 et T7 et il ne subsiste aucun
20 courant d'entrée sur la borne E.

Les transistors T1B et T1C ont le même courant de drain, et comme ils ont les mêmes caractéristiques, leurs tensions grille-source V_{gs} sont égales. Ainsi, les transistors T1A et T4 ont la même tension de collecteur $V_{dd} - V_{gs}$. Si le transistor T5 était de mêmes caractéristiques que les transistors T1B,
25 T2B, T1C et T2C, comme son courant de drain I_b est inférieur à celui de ces derniers transistors, sa tension grille-source serait aussi inférieure à celle de ces derniers transistors. Par conséquent, la tension de collecteur du transistor T3 serait
30 supérieure aux tensions de collecteur des transistors T1A et T4. Il en résulterait, par effet Early, que le courant de base du transistor T3 serait différent des courants de base des transistors T1A et T4. Toutefois, cet effet Early est négligeable car la différence des tensions de collecteur est faible.

L'effet Early peut être minimisé en fabriquant les transistors T5 à T7 de taille, c'est-à-dire avec un rapport largeur sur longueur de canal (W/L), égale à la taille, que l'on choisira élevée, des transistors des miroirs de courant B et C 5 divisée par le gain en courant moyen des transistors T1A, T2A, T3 et T4. Ainsi, la tension grille-source du transistor T5, et donc celle des transistors T6 et T7, sera égale à la tension grille-source des transistors T1B et T1C.

En général, l'étage amplificateur (non représenté) 10 piloté par la sortie S fixe la tension de sortie (tension de collecteur du transistor T2A) à celle du collecteur du transistor T1A pour éviter des effets indésirables liés à une dissymétrie. Un effet Early sur les transistors bipolaires de la moitié symétrique non représentée du circuit est ainsi aussi évité.

15 La présente invention est susceptible de nombreuses variantes et modifications qui apparaîtront à l'homme du métier. Par exemple, les transistors MOS des miroirs de courant peuvent être remplacés par des transistors bipolaires. Les types des transistors peuvent aussi être intervertis. On peut aussi 20 remplacer les transistors T6 et T7 par un seul transistor à transconductance double.

REVENDICATIONS

1. Amplificateur à étage d'entrée bipolaire à compensation de courant d'entrée comprenant au moins un premier transistor bipolaire (T1A) dont la base est reliée à une entrée, caractérisé en ce que le circuit de compensation comprend :

5 - un deuxième transistor bipolaire (T3) de mêmes caractéristiques que le premier, dont la base est reliée à la base du premier transistor (T1A), dont l'émetteur est relié à l'émetteur du premier transistor et dont le collecteur est relié à la sortie (P) d'un premier miroir de courant (C) ;

10 - un troisième transistor bipolaire (T4) de mêmes caractéristiques que le premier, dont l'émetteur est relié à l'émetteur du premier transistor (T1A), dont le collecteur est relié à l'entrée du premier miroir de courant (C) et dont la base est reliée au drain d'un premier transistor MOS (T5) ayant sa grille reliée à la sortie (P) du premier miroir de courant (C) et sa source reliée à une source d'alimentation (Vdd) ; et

15 - des deuxième et troisième transistors MOS (T6, T7) de mêmes caractéristiques que le premier (T5), disposés en parallèle entre la source d'alimentation (Vdd) et la base du premier transistor bipolaire (T1A) et dont les grilles sont reliées à la sortie (P) du premier miroir de courant.

20 2. Amplificateur selon la revendication 2, caractérisé en ce que l'étage d'entrée est un amplificateur différentiel comprenant le premier transistor bipolaire (T1A) et un autre transistor bipolaire (T2A) dont l'émetteur est relié à l'émetteur du premier, les collecteurs de ces transistors étant chargés par des transistors MOS montés selon un deuxième miroir de courant (B).

30 3. Amplificateur selon la revendication 2, caractérisé en ce que le premier miroir de courant (C) est à transistors MOS et en ce que la taille (W/L) des transistors des premier et deuxième miroirs de courant est égal à la taille des premier à troisième transistors MOS multipliée par le gain en courant des premier à troisième transistors bipolaires.

4. Amplificateur selon l'une des revendications 2 ou 3, caractérisé en ce que ledit autre transistor (T2A) est associé à un circuit de compensation semblable à celui associé au premier transistor bipolaire (T1A).

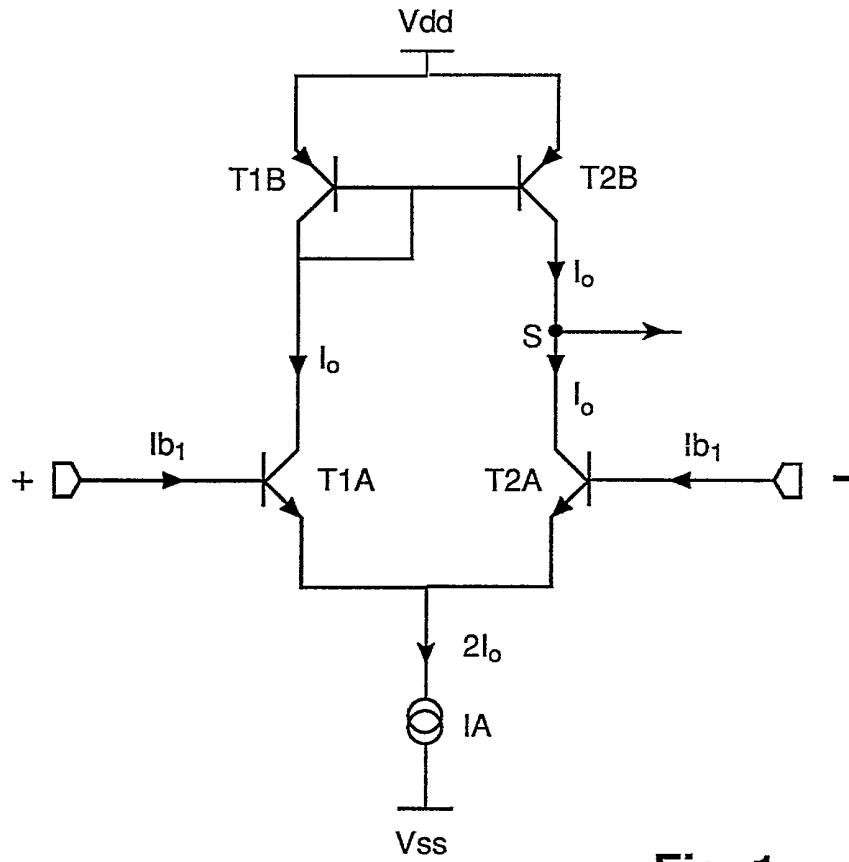


Fig. 1

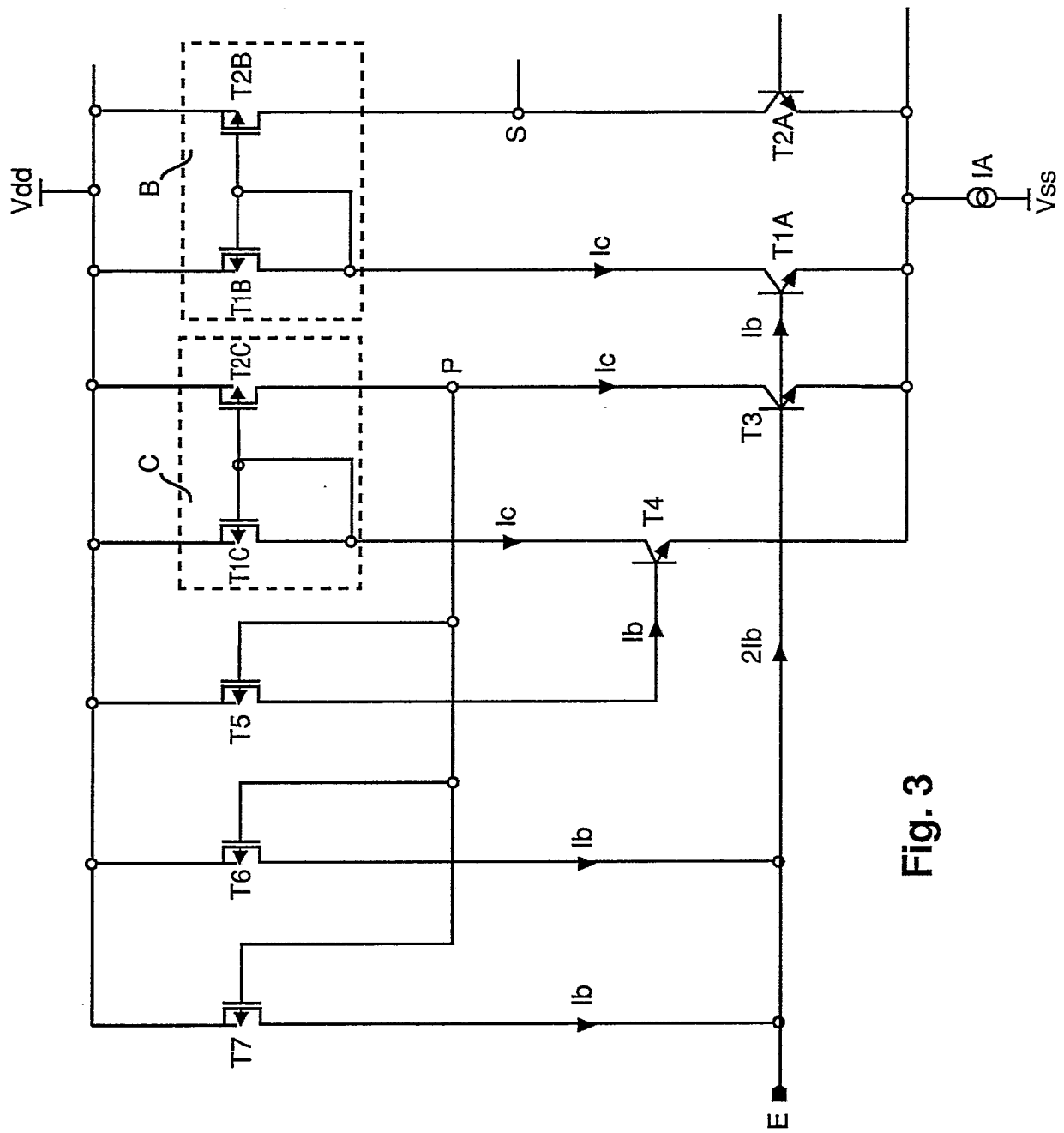


Fig. 3

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FR 9102302
FA 454420

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
Y	US-A-4 843 342 (R.E. HESTER et al.) * figure 1; abrégé * ---	1,2
Y	PATENT ABSTRACTS OF JAPAN vol. 13, no. 243 (E-768)(3591), 7 juin 1989; & JP - A - 144110 (HITACHI) 16.02.1989 ---	1,2
A	PROCEEDINGS OF THE ANNUAL INTERNATIONAL CONFERENCE OF THE IEEE ENGINEERING IN MEDICINE AND BIOLOGY SOCIETY vol. 10, 4-7 novembre 1988, pages 1235-1238, New Orleans, LA, US; M. SCHALDACH: "Design and Reliability Considerations in Implants" * page 1237, figure 3 * ---	
A	DE-A-2 833 996 (ROBERT BOSCH) * figure 1, page 4 * ---	
A	GB-A-2 095 939 (DBX INC.) * figure 2; abrégé * ---	
A	US-A-4 757 274 (D.F. BOWERS) * figure 1; colonne 1, lignes 22-51 * -----	
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		H 03 F
Date d'achèvement de la recherche		Examineur
04-11-1991		BREUSING J
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		

EPO FORM 1503 03.82 (P0415)