



(12) 发明专利申请

(10) 申请公布号 CN 105140207 A

(43) 申请公布日 2015. 12. 09

(21) 申请号 201510342188. 2

(22) 申请日 2012. 01. 31

(30) 优先权数据

2011-019273 2011. 01. 31 JP

(62) 分案原申请数据

201210021621. 9 2012. 01. 31

(71) 申请人 株式会社东芝

地址 日本东京都

(72) 发明人 山田启寿 石田正明

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 陈松涛 王英

(51) Int. Cl.

H01L 23/498(2006. 01)

H01L 23/552(2006. 01)

H01L 21/56(2006. 01)

H01L 21/60(2006. 01)

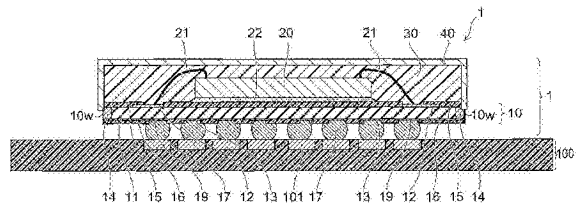
权利要求书2页 说明书8页 附图11页

(54) 发明名称

半导体装置

(57) 摘要

根据一个实施例, 半导体装置包括: 电路板、半导体元件、密封树脂层和导电屏蔽层。该电路板包括: 绝缘层、形成设置在绝缘层的上表面侧上的第一互连层的多个互连、形成设置在绝缘层的下表面侧上的第二互连层的多个互连, 以及从绝缘层的上表面穿通到下表面的多个过孔。半导体元件安装在电路板上表面侧上。导电屏蔽层覆盖密封树脂层和电路板端部的一部分。多个过孔中的任何一个与导电屏蔽层电连接。



1. 一种半导体装置,包括:

电路板,所述电路板包括:绝缘层、形成设置在所述绝缘层的上表面侧上的第一互连层的多个互连、形成设置在所述绝缘层的下表面侧上的第二互连层的多个互连、以及暴露表面,所述暴露表面在所述电路板的侧表面处暴露;

半导体元件,所述半导体元件安装在所述电路板的所述上表面侧上;

密封树脂层,所述密封树脂层设置在所述电路板的所述上表面上并且将所述半导体元件密封;以及

导电屏蔽层,所述导电屏蔽层覆盖所述密封树脂层和所述电路板的端部的一部分,

所述导电屏蔽层的多个位置中的任何一个位置与所述暴露表面电连接,

所述暴露表面被电连接到形成所述第二互连层的所述多个互连中的任何一个互连,

所述导电屏蔽层被电连接到能够变为地电位的外部连接端子中的任何一个外部连接端子;

其中相邻的能够变为所述地电位的外部连接端子之间的距离、相邻的能够变为所述地电位的第二互连层之间的距离以及与能够变为所述地电位的位置连接的暴露表面之间的距离不超过所述半导体元件发射的电磁噪声的波长的一半。

2. 根据权利要求1所述的装置,其中与所述位置连接的多个所述暴露表面中的每一个暴露表面都在所述电路板的侧表面处暴露,并且暴露在所述侧表面处的与所述位置连接的多个所述暴露表面中的每一个暴露表面都与所述导电屏蔽层连接。

3. 根据权利要求1所述的装置,其中从垂直于所述绝缘层的所述上表面的方向观察,能够变为地电位的所述第二互连层中的每个第二互连层都位于所述半导体元件的拐角处。

4. 根据权利要求1所述的装置,其中从垂直于所述绝缘层的所述上表面的方向观察,能够变为地电位的所述第二互连层中的每个第二互连层都位于所述半导体元件的相邻拐角之间。

5. 根据权利要求1所述的装置,其中

所述电路板还包括焊盘形互连层,所述焊盘形互连层设置在所述电路板的侧表面附近并且在所述电路板的侧表面处暴露,

与所述位置连接的多个所述暴露表面中的任何一个暴露表面都电连接到所述焊盘形互连层,并且

所述焊盘形互连层连接到所述导电屏蔽层。

6. 根据权利要求1所述的装置,其中所述电路板还包括环形互连层,所述环形互连层设置在所述绝缘层的下表面侧上、围绕所述第二互连层并且电连接到与所述位置连接的多个所述暴露表面中的任何一个暴露表面。

7. 根据权利要求1所述的装置,其中所述导电屏蔽层包含银(Ag)、铜(Cu)、镍(Ni)和铝(Al)中的至少一种。

8. 根据权利要求1所述的装置,其中所述暴露表面由铜(Cu)或钨(W)构成。

9. 一种半导体装置,包括:

电路板,所述电路板包括:绝缘层、形成设置在所述绝缘层的上表面侧上的第一互连层的多个互连、形成设置在所述绝缘层的下表面侧上的第二互连层的多个互连、以及暴露表面,所述暴露表面在所述电路板的侧表面处暴露;

半导体元件,所述半导体元件安装在所述电路基板的所述上表面侧上;

密封树脂层,所述密封树脂层设置在所述电路基板的所述上表面上并且将所述半导体元件密封;

导电屏蔽层,所述导电屏蔽层覆盖所述密封树脂层和所述电路基板的端部的一部分,

形成所述第二互连层的所述多个互连不与所述导电屏蔽层接触、被电连接到形成所述第一互连层的所述多个互连中的任何一个互连并且被拉到所述电路基板的端部以便在所述电路基板的侧表面处暴露;

形成与形成设置在所述绝缘层的下表面侧上的所述第二互连层的所述多个互连不同的其它第二互连层的多个互连;以及

所述导电屏蔽层的多个位置中的任何一个位置与所述暴露表面电连接,

与所述位置连接的任何暴露表面被电连接到形成所述其它第二互连层的所述多个互连中的任何一个互连,并且

所述导电屏蔽层被电连接到能够变为地电位的外部连接端子中的任何一个外部连接端子;

其中相邻的能够变为所述地电位的外部连接端子之间的距离、与能够变为所述地电位的所述位置连接的暴露表面之间的距离以及形成能够变为所述地电位的所述其它第二互连层的互连之间的距离不超过所述半导体元件发射的电磁噪声的波长的一半。

10. 根据权利要求9所述的装置,其中与所述位置连接的多个所述暴露表面中的每一个暴露表面都在所述电路基板的侧表面处暴露,并且在所述侧表面处暴露的与所述位置连接的多个所述暴露表面中的每一个暴露表面都与所述导电屏蔽层连接。

11. 根据权利要求9所述的装置,其中从垂直于所述绝缘层的所述上表面的方向观察,能够变为地电位的所述其它第二互连层中的每个其它第二互连层都位于所述半导体元件的拐角处。

12. 根据权利要求9所述的装置,其中从垂直于所述绝缘层的所述上表面的方向观察,能够变为地电位的所述其它第二互连层中的每个其它第二互连层都位于所述半导体元件的相邻拐角之间。

13. 根据权利要求9所述的装置,其中所述第一互连层包含银(Ag)和铜(Cu)中的至少一种。

14. 根据权利要求9所述的装置,其中所述第一互连层的表面被以镍(Ni)和金(Au)中的至少一种部分地镀覆。

15. 根据权利要求9所述的装置,其中所述第二互连层包含银(Ag)和铜(Cu)中的至少一种。

16. 根据权利要求9所述的装置,其中所述第二互连层的表面被以镍(Ni)和金(Au)中的至少一种部分地镀覆。

17. 根据权利要求9所述的装置,其中所述导电屏蔽层包含银(Ag)、铜(Cu)、镍(Ni)和铝(Al)中的至少一种。

18. 根据权利要求9所述的装置,其中所述暴露表面由铜(Cu)或钨(W)构成。

## 半导体装置

[0001] 本申请是申请日为 2012 年 1 月 31 日、发明名称为“半导体装置”的专利申请 201210021621.9 的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请基于 2011 年 1 月 31 日提交的在先日本专利申请 No. 2011-019273 并要求享有其优先权权益；通过引用将其全部内容并入本文。

### 技术领域

[0004] 本文描述的实施例一般地涉及半导体装置。

### 背景技术

[0005] 通常，当电流流过半导体元件或外围电路时，在电流周围感应出电场和磁场，从而产生不必要的电磁噪声。不必要的电磁噪声影响其它电路、元件等的运转。例如，存在如下情况：安装在诸如蜂窝电话等移动通信设备中的半导体装置发射的电磁噪声入射到天线上，从而引起对无线电波接收的干扰。

[0006] 为了屏蔽这种电磁噪声并且保护半导体元件，存在一种提供覆盖电路模块的屏蔽板的方法。然而，以屏蔽板覆盖电路模块的方法在电路模块的尺寸缩小方面可能存在困难。

[0007] 相反，存在一种半导体装置（半导体封装），其中在半导体元件本身的外围上形成屏蔽膜。通过在电路模块中安装这种半导体装置，可以将电路模块尺寸缩小。对于半导体元件而言需要更高的运转速度，并且希望得到更多地屏蔽电磁噪声的高可靠性半导体装置。

### 发明内容

[0008] 一个问题是获得更多地屏蔽电磁噪声的高可靠性半导体装置。

[0009] 通常，根据一个实施例，半导体装置包括：电路基板、半导体元件、密封树脂层和导电屏蔽层。所述电路基板包括：绝缘层、形成设置在所述绝缘层上表面侧上的第一互连层的多个互连、形成设置在所述绝缘层下表面侧上的第二互连层的多个互连，以及从所述绝缘层的所述上表面穿通到所述下表面的多个过孔。所述半导体元件安装在所述电路基板的所述上表面侧上。所述密封树脂层设置在所述电路基板的所述上表面上并且将所述半导体元件密封。所述导电屏蔽层覆盖所述密封树脂层和所述电路基板的端部的一部分。将所述多个过孔中的任何一个与所述导电屏蔽层电连接。形成所述第二互连层的所述多个互连中的任何一个被电连接到能够变为地电位的外部连接端子。

[0010] 通常，根据另一个实施例，半导体装置包括：电路基板、半导体元件、密封树脂层和导电屏蔽层。所述电路基板包括：绝缘层、形成设置在所述绝缘层上表面侧上的第一互连层的多个互连和形成设置在所述绝缘层下表面侧上的第二互连层的多个互连。所述半导体元件安装在所述电路基板的所述上表面侧上。所述密封树脂层设置在所述电路基板的所述上表面上并且将所述半导体元件密封。所述导电屏蔽层覆盖所述密封树脂层和所述电路基板的端部的一部分。形成所述第二互连层的所述多个互连不与所述导电屏蔽层接触、被电连

接到形成所述第一互连层的所述多个互连中的任何一个上并且被拉到 (be drawn to) 所述电路基板的端部以便在所述电路基板的侧表面处暴露。

#### 附图说明

- [0011] 图 1 是用于描述根据第一实施例的半导体装置的概观的示意性截面图；
- [0012] 图 2A 和 2B 是根据第一实施例的半导体装置的示意性平面视图；
- [0013] 图 3A 和 3B 是根据第一实施例的半导体装置的示意性平面视图；
- [0014] 图 4A 到 4D 是用于描述根据第一实施例的半导体装置的制造过程的示意性截面图；
- [0015] 图 5A 和 5B 是用于描述屏蔽电磁噪声的效果的仿真结果；
- [0016] 图 6 是根据第二实施例的半导体装置的示意性截面图；
- [0017] 图 7A 和 7B 分别是根据第三实施例的半导体装置的示意性平面视图和用于描述屏蔽效果的视图；以及
- [0018] 图 8 是根据第四实施例的半导体装置的示意性截面图。

#### 具体实施方式

[0019] 在下文中,将参考附图描述实施例。在以下的描述中,以相同的附图标记标注同样的部件,并且适当地省略对已描述过的部件的描述。可以适当地将以下描述的实施例结合。

##### [0020] 第一实施例

[0021] 图 1 是用于描述根据第一实施例的半导体装置的概观的示意性截面图。

[0022] 图 1 示出根据第一实施例的半导体装置 1 并且还示出安装基板 100, 半导体装置 1 安装在安装基板 100 上。

[0023] 半导体装置 1 是 FBGA (细间距球栅阵列) 半导体封装。半导体装置 1 包括电路板 10。电路板 10 也被称作内插器 (interposer) 基板。电路板 10 包括: 绝缘层 11、形成设置在绝缘层 11 的上表面侧的外围上的第一互连层的多个互连 12 和形成设置在绝缘层 11 的下表面侧上的第二互连层的多个互连 13。电路板 10 还包括从绝缘层 11 的上表面 (第一主表面) 穿通到下表面 (第二主表面) 的多个过孔 14。在电路板 10 的上表面上形成覆盖第一互连层 12 的一部分的阻焊层 15。在电路板 10 的下表面上形成覆盖第二互连层 13 的一部分的阻焊层 16。形成第二互连层的多个互连 13 中的每个都是焊盘形 (land-shaped) 互连层。作为焊球的外部连接端子 17 连接到形成第二互连层的多个互连 13 中的每个上。延长线 19 从外围的外部连接端子 17 延伸到电路板 10 的外部。延长线 19 连接到在电路板 10 的侧表面 10w 处暴露的过孔 14。延长线 19 是连接外围的外部连接端子 17 和最接近外围的外部连接端子 17 的过孔 14 的连接线。外部连接端子 17 连接到设置在安装基板 100 的上表面侧上的互连层 101 上。

[0024] 半导体元件 20 安装在电路板 10 的上表面侧上。导线 (键合线) 21 的一个端部连接到半导体元件 20 的上表面。导线 21 的另一个端部连接到第一互连层 12。导线 21 是导电构件, 并且对形成第一互连层的多个互连 12 中的至少一个和设置在半导体元件表面上的电极 (未示出) 进行电连接。

[0025] 半导体元件 20 的外围和导线 21 由设置在电路板 10 的上表面侧上的密封树脂

层 30 密封。在半导体元件 20 和电路板 10 之间的空间中形成管芯键合材料 22。以导电屏蔽层 40 覆盖密封树脂层 30 和电路板 10 的侧表面 10w 的一部分。导电屏蔽层 40 连接到设置在电路板 10 的侧表面（外端部）10w 处的过孔 14。在电路板 10 的侧表面 10w 处暴露的过孔 14 中的至少一个可以设置在地（GND）电位处。因此，半导体元件 20 的外围、导线 21、电路板 10 的上表面侧和导电屏蔽层 40（其覆盖电路板 10 的侧表面 10w 的一部分）的电位可以设置成地（GND）电位。

[0026] 半导体元件 20 例如是诸如闪速存储器和 DRAM 等存储器元件、诸如微处理器等运算元件、信号处理元件，等等。导线 21 的材料例如是金（Au）、铝（Al）、铜（Cu），等等。第一互连层 12 和第二互连层 13 是铜（Cu）薄片、包含银（Ag）和 / 或铜（Cu）的导电膏等，而根据需要对表面进行镀覆。过孔 14 例如是柱状电极。过孔 14 可以是其中全部部件由导电材料制成的柱状电极，或可以具有包括除了柱状电极之外的圆柱形的圆柱形电极和嵌入圆柱形电极的中空空间中的树脂等的结构。过孔 14 的材料是铜（Cu）、钨（W）等。

[0027] 导电屏蔽层 40 优选地由电阻率尽可能低的材料制成，以便屏蔽由半导体元件 20 发射的高频噪声。作为导电屏蔽层 40 的材料，选择例如银（Ag）、铜（Cu）、镍（Ni）、铝（Al）等。更具体地，导电屏蔽层 40 是具有固化的银（Ag）膏的含银（Ag）层，并且将其薄层电阻调节为  $0.1(\Omega/\square)$  或更小。导电屏蔽层 40 具有几个  $\mu\text{m}$ （微米）到几个  $10\mu\text{m}$  的厚度，优选地为 1 到  $90\mu\text{m}$ 。

[0028] 图 2A 和 2B 是根据第一实施例的半导体装置的示意性平面示图，其中图 2A 是电路板的上表面侧的示意性平面示图，而图 2B 是电路板的下表面侧的示意性平面示图。图 2A 和 2B 是从垂直于绝缘层 11 的上表面（或下表面）的方向观察的电路板 10 的示图。

[0029] 如在图 2A 中所示，在电路板 10 的上表面侧上设置多个过孔 14。多个过孔 14 从绝缘层 11 的上表面穿通到下表面。由附图标记 23 围绕的矩形区域是用于半导体元件 20 的元件安装区域 23。在元件安装区域 23 中和 / 或元件安装区域 23 外部设置多个过孔 14。形成第一互连层的多个互连 12 设置在元件安装区域 23 外部。从元件安装区域 23 中的过孔 14 到第一互连层 12 设置延长线 18。延长线 18 是半导体元件 20 的信号线、地互连等。延长线 18 是铜（Cu）薄片、包含银（Ag）和 / 或铜（Cu）的导电膏等。

[0030] 如在图 2B 中所示，多个外部连接端子 17 以垂直和水平行设置在电路板 10 的下表面侧上。多个外部连接端子 17 中的每个经由过孔 14 电连接到上表面侧上的延长线 18。即，外部连接端子 17 经由第二互连层 13、过孔 14 和延长线 18 电连接到第一互连层 12。虽然在图 1 中示出的第二互连层 13 未在图 2B 中示出，但是第二互连层 13 实际上与外部连接端子 17 接触（见图 1）。

[0031] 在半导体装置 1 中，由在数量上小于所述多个外部连接端子 17 的多个外部连接端子 17 构成的组可以变为地电位。例如，在半导体装置 1 安装在安装基板 100 上之后，外部连接端子 17 中的一些通过设置在安装基板 100 中的地互连而变为地电位。在附图中，可以变为地电位的外部连接端子由附图标记 17g 表示并且被称为外部连接端子 17g。换句话说，由在数量上小于形成第二互连层的所述多个互连 13 的形成第二互连层的多个互连 13 构成的组可以变为地电位。而且，与外部连接端子 17g 接触的第二互连层 13 可以变为地电位。

[0032] 在图 2B 中，变为地电位的外部连接端子 17g（或与外部连接端子 17g 接触的第二

互连层 13) 分别位于元件安装区域 23 的四个拐角处。换句话说,外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 中的每个都位于半导体元件的拐角处。

[0033] 在电路板 10 中,设置由在数量上小于设置在电路板 10 的整个主表面上的所述多个过孔 14 的多个过孔 14 构成的组,以便在电路板 10 的侧表面 10w 处将它们暴露。设置在侧表面 10w 处的多个过孔 14 中的每个都通过制造过程中使用的划片刀片而在电路板 10 的侧表面处被切割,并且都具有暴露的表面。在半导体装置 1 中,将设置在侧表面 10w 处的多个过孔 14 中的每个的暴露表面和导电屏蔽层 40 连接。

[0034] 延长线 19 从变为地电位的外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 延伸。延长线 19 是铜 (Cu) 薄片、包含银 (Ag) 和 / 或铜 (Cu) 的导电膏等。

[0035] 延长线 19 还连接到设置在侧表面 10w 处的多个过孔 14 中的一些上。在图 2B 中,连接到延长线 19 的过孔由附图标记 14g 表示并且被称为过孔 14g。因此,设置在电路板 10 的侧表面 10w 处的多个过孔 14g 可以变为地电位。

[0036] 在半导体装置 1 中,外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 中的每个都电连接到多个过孔 14g 中的每个上,所述多个过孔 14g 是设置在侧表面 10w 处的过孔 14 的另外一部分;因此,导电屏蔽层 40 可以变为地电位。即,在半导体装置 1 中,在导电屏蔽层 40 和地电位之间设置多个触点。为过孔 14g 提供地电位的延长线 19 可以设置在电路板 10 的上表面侧上。

[0037] 变为地电位的外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 的数量和布置不受限于以上描述的示例。以下描述另一个示例。

[0038] 图 3A 和 3B 是根据第一实施例的半导体装置的示意性平面示图,其中图 3A 是第一改型示例的电路板的示意性平面示图,而图 3B 是第二改型示例的电路板的示意性平面示图。图 3A 和 3B 示出电路板 10 的下表面侧。

[0039] 在图 3A 示出的电路板 10 中,变为地电位的外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 中的每个都位于元件安装区域 23 一侧的中央部分中。换句话说,外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 中的每个都位于半导体元件 20 的相邻拐角之间。

[0040] 延长线 19 从变为地电位的外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 延伸。延长线 19 还连接到设置在侧表面 10w 处的多个过孔 14g。过孔 14g 连接到导电屏蔽层 40。

[0041] 在图 3B 示出的电路板 10 中,将图 2B 的结构和图 3A 的结构结合。即,变为地电位的外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 中的每个都位于半导体元件 20 的拐角处和 / 或相邻拐角之间。

[0042] 将相邻的外部连接端子 17g(或与外部连接端子 17g 接触的相邻的第二互连层 13) 之间的距离调节为不超过半导体元件 20 等发射的电磁噪声波长的一半。

[0043] 接下来,描述半导体装置 1 的制造过程。

[0044] 图 4A 到 4D 是用于描述根据第一实施例的半导体装置的制造过程的示意性截面图。

[0045] 首先,如在图 4A 中所示,形成单片化 (fragmentation) 前的半导体装置 1。在该阶段,电路板 10 处于切割前的状态中,并且多个半导体装置 1 被连接。

[0046] 然后,将划片刀片 90 沿着划片线 DL 插入电路板 10 中。在该阶段,执行所谓的半划片,并且防止划片刀片 90 到达电路板 10 的下表面侧。即,在接近划片线 DL 的过孔 14 的深度方向上在中途停止划片刀片 90 的插入,并且过孔 14 使通过在电路板 10 的深度方向上进行切割而获得的其切割表面暴露。在图 4B 中示出该状态。

[0047] 过孔 14 的切割表面并非必须位于过孔 14 的中央,并且过孔 14 的一部分包括在切割表面中。为了增加过孔 14 和导电屏蔽层 40 之间的接触面积,过孔 14 的切割表面优选地接近过孔 14 的中央。

[0048] 然后,将密封树脂层 30 固化,并且随后将导电屏蔽层 40 放置在如图 4C 中所示的密封树脂层 30 上。导电屏蔽层 40 也被掩埋在通过半划片形成的凹槽 90h 中。

[0049] 通过例如转移方法、丝网印刷方法、喷洒施加方法、喷射式点胶方法、喷墨方法、气溶胶方法、无电镀覆方法、电解电镀覆方法、溅射方法、蒸镀方法等执行导电屏蔽层 40 的形成。

[0050] 通过在凹槽 90h 中掩埋导电屏蔽层 40,导电屏蔽层 40 与过孔 14 的切割表面接触。之后,根据需要将导电屏蔽层 40 固化。

[0051] 然后,如在图 4D 中所示,执行用于单片化的划片以形成半导体装置 1。

[0052] 现在将描述半导体装置 1 的效果。

[0053] 图 5A 和 5B 是用于描述屏蔽电磁噪声的效果的仿真结果。

[0054] 图 5A 的水平轴线表示从半导体元件 20 等发射的噪声频率 (MHz),而垂直轴线表示屏蔽效果 (dB)。图 5A 的线 (1) 至 (4) 是分别基于图 5B 的图案 (1) 至 (4) 计算的仿真结果。

[0055] 在图案 (1) 中,以电气连续性将一个外部连接端子 17g 连接到导电屏蔽层 40。即,导电屏蔽层 40 与地电位接触的位置的数量为 1。

[0056] 在图案 (2) 中,除了图案 (1) 之外,以电气连续性将设置在半导体元件 20 的拐角 (4 个拐角) 处的另外的外部连接端子 17g 连接到导电屏蔽层 40。即,导电屏蔽层 40 与地电位接触的位置的数量为 5。

[0057] 在图案 (3) 中,除了图案 (1) 之外,以电气连续性将设置在半导体元件 20 的相邻拐角之间的另外的外部连接端子 17g 连接到导电屏蔽层 40。即,导电屏蔽层 40 与地电位接触的位置的数量为 5。

[0058] 在图案 (4) 中,除了图案 (1) 之外,以电气连续性将设置在半导体元件 20 的拐角 (4 个拐角) 处以及半导体元件 20 的相邻拐角之间的另外的外部连接端子 17g 连接到导电屏蔽层 40。即,导电屏蔽层 40 与地电位接触的位置的数量为 9。

[0059] 在从 50MHz 到 900MHz 的噪声频率范围中,线 (1) 显示 6dB 到 9dB,然而线 (2) 和 (3) 显示 13dB 到 14dB 的增加值。而且,线 (4) 显示大约 15dB 的增加值。例如,在噪声频率为最高的 900MHz 处,(2) 和 (3) 高于 (1) 大约 6dB,而 (4) 高于 (1) 大约 8dB。因此,屏蔽效果随着导电屏蔽层 40 与地电位接触的位置的数量的增加而提高。

[0060] 在半导体装置 1 中,由于设置在电路板 10 的侧表面 10w 处的过孔 14 在厚度方向上穿过电路板 10,从电路板 10 的整个侧表面的电磁波泄漏被抑制。

[0061] 而且,在半导体装置 1 中,设置多个导电屏蔽层 40 与地电位接触的位置,并且将所述位置之间的距离调节为不超过从半导体装置 20 等发射的电磁噪声波长的一半。因此,可



以更确定地由导电屏蔽层 40 屏蔽电磁噪声。

[0062] 在导电屏蔽层 40 与地电位接触的位置的数量仅为 1 的情况下,噪声可以容易地从电路基板 10 和导电屏蔽层 40 之间泄漏。例如,当半导体元件 20 从特定地方发射噪声时,在该特定地方与导电屏蔽层 40 与地电位接触的位置彼此远离的情况下,噪声可以从电路基板 10 和导电屏蔽层 40 之间容易地泄漏。

[0063] 相反,在半导体装置 1 中,设置多个导电屏蔽层 40 与地电位接触的位置,并且导电屏蔽层 40 均匀地设置成地电位。因此,可以由导电屏蔽层 40 更确定地屏蔽电磁噪声。

[0064] (第二实施例)

[0065] 图 6 是根据第二实施例的半导体装置的示意性截面图。

[0066] 半导体装置 2 的基本结构与半导体装置 1 的基本结构相同。然而,在根据第二实施例的电路基板 10 中,设置在电路基板 10 的侧表面 10w 上的过孔 14 不在电路基板 10 的侧表面 10w 处暴露。在根据第二实施例的电路基板 10 中,设置在接近电路基板 10 的侧表面 10w 处的过孔 14g 上的互连层 14m 在电路基板 10 的侧表面 10w 处暴露。互连层 14m 由与过孔 14g 相同的材料制成。连接到过孔 14g 的焊盘形互连层 14m 被连接到导电屏蔽层 40。互连层 14m 电连接到变为地电位的外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13)。

[0067] 换句话说,外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 中的每个都电连接到侧表面 10w 处的互连层 14m;因此,导电屏蔽层 40 可以变为地电位。在半导体装置 2 中,经由互连层 14m 在导电屏蔽层 40 和地电位之间设置多个触点。而且由此构成的半导体装置 2 提供与半导体装置 1 相似的效果。

[0068] (第三实施例)

[0069] 图 7A 和 7B 分别是根据第三实施例的半导体装置的示意性平面示图和用于描述屏蔽效果的示图。图 7A 示出半导体装置的电路基板的示意性平面示图,图 7B 示出用于描述屏蔽效果的示图。

[0070] 图 7A 示出电路基板 10 的下表面侧上的平面示图。

[0071] 在根据第三实施例的电路基板 10 中,作为第二互连层,环形的互连层 19r 设置在垂直和水平布置的外部连接端子 17(或与外部连接端子 17 接触的第二互连层 13) 的外围处。即,电路基板 10 还包括围绕设置在绝缘层 11 下表面侧上的外部连接端子 17(或与外部连接端子 17 接触的第二互连层 13) 的环形互连层 19r。互连层 19r 电连接到外部连接端子 17g(或与外部连接端子 17g 接触的第二互连层 13) 中的任何一个上。

[0072] 例如,当外部连接端子 17g 变为地电位时,全部互连层 19r 和过孔 14g 都变为地电位。

[0073] 当外部连接端子 17g 和互连层 19r 以比电磁噪声波长的一半窄的间距电连接时,它们是有效的;并且它们连接的间距越窄,屏蔽效果越高。而且,当互连层 19r 和过孔 14g 以比电磁噪声波长的一半窄的间距电连接时,它们是有效的;并且它们连接的间距越窄,屏蔽效果越高。当环形互连层 19r 具有 0.035mm 或更多的线宽时,它是有效的,并且使宽度加宽到大约 0.5mm 提供了对电磁波更高的屏蔽效果。

[0074] 图 7B 示出将外部连接端子 17g 和互连层 19r 之间的间距设置为 1.6mm 或更小,将互连层 19r 和过孔 14g 之间的间距设置为 0.4mm,并且将互连层 19r 的线宽设置为 0.5mm 的

情况下的屏蔽效果。水平轴线表示从半导体元件 20 等发射的噪声频率 (MHz), 而垂直轴线表示屏蔽效果 (dB)。

[0075] 在根据第三实施例的电路基板中, 磁场屏蔽效果与第一和第二实施例相比是高的。

[0076] (第四实施例)

[0077] 图 8 是根据第四实施例的半导体装置的示意性截面图。

[0078] 根据第四实施例的半导体装置 3 包括电路基板 10。电路基板 10 包括: 绝缘层 11、形成设置在绝缘层 11 的上表面侧上的第一互连层的多个互连 12 和形成设置在绝缘层 11 的下表面侧上的第二互连层的多个互连 13。半导体装置 3 还包括: 安装在电路基板 10 的上表面侧上的半导体元件 20、密封半导体元件 20 并设置在电路基板 10 的上表面上的密封树脂层 30, 以及覆盖密封树脂层 30 和电路基板 10 的端部的一部分的导电屏蔽层 40。

[0079] 在半导体装置 3 中, 在电路基板 10 的下侧上多处设置与形成第一互连层的多个互连 12 和形成第二互连层的多个互连 13 不同的形成第二互连层的多个互连 50。形成第二互连层的多个互连 50 不电连接到导电屏蔽层 40, 并且设置在绝缘层 11 的下表面侧上的区域 (其中不设置形成第二互连层的多个互连 13) 中。例如, 当在第一互连层 12 上以及电路基板 10 的上表面侧上的延长线 18 上执行镍 (Ni)、金 (Au) 等的电解镀覆处理时, 形成第二互连层的多个互连 50 起到用于电镀的互连的作用。因此, 第二互连层的互连 50 电连接到形成第一互连层的多个互连 12 中的任何一个上。

[0080] 通过使由此构成的第二互连层的互连 50 围绕在电路基板 10 的下侧上的周围, 电路基板 10 的上表面侧的互连设计的允许边界 (margin) 增加。而且, 由于在电路基板 10 的下侧上设置形成第二互连层的多个互连 50, 形成第二互连层的多个互连 50 和导电屏蔽层 40 不接触 (不以电气连续性而连接)。因此, 即使在第一互连层 12 和延长线 18 上执行镀覆处理后第二互连层的互连 50 还存在, 第二互连层的互连 50 和导电屏蔽层 40 也不接触。即, 第二互连层的互连 50 不需要通过蚀刻过程去除, 从而不引起制造过程的成本增加。将多个互连 50 拉到电路基板 10 的端部, 以便在侧表面 10w 处暴露。

[0081] 另外在半导体装置 3 中, 如在附图中所示, 还在电路基板 10 中设置从绝缘层 11 的上表面穿通到下表面的多个过孔 14, 而由数量上小于所述多个过孔 14 的多个过孔构成的第一组可以在电路基板 10 的侧表面 10w 处暴露。在该情况中, 将第一组的过孔 14 的暴露表面中的每个和导电屏蔽层连接。在侧表面 10w 处暴露的过孔 14 中的一些形成变为地电位的过孔 14g。

[0082] 在第一到第四实施例中描述的外部连接端子 17(17g) 可以根据需要而被完全地除去; 并且 LGA(焊盘栅格阵列) 结构 (其中在电路基板 10 的下表面侧上使形成第二互连层的多个互连 13 中的每个都暴露) 的半导体装置 1 到 3 也包括在实施例中。

[0083] 另外, 在设置在电路基板 10 的侧表面 10w 处的多个过孔 14 中, 可以根据需要去除未电连接到外部连接端子 17g 的那些过孔 14。这种结构也包括在实施例中。

[0084] 在上文中, 参考具体示例描述了实施例。然而, 实施例不限于这些具体的示例。即, 本领域技术人员可以适当地对这些具体示例进行设计改型, 并且在包括实施例的精神的意义上, 这些改型也包括在实施例的范围中。以上描述的具体示例的部件以及其布置、材料、条件、形状、尺寸等不限于举例说明的那些, 而可以被适当地改变。

[0085] 此外,本领域技术人员可以在实施例的思想内实现各种改变和改型。这种改变和改型也应该被视为在实施例的范围内。另外,在技术可行性的范围内可以组合实施例的部件,并且在包括实施例的精神的意义上它们的组合也包括在实施例的范围中。

[0086] 虽然已经描述了特定实施例,但是仅借助于示例介绍了这些实施例,并不旨在限制本发明的范围。实际上,可以以各种其它形式实施本文描述的新颖的实施例;而且,在不脱离本发明精神的情况下,可以以本文描述的实施例的形式进行各种省略、替换和改变。随附的权利要求及其等同物旨在包括落入本发明范围和精神内的这种形式或改型。

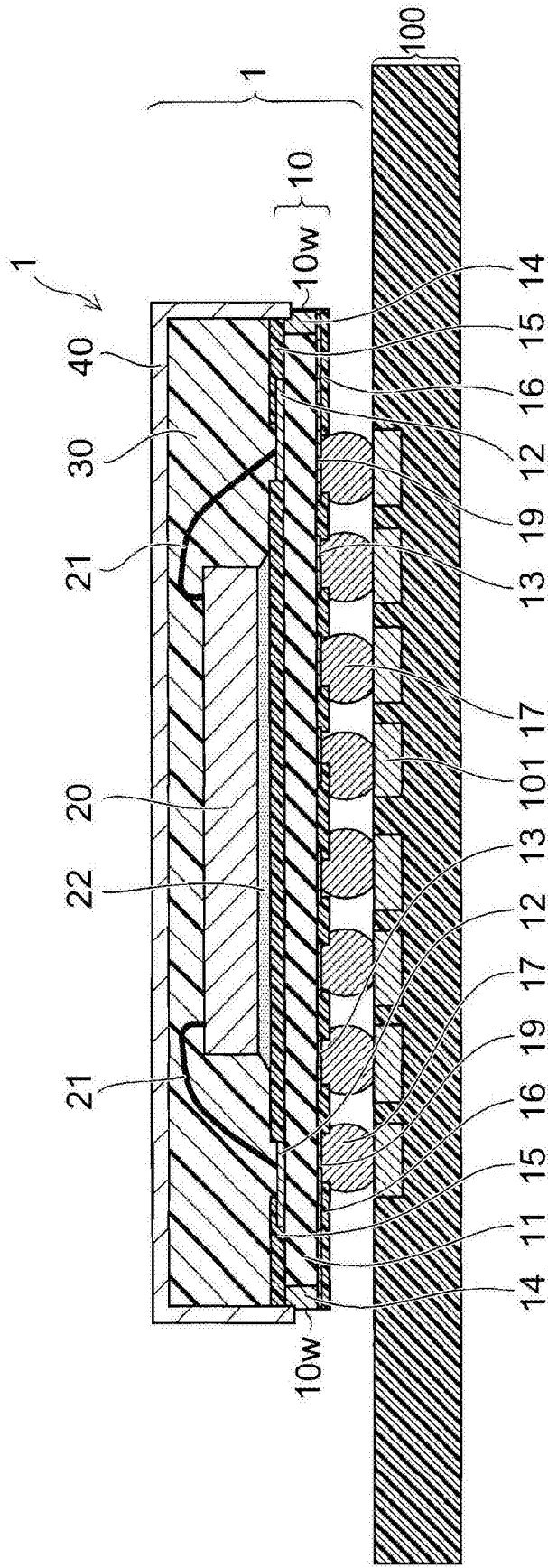


图 1

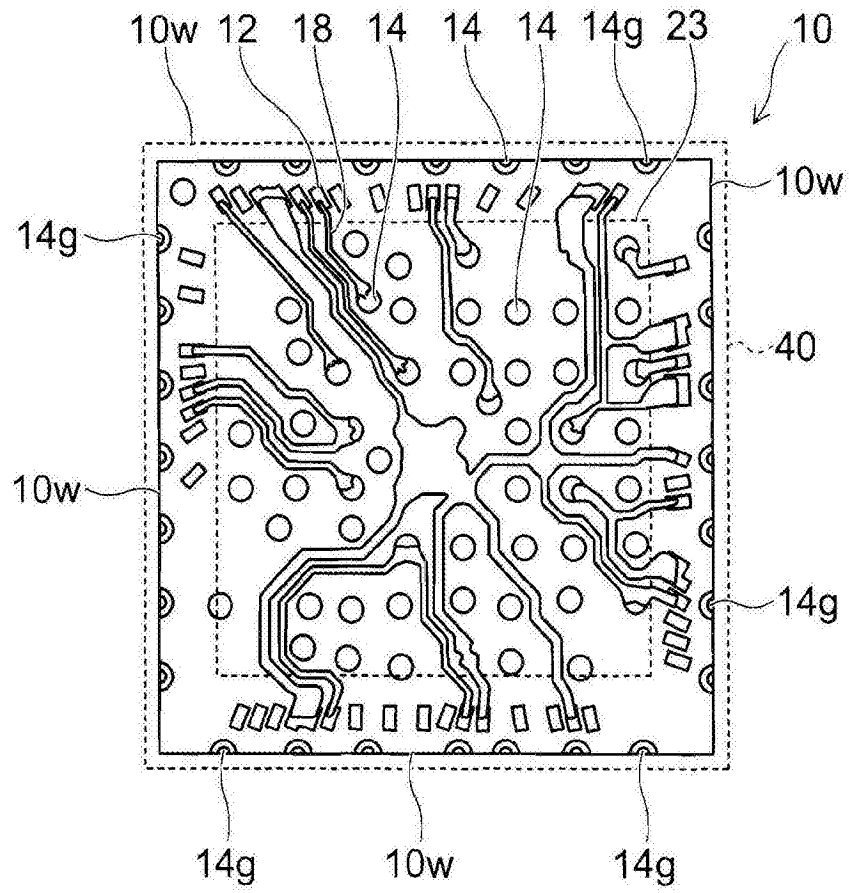


图 2A

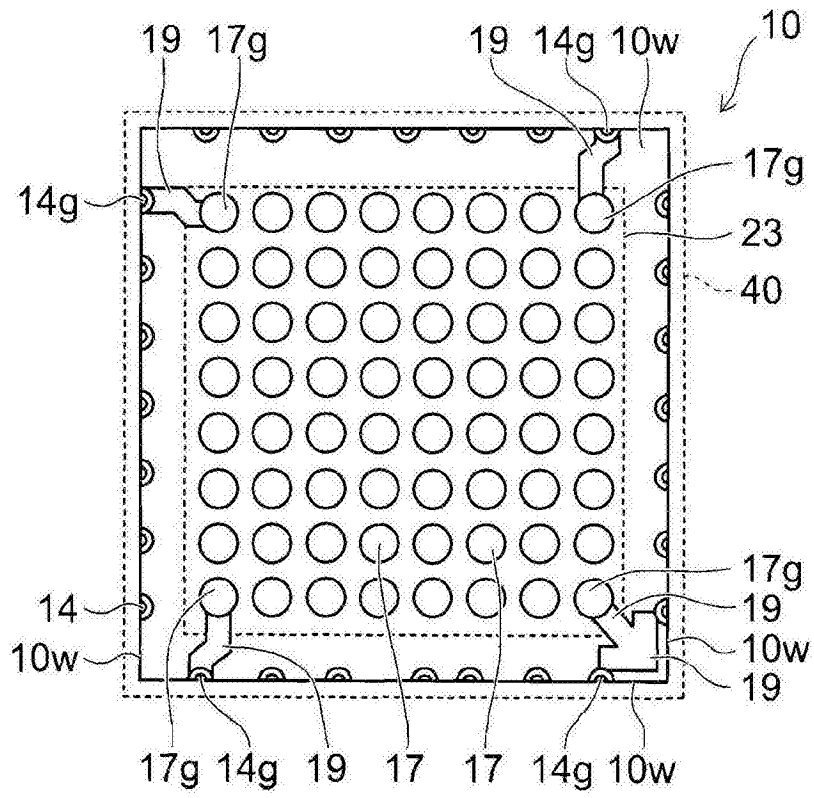


图 2B

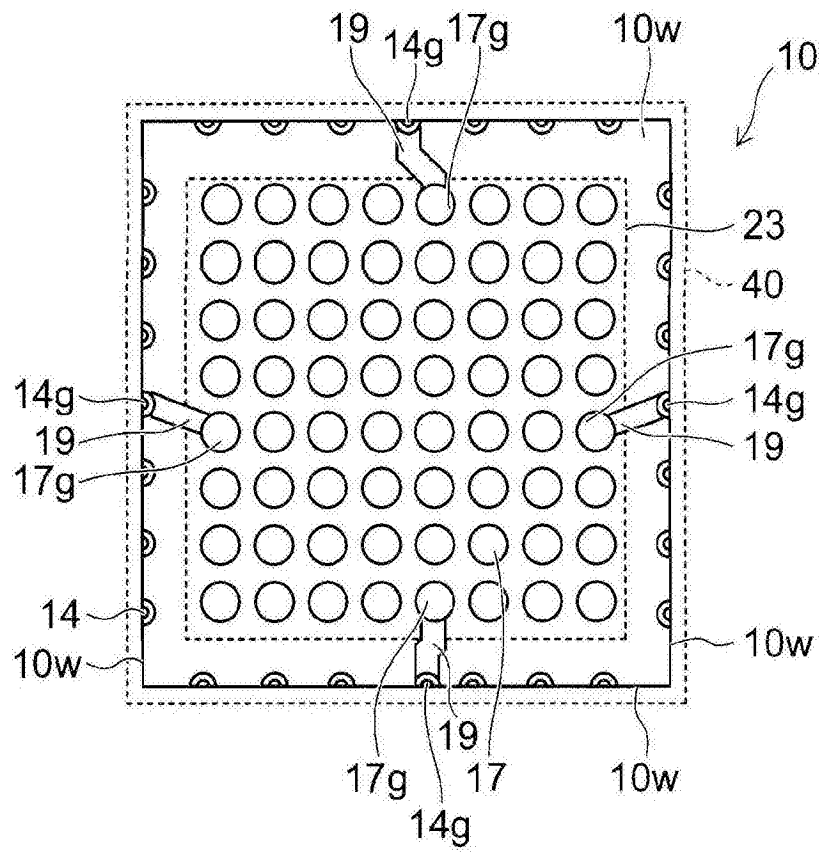


图 3A

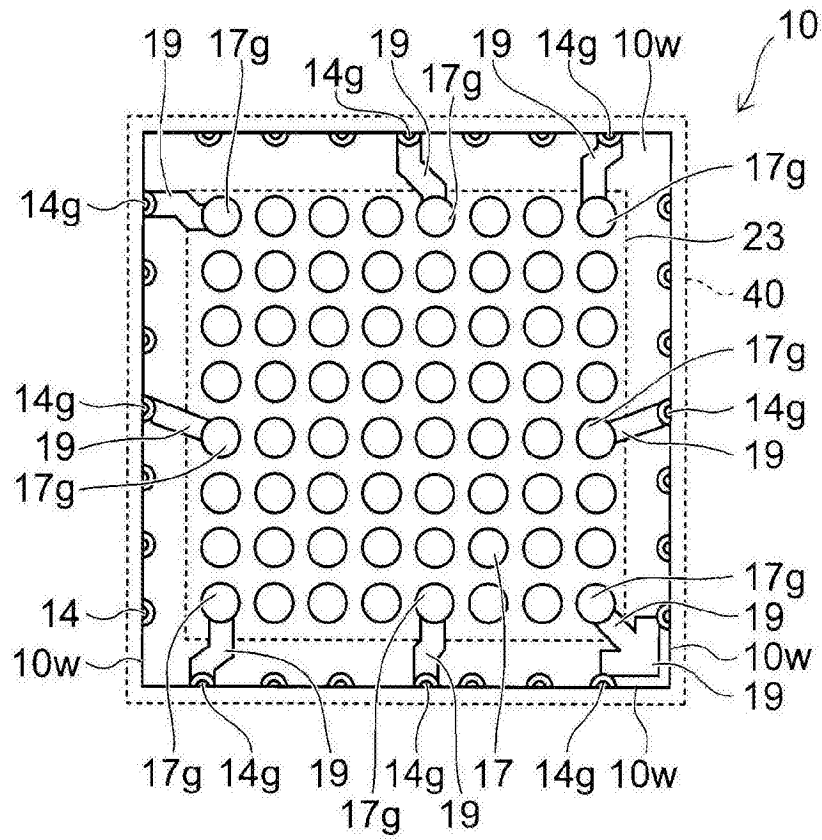
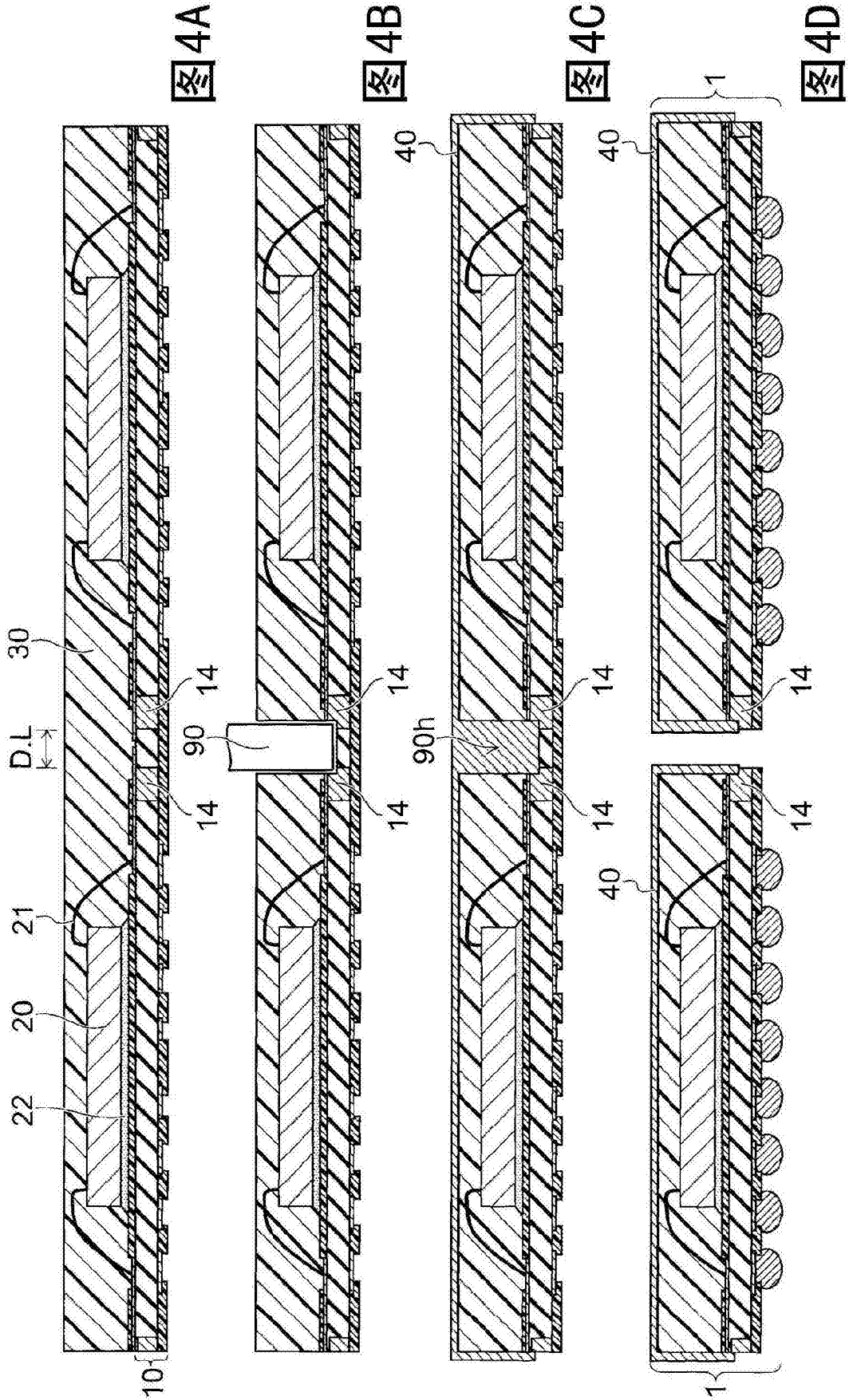


图 3B





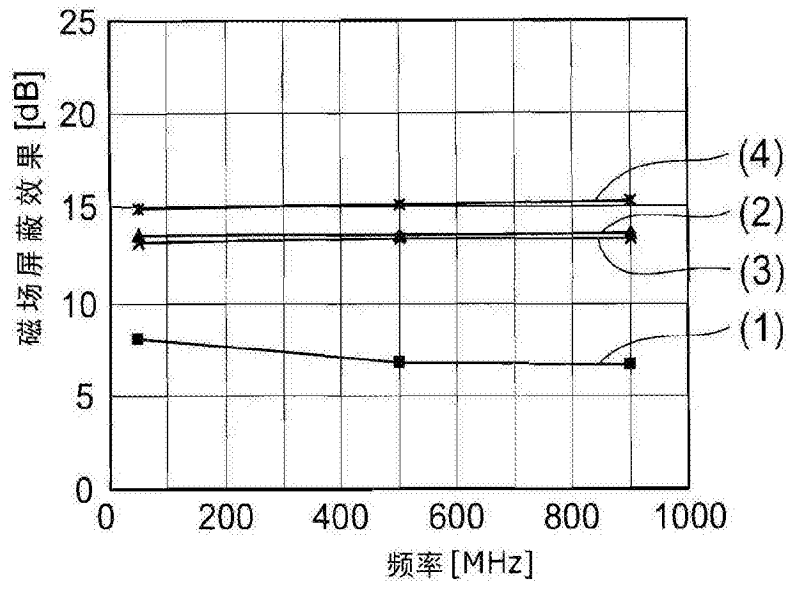


图 5A

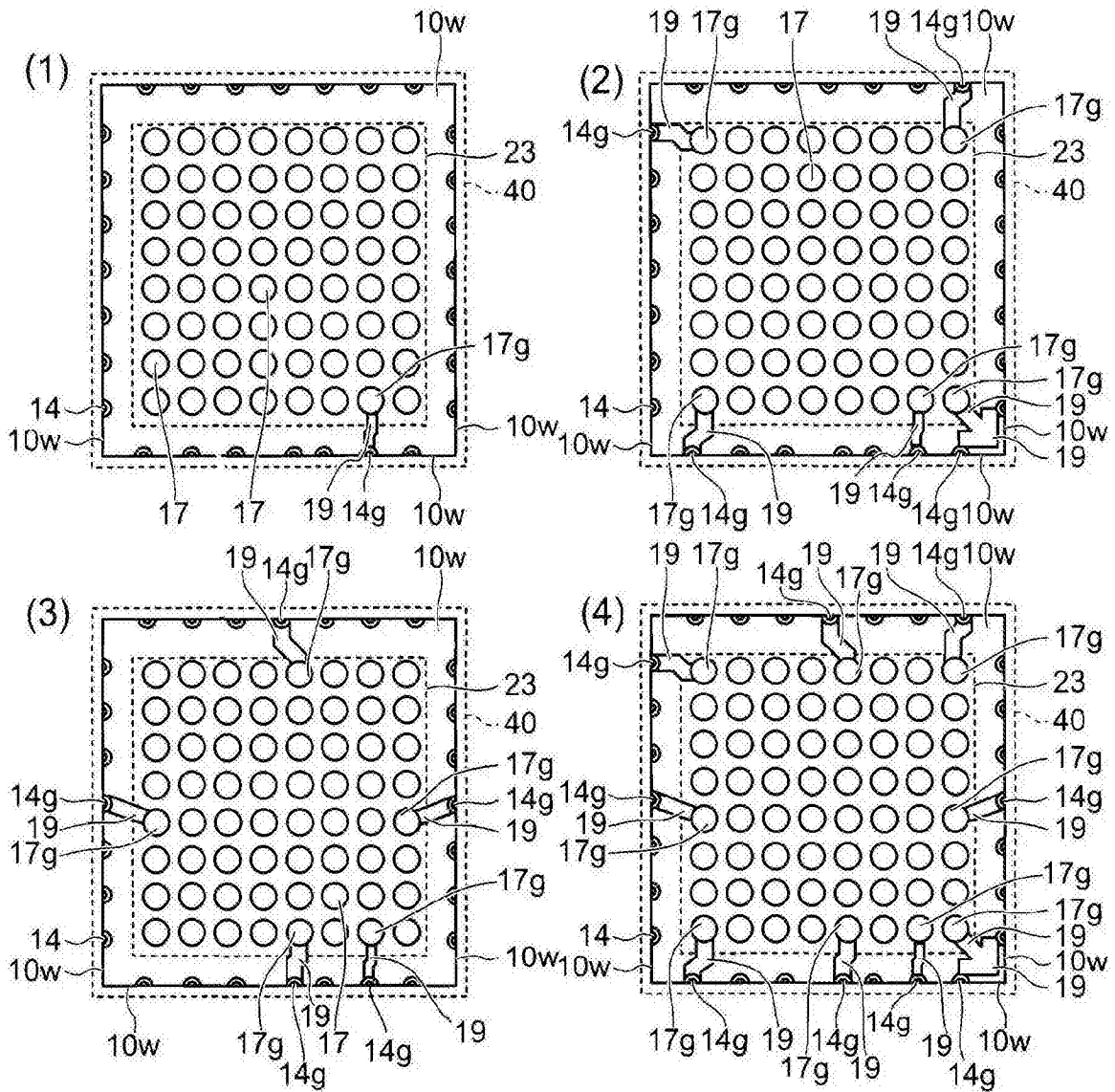


图 5B

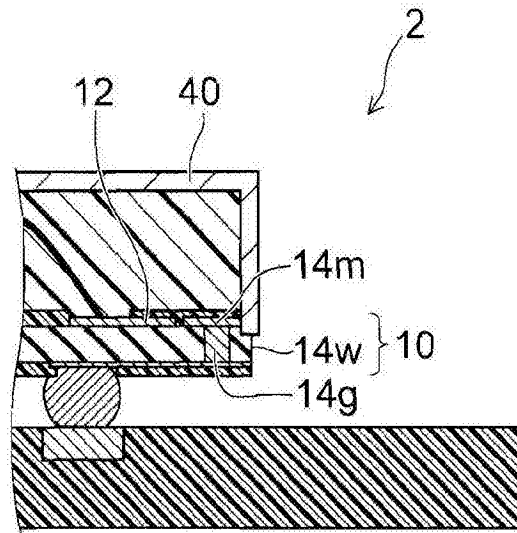


图 6

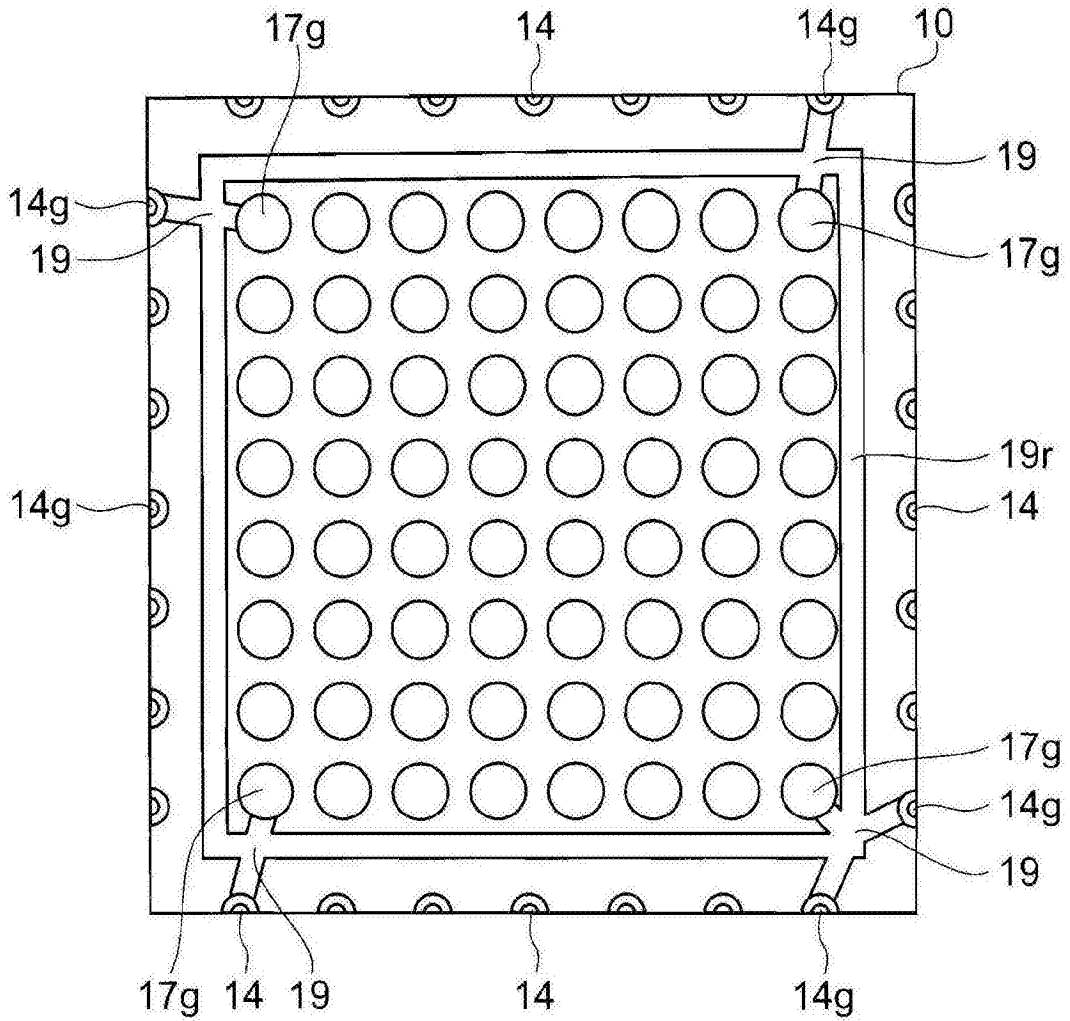


图 7A

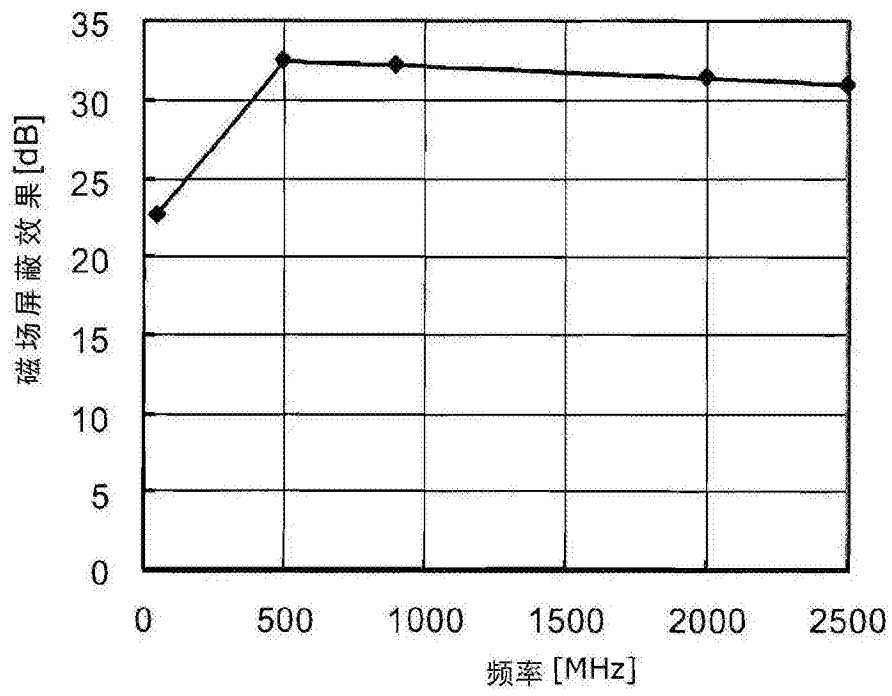


图 7B

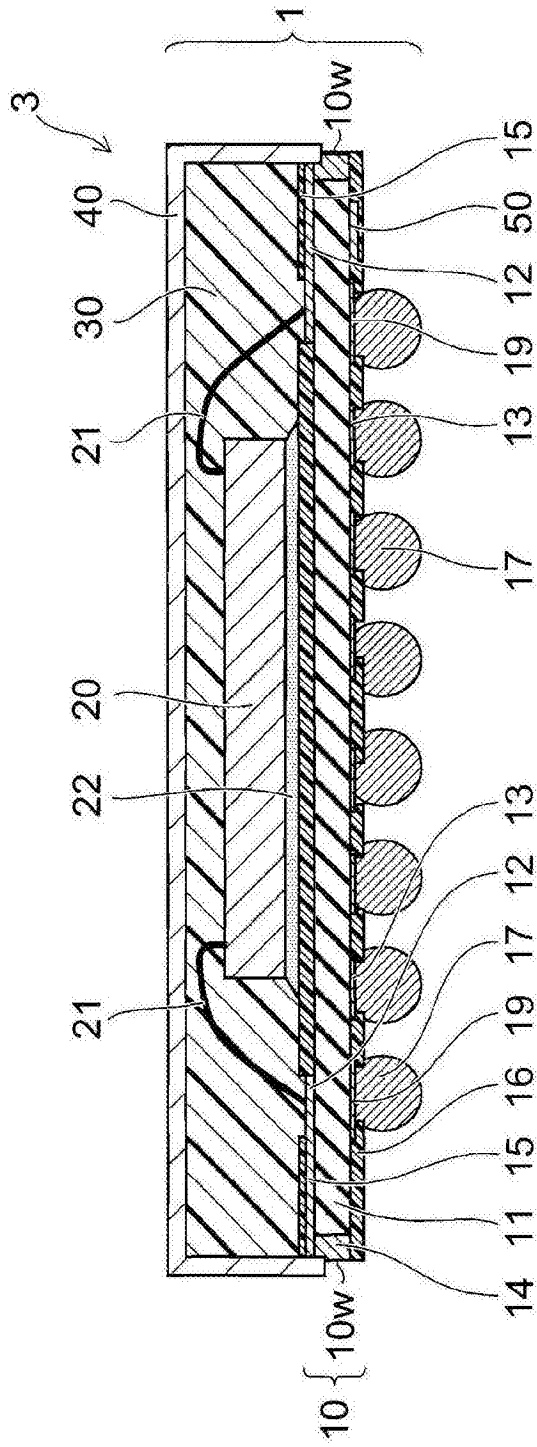


图 8