(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3551390号
(P3551390)
(45)発行日　平成16年8月4日(2004.8.4)　(24)登録日　平成16年5月14日(2004.5.14)

(51)Int.Cl.[7]	F I	
G01R 31/316	G01R 31/28	C
H03M 1/10	H03M 1/10	C

請求項の数 4　(全 8 頁)

(21)出願番号　特願平6-267426
(22)出願日　平成6年10月31日(1994.10.31)
(65)公開番号　特開平8-129055
(43)公開日　平成8年5月21日(1996.5.21)
審査請求日　平成13年9月14日(2001.9.14)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100085811
弁理士　大日方　富雄
(72)発明者　平石　彰彦
東京都小平市上水本町５丁目２０番１号
株式会社　日立製作所　半導体事業部内

審査官　篠崎　正

最終頁に続く

(54)【発明の名称】半導体検査装置

(57)【特許請求の範囲】

【請求項１】

デジタル信号を出力する被検査装置に対し、そのデジタル出力値を検査範囲の下限から上限までの全領域にわたって変化させるような入力信号を与えるテスト信号源と、ＲＡＭと、このＲＡＭのアドレス指定を上記デジタル出力値によって行わせるとともに、各指定アドレスごとにそれぞれ特定データを書き込ませる書込制御手段と、上記ＲＡＭの各アドレスに書き込まれた記憶データをアドレス走査によって順次読み出させる読出制御手段と、上記ＲＡＭのアドレス走査によって読み出される記憶データに上記特定データ以外の異データが出現したか否かを検出するデータ検出手段とを備え、

上記データ検出手段は、上記ＲＡＭが読出モードのときに、その読出データに特定データ以外の異データが出現したか否かを検出して保持するラッチ回路を用いて構成されていることを特徴とする半導体検査装置。

【請求項２】

テスト信号源は、アナログ－デジタル変換を行う被検査装置に対し、そのデジタル出力値を下限から上限までの全範囲にわたって変化させるようなアナログ入力信号を与えることを特徴とする請求項１に記載の半導体検査装置。

【請求項３】

書込制御手段および読出制御手段は、クロックによって計数値が順次歩進されるカウンタと、被検査装置のデジタル出力と上記カウンタの計数出力を切換選択してＲＡＭにアドレスとして与える選択回路とを有するとともに、上記デジタル出力が選択されたときには上

記ＲＡＭを書込モードに設定し、上記計数出力が選択されたときには上記ＲＡＭを読出モードに設定することを特徴とする請求項１または２に記載の半導体検査装置。
【請求項４】
特定データは"１"または"０"の１ビットデータであることを特徴とする請求項１から３までのいずれかに記載の半導体検査装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体検査装置、さらにはデジタル信号を出力する半導体装置の検査装置に適用して有効な技術に関するものであって、たとえばＡ／Ｄ変換器のビット欠け検査に利用して有効な技術に関するものである。
【０００２】
【従来の技術】
半導体装置、とくにアナログ入力信号をデジタル信号に変換して出力するＡ／Ｄ変換器では、特定のデジタル変換値が出力されない欠陥、いわゆるビット欠けの不良が発生することがある。したがって、Ａ／Ｄ変換器などの半導体装置の製造過程では、上記ビット欠けの有無をチェックする検査が必要となってくる。
【０００３】
この検査を行うために、図４に示すような半導体検査装置が提供されている。
【０００４】
図４に示す検査装置は、被検査装置であるＡ／Ｄ変換器１のデジタル出力Ｄｘをデータ処理装置４１によって統計処理し、図５に示すように、ヒストグラム法による出力値別の出現頻度を出してビット欠けの有無を判定するというものである。
【０００５】
図５は、正弦波のアナログ信号をＡ／Ｄ変換器１に入力させた場合に得られるデジタル出力信号の出力値別出現頻度を表したグラフであって、ビット欠け部分での出力値の出現頻度が極端に落ち込むことにより、そのビット欠けの有無を判定することができる（たとえば、アナログデバイス社発行「システムアプリケーションガイド　Ａ／Ｄコンバータ編」１９９３年９月発行、１１７～１３０ページを参照）。
【０００６】
【発明が解決しようとする課題】
しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。
【０００７】
すなわち、上述した半導体検査装置では、ヒストグラム法による統計処理を行うために大量のデータ収集が必要となり、データの収集、その統計処理、およびその統計処理結果の解析に多大の時間を要するという問題が生じる。そして、このことがＡ／Ｄ変換器等の検査の効率化を妨げていた。
【０００８】
本発明の目的は、Ａ／Ｄ変換器等の半導体装置のビット欠け検査を高効率化させる、という技術を提供することにある。
【０００９】
本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。
【００１０】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。
【００１１】
すなわち、半導体装置として形成されたＡ／Ｄ変換器のデジタル出力値によってＲＡＭの

アドレス指定を行わせるとともに、各指定アドレスごとにそれぞれ特定データ”１”を書き込ませた後、上記ＲＡＭに書き込まれた記憶データをアドレス走査によって順次読み出させながら、その読出データに上記特定データ以外の異データ“０”が出現したか否かを検出させる、というものである。

【００１２】

【作用】

上述した手段によれば、大量のデータ収集を必要とする統計的処理に依存することなく、ビット欠けの有無を簡単かつ短時間に検出することができる。

【００１３】

これにより、Ａ／Ｄ変換器等の半導体装置のビット欠け検査を高効率化させる、という目的が達成される。

【００１４】

【実施例】

以下、本発明の好適な実施例を図面を参照しながら説明する。

なお、図において、同一符号は同一あるいは相当部分を示すものとする。

【００１５】

図１は本発明の技術が適用された半導体検査装置の一実施例を示したものであって、１は被検査装置であるＡ／Ｄ変換器、１１はテスト信号源、１２はカウンタ、１３はデータ選択回路、１４はＲＡＭ（ランダム・アクセス・メモリー）、１５はデータラッチ回路、φ１，φ２はクロック信号、Ｖｘはアナログ入力信号である。

【００１６】

Ａ／Ｄ変換器１は、テスト信号源１１から与えられるアナログ入力信号Ｖｘをサンプリングクロックφ１に同期して並列デジタル信号に変換する。Ｄｘはそのデジタル出力である。

【００１７】

テスト信号源１１は、Ａ／Ｄ変換器１の入力ダイナミックレンジ以上の振幅をもつ正弦波を出力してＡ／Ｄ変換器１に与える。これにより、被検査装置であるＡ／Ｄ変換器１のデジタル出力値は、その検査範囲の下限から上限までの全領域にわたって変化させられる。たとえば、Ａ／Ｄ変換器１のデジタル出力値の範囲が０～１０２３（１０進数換算）であるならば、その範囲の下限（０）から上限（１０２３）まで変化させられるような振幅の正弦波アナログ信号Ａｉｎを出力する。

【００１８】

カウンタ１２は、クロックφ２によって１ずつ順次歩進される計数値を並列に出力する。この計数出力Ｄｃは、データ選択回路１３を介してＲＡＭ１４にアドレス信号（Ａｉｎ）として与えられる。

【００１９】

データ選択回路１３は、上記Ａ／Ｄ変換器１のデジタル出力Ｄｘと上記カウンタ１２の計数出力Ｄｃを切換選択するとともに、その選択出力（Ｄｘ／Ｄｃ）をＲＡＭ１４にアドレスとして与える。このデータ選択回路１３の制御は、外部から与えられる測定モード切換指令に基づき、ＲＡＭ１４の書込／読出のモード切換と連動して行われるようになっている。

【００２０】

ＲＡＭ１４は、上記Ａ／Ｄ変換器１のデジタル出力値幅に対応するアドレス幅と１ビットの記憶データサイズを有し、上記選択回路１３を介して与えられるデジタル出力Ｄｘまたは計数出力Ｄｃによってアドレス指定される。Ａｉｎはアドレス入力、Ｄｉｎは記憶書込データ入力、Ｄｏｕｔは記憶読出データ出力、Ｒ／Ｗは書込／読出モードの設定入力である。Ｄｉｎは電源電位Ｖｃｃに接続されていて、ハイレベルの”１”が常時入力されるようになっている。

【００２１】

データラッチ回路１５は、図２にその具体的な回路例を示すように、論理ゲート１５１お

よびＲＳフリップフロップ１５２などによって構成される。同図に示したデータラッチ回路１５では、フリップフロップ回路１５２のセット出力が一旦”１”にプリセットされた後に、上記ＲＡＭ１４のから読出データ出力Ｄｏｕｔに”０”が出現すると、その”０”が出現した時点で出力が”１”から”０”にリセットされる。このようにして、フリップフロップ回路１５２が一旦リセットされると、このリセット状態は、読出データ出力Ｄｏｕｔが再び”１”を出力するようになった後も、そのまま保持される。これにより、上記ＲＡＭ１４が読出モードのときに、その読出データＤｏｕｔに特定データ”１”以外の異データ”０”が出現したか否かを検出して保持することができる。

【００２２】

以上のようにして、上述した半導体検査装置では、ＲＡＭ１４の各指定アドレスごとにそれぞれ特定データ”１”を書き込ませる書込制御手段と、上記ＲＡＭ１４の各アドレスに書き込まれた記憶データをカウンタ１２によるアドレス走査によって順次読み出させる読出制御手段と、上記ＲＡＭ１４のアドレス走査によって読み出される記憶データに上記特定データ”１”以外の異データ”０”が出現したか否かを検出するデータ検出手段とが形成されている。

【００２３】

次に、動作について説明する。

【００２４】

図３は、図１と図２で示した半導体検査装置の要部における動作をタイミングチャートで示す。

【００２５】

図１，２，３において、Ａ／Ｄ変換器１のビット欠け検査は、測定モードと検証モードの２つの工程に分けて行われる。

【００２６】

測定モードでは、先ず、ＲＡＭ１４の記憶データをすべて”０”に初期化するとともに、Ａ／Ｄ変換器１のデジタル出力ＤｘがＲＡＭ１４のアドレス入力Ａｉｎに与えられるように、データ選択回路１３の選択位置（ポート）を設定する。さらに、ＲＡＭ１４を書込モードに設定する。

【００２７】

上述した設定の後、Ａ／Ｄ変換器１に正弦波のアナログ入力信号Ａｘを与える。これとともに、サンプリングクロックφ１によって、Ａ／Ｄ変換器１の変換動作とＲＡＭ１４の書込動作を互いに同期させながら行わせる。

【００２８】

これにより、ＲＡＭ１４では、Ａ／Ｄ変換器１のデジタル出力値（Ｄｘ）によって指定されたアドレス（Ｄｘ）だけに”１”の１ビットデータが書き込まれ、そうでないアドレスの記憶データは”０”のままとなる。

【００２９】

ここで、テスト信号源１１からＡ／Ｄ変換器１に与えられるアナログ入力信号Ａｉｎが、そのＡ／Ｄ変換器１のデジタル出力値（Ｄｘ）を下限から上限までの全範囲（フルスケール）にわたって連続的に変化させるような信号であれば、ＲＡＭ１４には、上記Ａ／Ｄ変換器１のデジタル出力値（Ｄｘ）に対応するすべてのアドレスにて、上記”１”の１ビットデータが書き込まれるはずである。たとえば、Ａ／Ｄ変換器１のデジタル出力値（Ｄｘ）の全範囲が、０～１０２３（１０進数換算）だとすると、これに対応するＲＡＭ１４のアドレスの全範囲０～１０２３（１０進数換算）にて、それぞれ”１”が書き込まれるはずである。つまり、０～１０２３番地（１０進数換算）すべてに”１”が書き込まれるはずである。

【００３０】

ところが、上記デジタル出力値（Ｄｘ）の全範囲（０～１０２３）の中で、特定のデータ値が出力されない場合、つまりビット欠けがあると、そのビット欠けのデータ値に対応するアドレスには、”１”の書込が行われず、したがってそのビット欠けデータ値に対応す

るアドレスの記憶データだけは”０”のままとなる。たとえば、Ａ／Ｄ変換器１のデジタル出力Ｄｘから６４（１０進数換算）の値をとるデータだけが欠けていた場合は、その６４に対応する６４番地の記憶データだけが、”０”のままとなる。

【００３１】

以上のようにして、測定モードでは、被検査装置であるＡ／Ｄ変換器１が実際に出力し得たデータ値に対応するアドレスだけに”１”を書き込むことが行われる。そして、この”１”の書込は、Ａ／Ｄ変換器１の出力Ｄｘにビット欠けがなければ、そのＡ／Ｄ変換器１の全出力範囲に対応するアドレスに対して行われるが、Ａ／Ｄ変換器１の出力Ｄｘに１つでもビット欠けがあると、そのビット欠けに対応するアドレスだけが上記”１”とは違う異データ”０”を記憶したままとなる。このような測定モードを実行した後に、次に述べる検証モードが行われる。

【００３２】

検証モードでは、先ず、カウンタ１２の計数内容を初期化するとともに、データラッチ回路１５の出力を”１”にプリセットする。さらに、そのカウンタ１２の計数出力ＤｃがＲＡＭ１４のアドレス入力Ａｉｎに与えられるように、データ選択回路１３の選択位置を設定する。そして、ＲＡＭ１４を読出モードに設定する。

【００３３】

上述した設定の後、カウンタ１２をクロックφ２によって１ずつ歩進動作させるとともに、このカウンタ１２の歩進動作に同期してＲＡＭ１４の読出動作を行わせる。ＲＡＭ１４の読出データ出力Ｄｏｕｔは、クロックφ２の同期下でデータラッチ回路１５に入力される。つまり、ＲＡＭ１４はカウンタ１２によるアドレス走査が行われ、そのカウンタ１２の計数出力Ｄｃに対応するアドレスの記憶データがクロックφ２の同期下で読み出されてデータラッチ回路１５に入力される。この場合、カウンタ１２の計数範囲は、上記Ａ／Ｄ変換器１の全出力値全範囲に対応している。たとえば、上記Ａ／Ｄ変換器１の全出力値範囲が０～１０２３（１０進数換算）であれば、上記カウンタ１２の計数範囲も０～１０２３（１０進数換算）となるようにしてある。

【００３４】

ここで、ＲＡＭ１４の各アドレスから順次読み出されてくる記憶データが同一の特定データ”１”だけだったならば、データラッチ回路１５の出力は、最初のプリセット状態”１”を保持し続ける。そして、ＲＡＭ１４の全アドレス範囲について読み出しが完了した時点で、上記データラッチ回路１５の出力が最初のプリセット状態”１”を保持していたならば、これは、上述した測定モードにて、ＲＡＭ１４のアドレスの全範囲がＡ／Ｄ変換器１のデジタル出力Ｄｘによってアクセスされたことになる。換言すれば、Ａ／Ｄ変換器１からＲＡＭ１４の全アドレス値が出力されたことになる。したがって、そのデータラッチ回路１５の保持出力”１”は、Ａ／Ｄ変換器１のデジタル出力Ｄｘにビット欠けがなかったことを示す。

【００３５】

他方、上記ＲＡＭ１４から順次読み出されてくる記憶データの中に、”０”の異データが一つでも入り混んでいたならば、データラッチ回路１５の出力は、その”０”の異データによって”０”にリセットされる。この”０”のリセット状態は、その後に読み出される記憶データに”１”が続いても、そのまま保持され続ける。したがって、ＲＡＭ１４の全アドレス範囲について読み出しが完了した時点で、上記データラッチ回路１５の出力が”０”に変わっていたならば、これは、Ａ／Ｄ変換器１からＲＡＭ１４の全アドレス値が出力されなかったことになる。つまり、そのデータラッチ回路１５の保持出力”０”は、Ａ／Ｄ変換器１のデジタル出力Ｄｘにビット欠けがあったことを示す。

【００３６】

以上のようにして、Ａ／Ｄ変換器１のデジタル出力値によってＲＡＭのアドレス指定を行わせるとともに、各指定アドレスごとにそれぞれ特定データ”１”を書き込ませた後、上記ＲＡＭに書き込まれた記憶データをアドレス走査によって順次読み出させながら、その読出データに上記特定データ”１”以外の異データ”０”が出現したか否かを検出させる

ことにより、大量のデータ収集を必要とする統計的処理に依存することなく、ビット欠けの有無を簡単かつ短時間に検出することができる。これにより、Ａ／Ｄ変換器等の半導体装置のビット欠け検査が高効率化されるようになる。

【００３７】

以上、本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００３８】

たとえば、ＲＡＭ１４に書き込む特定データは複数ビットのデータであってもよい。また、データラッチ回路などの各構成要素は、マイクロ回路化されたコンピュータによってソフトウェア的に実現させることもできる。

【００３９】

以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野であるＡ／Ｄ変換器に適用した場合について説明したが、それに限定されるものではなく、たとえばデジタル温度計や気圧計などのようなアナログ事象を計測してデジタル出力するセンサーなどのように、一定範囲のデジタル値を連続的に出力する装置の検査にも適用できる。

【００４０】

【発明の効果】

本願において開示される発明のうち、代表的なものの効果を簡単に説明すれば、下記のとおりである。

【００４１】

すなわち、大量のデータ収集を必要とする統計的処理に依存することなく、ビット欠けの有無を簡単かつ短時間に検出することができるため、Ａ／Ｄ変換器等の半導体装置のビット欠け検査を高効率化させることができる、という効果が得られる。

【図面の簡単な説明】

【図１】本発明の技術が適用された半導体検査装置の一実施例を示す回路図

【図２】本発明で使用するデータラッチ回路の構成例を示す回路図

【図３】本発明装置の要部における動作例を示すタイミングチャート

【図４】従来の半導体検査装置の概要を示す回路図

【図５】従来装置による半導体検査の概要を示す図

【符号の説明】

１　被検査装置であるＡ／Ｄ変換器

１１　テスト信号源

１２　カウンタ

１３　データ選択回路

１４　ＲＡＭ（ランダム・アクセス・メモリー）

１５　データラッチ回路

φ１，φ２　クロック信号

Ｖｘ　アナログ入力信号である。

Ｄｘ　デジタル出力

Ｄｃ　計数出力

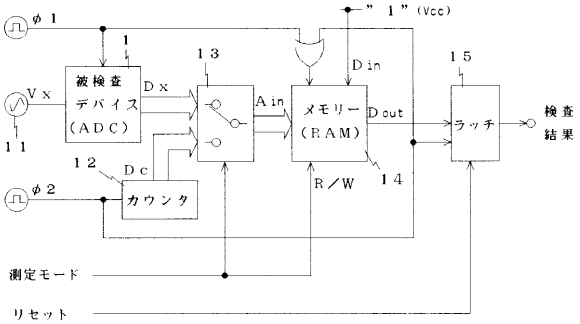
Ａｉｎ　アドレス入力

Ｄｉｎ　記憶書込データ入力

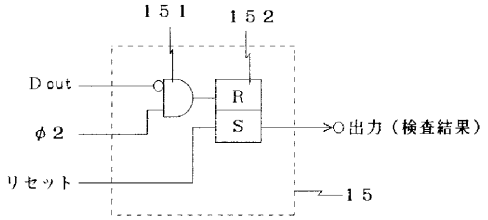
Ｄｏｕｔ　記憶読出データ出力

Ｒ／Ｗ　書込／読出モード

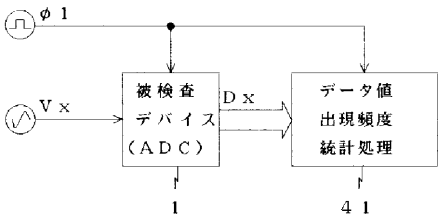
【図１】


φ1
"1"(Vcc)
1
13
15
Vx
被検査
デバイス
(ADC)
Dx
Ain
Din
メモリー
(RAM)
Dout
ラッチ
検査
結果
11
12
Dc
φ2
カウンタ
R／W
14
測定モード
リセット

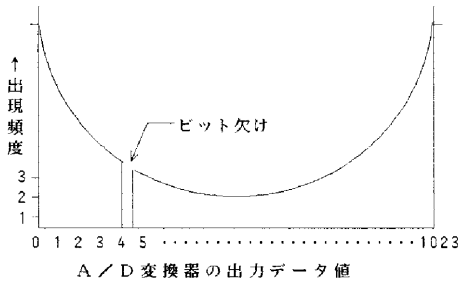
【図２】


151
152
Dout
R
S
φ2
出力（検査結果）
リセット
15

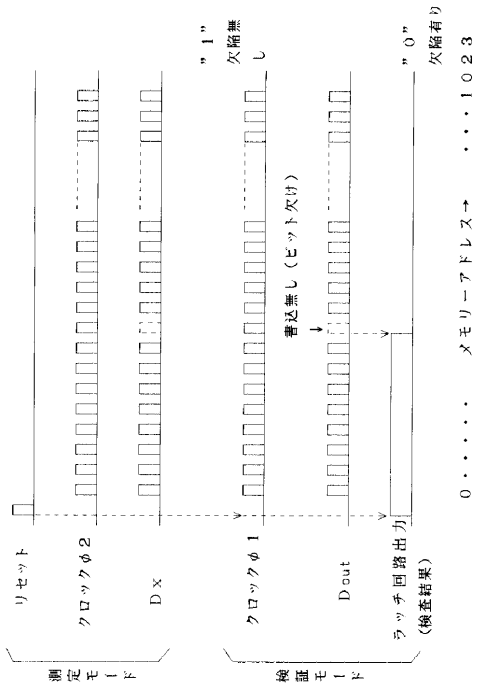
【図４】


φ1
Vx
被検査
デバイス
(ADC)
Dx
データ値
出現頻度
統計処理
1
41

【図５】


↑
出現頻度
ビット欠け
3
2
1
0 1 2 3 4 5 ・・・・・・・・・・・・・・・・・・・・・・・・1023
A／D変換器の出力データ値

【図３】


"1"
欠陥無し
"0"
欠陥有り
0・・・・・・ メモリーアドレス→ ・・・1023
書込無し（ビット欠け）
リセット
クロックφ2
Dx
クロックφ1
Dout
ラッチ回路出力
(検査結果)
測定モード
検証モード

フロントページの続き

(56)参考文献 特開昭６２－０７２２２６（ＪＰ，Ａ）
特開昭５９－２２３０１８（ＪＰ，Ａ）
特開昭６３－１０５５２７（ＪＰ，Ａ）
特開平０１－１２０１２５（ＪＰ，Ａ）
実開平０４－０７１０３５（ＪＰ，Ｕ）
特開平０１－３００６２３（ＪＰ，Ａ）
実開昭５７－１３９８７１（ＪＰ，Ｕ）
特開平０２－２１０２７３（ＪＰ，Ａ）
実開平０２－０２３７２５（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G01R31/28-31/3193
H03M1/10