【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第１部門第２区分
【発行日】平成26年11月27日(2014.11.27)

【公開番号】特開2014-195639(P2014-195639A)
【公開日】平成26年10月16日(2014.10.16)
【年通号数】公開・登録公報2014-057
【出願番号】特願2014-27503(P2014-27503)
【国際特許分類】
Ａ６３Ｆ　7/02　(2006.01)
Ａ６３Ｆ　5/04　(2006.01)
【ＦＩ】
Ａ６３Ｆ　7/02　３２６Ｚ
Ａ６３Ｆ　7/02　３３４
Ａ６３Ｆ　5/04　５１２Ｚ

【手続補正書】
【提出日】平成26年10月9日(2014.10.9)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
マイクロプロセッサを備えた遊技台であって、
前記遊技台は、ぱちんこ機またはスロットマシンであり、
前記マイクロプロセッサは、ＣＰＵを内蔵するマイクロプロセッサであり、
前記マイクロプロセッサは、ＲＯＭを内蔵するマイクロプロセッサであり、
前記ＲＯＭは、複数種類の命令で構成された制御プログラムが記憶されており、
前記ＣＰＵは、複数種類のレジスタを有し、
前記複数種類のレジスタのうちの一のレジスタ（以下、「第三のレジスタ」という。）は、フラグレジスタであり、
前記第三のレジスタは、複数のビットから構成されるレジスタであり、
前記複数のビットのうちの一のビット（以下、「第一のビット」という。）は、第一のゼロフラグとして機能するビットであり、
前記複数のビットのうちの一のビット（以下、「第二のビット」という。）は、第二のゼロフラグとして機能するビットであり、
前記ＣＰＵは、前記複数種類の命令を実行可能であり、
前記複数種類の命令のうちの一の命令（以下、「第一の命令」という。）は、ジャンプ先アドレスを特定可能に構成されたジャンプ命令であり、
前記第一の命令は、前記複数種類のレジスタのうちの一のレジスタ（以下、「第一のレジスタ」という。）の値に基づいて動作することを特定可能に構成されており、
前記ＣＰＵは、前記第一の命令を受け付けた場合に、前記第一のレジスタの値が０ではない場合に、前記第一のゼロフラグおよび前記第二のゼロフラグ（以下、「２つのゼロフラグ」という。）をクリアし、前記ジャンプ先アドレスにジャンプする動作を実行するように構成され、
前記ＣＰＵは、前記第一の命令を受け付けた場合に、前記第一のレジスタの値が０である場合に、前記２つのゼロフラグをセットし、該第一の命令の後続の命令を実行するように構成されており、

前記第一のレジスタは、アキュムレータおよび汎用レジスタのうちの一方のレジスタであり、
前記複数種類の命令のうちの一の命令（以下、「第二の命令」という。）は、リターン命令であり、
前記第二の命令は、前記複数種類のレジスタのうちの一のレジスタ（以下、「第二のレジスタ」という。）の値に基づいて動作することを特定可能に構成されており、
前記ＣＰＵは、前記第二の命令を受け付けた場合に、前記第二のレジスタの値が０ではない場合に、前記２つのゼロフラグをクリアし、呼び出し元の処理に復帰する動作を実行するように構成され、
前記ＣＰＵは、前記第二の命令を受け付けた場合に、前記第二のレジスタの値が０である場合に、前記２つのゼロフラグをセットし、該第二の命令の後続の命令を実行するように構成されており、
前記第二のレジスタは、アキュムレータおよび汎用レジスタのうちの一方のレジスタであり、
前記ＣＰＵによって、前記遊技台の遊技制御が行われる、
ことを特徴とする遊技台。
【請求項２】
請求項１に記載の遊技台であって、
前記第一のビットと前記第二のビットは、前記複数のビットのうちの別のビットである、
ことを特徴とする遊技台。
【請求項３】
請求項１または請求項２に記載の遊技台であって、
主制御手段と、
払出制御手段と、を備え、
前記遊技制御は、前記主制御手段による制御（以下、「主制御」という。）および前記払出制御手段による制御（以下、「払出制御」という。）を含む制御であり、
前記主制御手段は、前記払出制御手段に対してコマンド信号を送信可能であり、
前記マイクロプロセッサは、前記主制御手段および前記払出制御手段のうちの少なくとも一方の手段に設けられており、
前記ＣＰＵによって、前記主制御および前記払出制御のうちの少なくとも一方の制御が行われる、
ことを特徴とする遊技台。
【請求項４】
請求項１乃至３のいずれか一項に記載の遊技台であって、
前記ＣＰＵは、複数種類の前記汎用レジスタ（以下、「複数種類の汎用レジスタ」という。）を備えており、
前記複数種類の汎用レジスタとは、Ｂレジスタ、Ｃレジスタ、Ｄレジスタ、Ｅレジスタ、Ｈレジスタ、Ｌレジスタ、Ｂ'レジスタ、Ｃ'レジスタ、Ｄ'レジスタ、Ｅ'レジスタ、Ｈ'レジスタおよびＬ'レジスタの１２種類のレジスタのことである、
ことを特徴とする遊技台。
【請求項５】
請求項１乃至４のいずれか一項に記載の遊技台であって、
前記第一のレジスタは、前記アキュムレータである、
ことを特徴とする遊技台。
【請求項６】
請求項４に記載の遊技台であって、
前記第一のレジスタは、前記複数種類の汎用レジスタのうちの一の汎用レジスタである、
ことを特徴とする遊技台。

【請求項７】
請求項１乃至６のいずれか一項に記載の遊技台であって、
前記第二のレジスタは、前記アキュムレータである、
ことを特徴とする遊技台。
【請求項８】
請求項４または請求項６に記載の遊技台であって、
前記第二のレジスタは、前記複数種類の汎用レジスタのうちの一の汎用レジスタである、
ことを特徴とする遊技台。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００４
【補正方法】変更
【補正の内容】
【０００４】
しかしながら、特許文献１記載の遊技台では、電源投入時の不正行為を有効に阻止することができるものの、マイクロプロセッサに関しては他の機能についても更なる改良が求められている。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】０００５
【補正方法】変更
【補正の内容】
【０００５】
本発明は、このような従来の問題点を解決するためになされたものであって、改良したマイクロプロセッサが搭載された遊技台を提供することを目的とする。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】０００６
【補正方法】変更
【補正の内容】
【０００６】
本発明に係る遊技台は、マイクロプロセッサを備えた遊技台であって、前記遊技台は、ぱちんこ機またはスロットマシンであり、前記マイクロプロセッサは、ＣＰＵを内蔵するマイクロプロセッサであり、前記マイクロプロセッサは、ＲＯＭを内蔵するマイクロプロセッサであり、前記ＲＯＭは、複数種類の命令で構成された制御プログラムが記憶されており、前記ＣＰＵは、複数種類のレジスタを有し、前記複数種類のレジスタのうちの一のレジスタ（以下、「第三のレジスタ」という。）は、フラグレジスタであり、前記第三のレジスタは、複数のビットから構成されるレジスタであり、前記複数のビットのうちの一のビット（以下、「第一のビット」という。）は、第一のゼロフラグとして機能するビットであり、前記複数のビットのうちの一のビット（以下、「第二のビット」という。）は、第二のゼロフラグとして機能するビットであり、前記ＣＰＵは、前記複数種類の命令を実行可能であり、前記複数種類の命令のうちの一の命令（以下、「第一の命令」という。）は、ジャンプ先アドレスを特定可能に構成されたジャンプ命令であり、前記第一の命令は、前記複数種類のレジスタのうちの一のレジスタ（以下、「第一のレジスタ」という。）の値に基づいて動作することを特定可能に構成されており、前記ＣＰＵは、前記第一の命令を受け付けた場合に、前記第一のレジスタの値が０ではない場合に、前記第一のゼロフラグおよび前記第二のゼロフラグ（以下、「２つのゼロフラグ」という。）をクリアし、前記ジャンプ先アドレスにジャンプする動作を実行するように構成され、前記ＣＰＵは、前記第一の命令を受け付けた場合に、前記第一のレジスタの値が０である場合に、前記

２つのゼロフラグをセットし、該第一の命令の後続の命令を実行するように構成されており、前記第一のレジスタは、アキュムレータおよび汎用レジスタのうちの一方のレジスタであり、前記複数種類の命令のうちの一の命令（以下、「第二の命令」という。）は、リターン命令であり、前記第二の命令は、前記複数種類のレジスタのうちの一のレジスタ（以下、「第二のレジスタ」という。）の値に基づいて動作することを特定可能に構成されており、前記ＣＰＵは、前記第二の命令を受け付けた場合に、前記第二のレジスタの値が０ではない場合に、前記２つのゼロフラグをクリアし、呼び出し元の処理に復帰する動作を実行するように構成され、前記ＣＰＵは、前記第二の命令を受け付けた場合に、前記第二のレジスタの値が０である場合に、前記２つのゼロフラグをセットし、該第二の命令の後続の命令を実行するように構成されており、前記第二のレジスタは、アキュムレータおよび汎用レジスタのうちの一方のレジスタであり、前記ＣＰＵによって、前記遊技台の遊技制御が行われる、ことを特徴とする遊技台である。

【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】０００７
【補正方法】変更
【補正の内容】
【０００７】
本発明に係る遊技台によれば、改良したマイクロプロセッサが搭載された遊技台を実現できる。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】０８０４
【補正方法】変更
【補正の内容】
【０８０４】
また、本実施形態に係る遊技台（例えば、パチンコ機１００）は、マイクロプロセッサを備えた遊技台であって、前記遊技台は、ぱちんこ機またはスロットマシンであり、前記マイクロプロセッサは、ＣＰＵを内蔵するマイクロプロセッサであり、前記マイクロプロセッサは、ＲＯＭを内蔵するマイクロプロセッサであり、前記ＲＯＭは、複数種類の命令で構成された制御プログラムが記憶されており、前記ＣＰＵは、複数種類のレジスタを有し、前記複数種類のレジスタのうちの一のレジスタ（以下、「第三のレジスタ」という。）は、フラグレジスタであり、前記第三のレジスタは、複数のビットから構成されるレジスタであり、前記複数のビットのうちの一のビット（以下、「第一のビット」という。）は、第一のゼロフラグ（例えば、Ｚフラグ）として機能するビットであり、前記複数のビットのうちの一のビット（以下、「第二のビット」という。）は、第二のゼロフラグ（例えば、ＳＺフラグ）として機能するビットであり、前記ＣＰＵは、前記複数種類の命令を実行可能であり、前記複数種類の命令のうちの一の命令（以下、「第一の命令」という。）は、ジャンプ先アドレスを特定可能に構成されたジャンプ命令（例えば、ＣＰＪＰＮＺ命令）であり、前記第一の命令は、前記複数種類のレジスタのうちの一のレジスタ（以下、「第一のレジスタ」という。）の値に基づいて動作することを特定可能に構成されており、前記ＣＰＵは、前記第一の命令を受け付けた場合に、前記第一のレジスタの値が０ではない場合に、前記第一のゼロフラグおよび前記第二のゼロフラグ（以下、「２つのゼロフラグ」という。）をクリアし、前記ジャンプ先アドレスにジャンプする動作を実行するように構成され、前記ＣＰＵは、前記第一の命令を受け付けた場合に、前記第一のレジスタの値が０である場合に、前記２つのゼロフラグをセットし、該第一の命令の後続の命令を実行するように構成されており、前記第一のレジスタは、アキュムレータおよび汎用レジスタのうちの一方のレジスタであり、前記複数種類の命令のうちの一の命令（以下、「第二の命令」という。）は、リターン命令（例えば、ＣＰＲＴＮＺ命令）であり、前記第二の命令は、前記複数種類のレジスタのうちの一のレジスタ（以下、「第二のレジスタ」

という。）の値に基づいて動作することを特定可能に構成されており、前記ＣＰＵは、前記第二の命令を受け付けた場合に、前記第二のレジスタの値が０ではない場合に、前記２つのゼロフラグをクリアし、呼び出し元の処理に復帰する動作を実行するように構成され、前記ＣＰＵは、前記第二の命令を受け付けた場合に、前記第二のレジスタの値が０である場合に、前記２つのゼロフラグをセットし、該第二の命令の後続の命令を実行するように構成されており、前記第二のレジスタは、アキュムレータおよび汎用レジスタのうちの一方のレジスタであり、前記ＣＰＵによって、前記遊技台の遊技制御が行われる、ことを特徴とする遊技台である。

本実施形態に係る遊技台によれば、改良したマイクロプロセッサが搭載された遊技台を提供できる場合がある。

また、前記第一のビットと前記第二のビットは、前記複数のビットのうちの別のビットであってもよい。また、主制御手段（例えば、主制御部３００）と、払出制御手段（例えば、払出制御部６００）と、を備え、前記遊技制御は、前記主制御手段による制御（以下、「主制御」という。）および前記払出制御手段による制御（以下、「払出制御」という。）を含む制御であり、前記主制御手段は、前記払出制御手段に対してコマンド信号を送信可能であり、前記マイクロプロセッサは、前記主制御手段および前記払出制御手段のうちの少なくとも一方の手段に設けられており、前記ＣＰＵによって、前記主制御および前記払出制御のうちの少なくとも一方の制御が行われるものでもよい。

また、前記ＣＰＵは、複数種類の前記汎用レジスタ（以下、「複数種類の汎用レジスタ」という。）を備えており、前記複数種類の汎用レジスタとは、Ｂレジスタ、Ｃレジスタ、Ｄレジスタ、Ｅレジスタ、Ｈレジスタ、Ｌレジスタ、Ｂ'レジスタ、Ｃ'レジスタ、Ｄ'レジスタ、Ｅ'レジスタ、Ｈ'レジスタおよびＬ'レジスタの１２種類のレジスタのことであってもよい。また、前記第一のレジスタは、前記アキュムレータであってもよい。また、前記第一のレジスタは、前記複数種類の汎用レジスタのうちの一の汎用レジスタであってもよい。また、前記第二のレジスタは、前記アキュムレータであってもよい。また、前記第二のレジスタは、前記複数種類の汎用レジスタのうちの一の汎用レジスタであってもよい。

また、本実施形態に係るパチンコ機１００は、マイクロプロセッサ（例えば、マイクロプロセッサ３０００）を少なくとも備えた遊技台であって、前記遊技台は、ぱちんこ機またはスロットマシンであり、前記マイクロプロセッサは、ＣＰＵ（例えば、ＣＰＵ３０４）が少なくとも搭載されたものであり、前記マイクロプロセッサは、ＲＯＭ（例えば、ＲＯＭ（内蔵ＲＯＭ）３０６）が少なくとも搭載されたものであり、前記マイクロプロセッサは、乱数回路（例えば、乱数生成回路３１８）が少なくとも搭載されたものであり、前記ＲＯＭは、ユーザプログラムが少なくとも記憶されたものであり、前記ユーザプログラムは、第一の処理（例えば、主制御部メイン処理）のプログラムを少なくとも含むプログラムであり、前記ユーザプログラムは、第二の処理（例えば、主制御部タイマ割込処理）のプログラムを少なくとも含むプログラムであり、前記乱数回路は、設定された値の範囲で、乱数値を発生可能なものであり、前記第一の処理は、前記ＣＰＵがリセットされた場合に、先頭から開始される処理であり、前記第二の処理は、割込みの発生に応じて、先頭から開始される処理であり、前記第二の処理のプログラムは、前記乱数値を前記乱数回路のレジスタからロードする命令を少なくとも含むプログラムであり、前記ＣＰＵがリセットされた場合に、前記割込みの発生が禁止された状態にされるように構成されており、前記値の範囲は、前記割込みの発生が禁止された状態において設定されるものであり、前記乱数回路は、設定された前記値の範囲で、値の更新を少なくとも実行可能なものであり、前記割込みの発生が許可されるよりも前に、前記値の更新が少なくとも開始される、ことを特徴とする遊技台である。