



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월25일
(11) 등록번호 10-0890211
(24) 등록일자 2009년03월17일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/027 (2006.01)

H01L 21/8247 (2006.01)

(21) 출원번호 10-2007-0114542

(22) 출원일자 2007년11월09일

심사청구일자 2007년11월09일

(56) 선행기술조사문헌

KR100613289 B1*

KR100651374 B1*

KR1020060131666 A

JP2004288802 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

주병권

서울시 종로구 평창동 234-24번지(8/5)

이의복

경기도 의정부시 호원동 한주아파트 301동 1906호

(뒷면에 계속)

(74) 대리인

김정식

전체 청구항 수 : 총 14 항

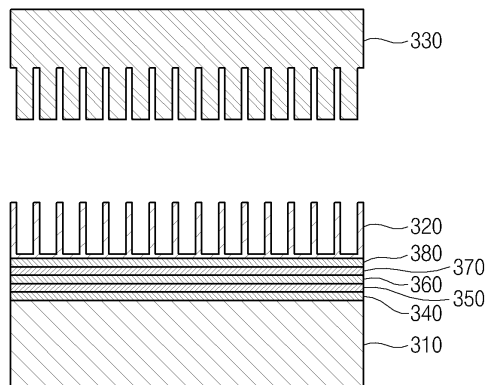
심사관 : 진상범

(54) 나노 임프린팅 방식을 이용한 비휘발성 메모리 소자 제조방법

(57) 요약

본 발명은 나노 임프린팅 기술을 적용하여 비휘발성 메모리 소자를 제조하는 방법을 개시한다. 본 발명은 (a) 기판위에 레지스트층을 형성하고, 요철이 형성된 스탬프를 상기 레지스트층에 접촉시켜 상기 레지스트층에 상기 스탬프의 요철 패턴을 전사하는 단계; (b) 상기 레지스트층에 형성된 요홈부 영역에 드러난 상기 기판위에 메모리층을 형성하는 단계; (c) 상기 메모리층들 사이에 위치하는 레지스트층을 제거하는 단계; 및 (d) 상기 기판에 대해서 이온 주입 공정을 수행하여 상기 메모리층들 사이에 소오스 및 드레인 영역을 형성하는 단계를 포함한다. 본 발명은 나노 임프린팅 기술을 이용하여 반도체 기판위에 미세한 패턴을 전사함으로써, 종래의 포토레지스트를 이용하여 패턴을 형성하는 경우보다 더 미세한 패턴을 반도체 기판위에 형성할 수 있고, 따라서 나노 스케일의 비휘발성 메모리 소자를 종래의 공정에 비하여 간편하게 제조할 수 있는 효과가 있다.

대표도 - 도3i



(72) 발명자

권재홍

서울시 성북구 석관동 131-11 4층 석관1동

신경

서울시 광진구 중곡1동 234-33

여철호

경기도 의정부시 신곡1동 서해아파트 102동 304호

특허청구의 범위

청구항 1

나노 임프린팅 방식을 이용한 비휘발성 메모리 소자 제조 방법으로서,

(a) 기판위에 레지스트층을 형성하고, 요철이 형성된 스탬프를 상기 레지스트층에 접촉시켜 상기 레지스트층에 상기 스탬프의 요철 패턴을 전사하는 단계;

(b) 상기 레지스트층에 형성된 요홈부 영역에 드러난 상기 기판위에 메모리층을 형성하는 단계;

(c) 상기 메모리층들 사이에 위치하는 레지스트층을 제거하는 단계; 및

(d) 상기 기판에 대해서 이온 주입 공정을 수행하여 상기 메모리층들 사이에 소오스 및 드레인 영역을 형성하는 단계를 포함하고,

상기 메모리층은 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층이 순차적으로 형성된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 2

제 1 항에 있어서, 상기 (a) 단계는

(a1) 자외선에 경화되는 물질을 이용하여 상기 레지스트층을 상기 기판위에 형성하는 단계;

(a2) 요철부가 형성된 투명 재질의 스탬프를 상기 레지스트층에 접촉시키는 단계; 및

(a3) 상기 스탬프를 통해서 상기 레지스트층으로 자외선을 조사하여 상기 레지스트층을 경화시켜 상기 요철부의 형상을 전사하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 (b) 단계는

(b1) 상기 기판위에 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층을 순차적으로 증착하여 상기 메모리층을 형성하는 단계; 및

(b2) 상기 (d) 단계에서 수행되는 이온 주입 공정에서 상기 메모리층을 보호하는 보호층을 상기 게이트 전극층 위에 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 5

제 4 항에 있어서, 상기 전하 포획층은

질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 6

제 4 항에 있어서, 상기 전하 포획층은

텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 7

제 4 항에 있어서, 상기 전하 포획층은

실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 8

제 4 항에 있어서, 상기 (d) 단계는

상기 기판에 대해서 이온 주입 공정을 수행하여 상기 메모리층들 사이에 소오스 및 드레인 영역을 형성하는 단계; 및

상기 보호층을 제거하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 9

나노 임프린팅 방식을 이용한 비휘발성 메모리 소자 제조 방법으로서,

(a) 기판위에 메모리층을 형성하는 단계;

(b) 상기 메모리층위에 레지스트층을 형성하고, 요철이 형성된 스탬프를 상기 레지스트층에 가압하여 상기 레지스트층에 상기 스탬프의 요철 패턴을 전사하는 단계;

(c) 상기 레지스트층의 요홈부 아래에 형성된 메모리층을 상기 기판이 드러나도록 식각하는 단계; 및

(d) 상기 레지스트층을 제거하고 상기 기판에 이온 주입 공정을 수행하여 상기 메모리층들 사이에 소오스 및 드레인 영역을 형성하는 단계를 포함하고,

상기 메모리층은 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층이 순차적으로 형성된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 10

삭제

청구항 11

제 9 항에 있어서, 상기 (a) 단계는

(a1) 상기 기판위에 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층을 순차적으로 증착하여 상기 메모리층을 형성하는 단계; 및

(a2) 상기 (d) 단계에서 수행되는 이온 주입 공정에서 상기 메모리층을 보호하는 보호층을 상기 게이트 전극층 위에 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 12

제 11 항에 있어서, 상기 전하 포획층은

질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성된 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 13

제 11 항에 있어서, 상기 전하 포획층은

텅스텐, 폴리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 14

제 11 항에 있어서, 상기 전하 포획층은

실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성되는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

청구항 15

제 11 항에 있어서,

상기 (d) 단계 이후에 상기 보호층을 제거하는 단계를 더 포함하는 것을 특징으로하는 비휘발성 메모리 소자 제조 방법.

청구항 16

제 9 항에 있어서, 상기 (b) 단계는

(b1) 상기 메모리층위에 레지스트층을 형성하고, 유리 전도 온도 이상의 온도에서 요철이 형성된 스탬프를 상기 레지스트층에 접촉시켜 가압하는 단계; 및

(b2) 상기 기판을 냉각시키고 상기 스탬프를 상기 레지스트층에서 분리하여 상기 레지스트층에 상기 스탬프의 요철 패턴을 전사하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 비휘발성 메모리 소자의 제조 방법에 관한 것으로서, 보다 구체적으로는 나노 임프린팅 방식을 이용하여 비휘발성 메모리 소자를 제조하는 방법에 관한 것이다.

배경 기술

<2> 일반적으로 반도체 메모리 장치는 휘발성 메모리 장치와 비휘발성 메모리 장치로 구별될 수 있다. 휘발성 메모리 장치는 디램(DRAM:Dynamic Random Access Memory) 및 에스램(SRAM:Static Random Access Memory)과 같이 데이터의 입출력은 빠르지만, 전원이 끊어지면 저장된 데이터를 잃어버리는 메모리 장치이다. 이에 반해, 비휘발성 메모리 장치는 전원이 끊어져도 저장된 데이터를 계속 유지하는 메모리 장치이다.

<3> 플래시 메모리 장치는 비휘발성 메모리 장치의 일종으로서, 프로그램(program) 및 소거(erase)가 가능한 이피롬(EPROM:Erased Programmable Read Only Memory)과 전기적으로 프로그램 및 소거가 가능한 이이피롬(EEPROM:Electrically Erasable Programmable Read Only Memory)의 장점을 조합하여 개발된 고집적 장치이다. 플래시 메모리 장치는 단위 셀을 구성하는 데이터 저장층의 종류에 따라 부유 게이트형(floating gate type) 플래시 메모리 장치와 부유 트랩형(floating trap type) 플래시 메모리 장치로 구분된다.

<4> 부유 게이트형 플래시 메모리 장치가 폴리 실리콘층에 전하를 저장하는 것과는 달리, 전하 트랩형 플래시 메모리 장치는 비도전성 전하 포획층 내에 형성되는 트랩에 전하를 저장한다. 전하 트랩형 메모리 장치의 메모리 셀은 실리콘 기판 상에 차례로 형성된 터널 절연막(510), 전하 포획층인 실리콘 질화막, 블로킹 절연막 및 도전막으로 구성된 게이트의 적층 구조를 갖는다.

<5> 도 1 은 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치(10)의 단면도이다. 도 1을 참조하면, 메모리 장치(10)의 메모리 셀은 기판(11)에 형성된 소오스/드레인(17) 영역 사이의 채널 영역(18) 상에 산화막(12), 질화막(13), 및 산화막(14)으로 이루어진 ONO막(15) 및 폴리 실리콘(16)이 차례로 적층된 구조이다. 이 메모리 셀은 ONO막(15)의 질화막(13)에 트랩된 전하의 유무에 따라 논리 '0' 또는 논리 '1' 중 어느 한 상태를 나타내는 단일 비트(single bit) 구조이다.

<6> 최근에는, 전자 기기의 소형화 및 다기능화 추세에 따라서 비휘발성 메모리뿐만 아니라, 휘발성 메모리의 경우에도, 가능한 작은 공간에 많은 데이터를 저장할 수 있도록 집적도를 높이는 연구가 지속적으로 수행되고 있으며, 최근의 연구는 원자/분자 레벨의 미세 구조 제작, 조작/제어를 통해서 소자들을 가능한 더욱 작게하여 새로운 기능성을 부여하는 것을 제안하고 있다.

<7> 따라서, 이러한 레벨의 소자를 제작할 수 있는 미세 구조 제작 방법(microfabrication)은 현대 과학과 기술에서 중요한 위치를 차지하고 있다.

<8> 지금까지 가장 널리 사용되고 있는 미세 구조 제작 기술 중의 하나는 포토리소그래피(photolithography)로써, 포토레지스트 박막이 입혀진 기판 위에 패턴을 형성시키는 방법이다.

<9> 이때 형성되는 패턴의 크기는 광학적 회절 현상에 의해 제한을 받게 되며, 분해능은 거의 사용 광선의 파장에 비례한다. 따라서, 반도체 소자의 집적도가 높아질수록 미세 패턴을 형성하기 위해 파장이 짧은 노광 기술이 요

구된다.

- <10> 그런데, 반도체 소자의 집적도가 커짐에 따라 광학적 방법에 의한 포토레지스트 패턴 형성 방법은 다음과 같은 문제점이 발생된다.
- <11> 우선, 빛을 사용하여 포토레지스트를 패터닝하므로 빛에 의한 간섭효과의 영향으로 포토레지스트 패턴 자체 또는 패턴사이에서 물리적인 형태가 달라지게 된다. 여기서, 주로 문제가 되는 것은 포토레지스트 패턴의 CD(critical dimension)의 불균일한 변화이다. 포토레지스트 패턴의 CD가 전체적으로 균일하지 않고 하부막의 영역에 따라 달라지게 되면, 포토레지스트 패턴을 마스크로 하여 패터닝되어 형성되는 물질층 패턴도 처음에 원하던 형태와는 다른 형태로 형성된다.
- <12> 또한, 다른 문제점은, 공정중에 발생하는 불순물과 포토레지스트가 반응하여 포토레지스트가 침식되어 포토레지스트 패턴이 변하게 된다. 상기 포토레지스트의 침식은 포토레지스트 패턴을 마스크로 하여 패터닝되어 형성되는 물질층 패턴도 처음에 원하던 형태와는 다른 형태를 갖게 된다.
- <13> 따라서, 종래 방식에 따른 비휘발성 메모리 소자 제조 방식은, 채널의 길이를 나노 단위 이하로 형성하여 소자를 초소형화 하기에는 한계가 존재하였다.

발명의 내용

해결 하고자하는 과제

- <14> 본 발명이 이루고자 하는 기술적 과제는 나노 임프린팅 기술을 적용하여 미세 패턴으로 비휘발성 메모리 소자를 제조하는 방법을 제공하는 것이다.

과제 해결수단

- <15> 상술한 기술적 과제를 이루기 위한 본 발명의 비휘발성 메모리 제조 방법은, 나노 임프린팅 방식을 이용한 비휘발성 메모리 소자 제조 방법으로서, (a) 기판위에 레지스트층을 형성하고, 요철이 형성된 스탬프를 레지스트층에 접촉시켜 레지스트층에 스탬프의 요철 패턴을 전사하는 단계; (b) 레지스트층에 형성된 요홈부 영역에 드러난 기판위에 메모리층을 형성하는 단계; (c) 메모리층들 사이에 위치하는 레지스트층을 제거하는 단계; 및 (d) 기판에 대해서 이온 주입 공정을 수행하여 메모리층들 사이에 소오스 및 드레인 영역을 형성하는 단계를 포함한다.
- <16> 또한, 상술한 (a) 단계는, (a1) 자외선에 경화되는 물질을 이용하여 레지스트층을 기판위에 형성하는 단계; (a2) 요철부가 형성된 투명 재질의 스탬프를 레지스트층에 접촉시키는 단계; 및 (a3) 스탬프를 통해서 레지스트층으로 자외선을 조사하여 레지스트층을 경화시켜 요철부의 형상을 전사하는 단계를 포함할 수 있다.
- <17> 또한, 상술한 메모리층은 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층이 순차적으로 형성될 수 있다.
- <18> 또한, 상술한 (b) 단계는, (b1) 기판위에 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층을 순차적으로 증착하여 메모리층을 형성하는 단계; 및 (b2) (d) 단계에서 수행되는 이온 주입 공정에서 메모리층을 보호하는 보호층을 게이트 전극층 위에 형성하는 단계를 포함할 수 있다.
- <19> 또한, 상술한 전하 포획층은 질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다.
- <20> 또한, 상술한 전하 포획층은, 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다.
- <21> 또한, 상술한 전하 포획층은, 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택되는 하나의 반도체 재료로 형성될 수 있다.
- <22> 또한, 상술한 (d) 단계는, 기판에 대해서 이온 주입 공정을 수행하여 메모리층들 사이에 소오스 및 드레인 영역을 형성하는 단계; 및 보호층을 제거하는 단계를 포함할 수 있다.
- <23> 한편, 상술한 기술적 과제를 이루기 위한 본 발명의 다른 비휘발성 메모리 소자 제조 방법은, 나노 임프린팅 방식을 이용한 비휘발성 메모리 소자 제조 방법으로서, (a) 기판위에 메모리층을 형성하는 단계; (b) 메모리층위에 레지스트층을 형성하고, 요철이 형성된 스탬프를 레지스트층에 가압하여 레지스트층에 스탬프의 요철 패턴을

전사하는 단계; (c) 레지스트층의 요홈부 아래에 형성된 메모리층을 기판이 드러나도록 식각하는 단계; 및 (d) 레지스트층을 제거하고 기판에 이온 주입 공정을 수행하여 메모리층들 사이에 소오스 및 드레인 영역을 형성하는 단계를 포함할 수 있다.

- <24> 또한, 상술한 메모리층은 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층이 순차적으로 형성될 수 있다.
- <25> 또한, 상술한 (a) 단계는, (a1) 기판위에 터널 절연막, 전하 포획층, 차단 절연막, 및 게이트 전극층을 순차적으로 증착하여 메모리층을 형성하는 단계; 및 (a2) (d) 단계에서 수행되는 이온 주입 공정에서 메모리층을 보호하는 보호층을 게이트 전극층 위에 형성하는 단계를 포함할 수 있다.
- <26> 상술한 전하 포획층은, 질화막, 고유전상수를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다.
- <27> 또한, 상술한 전하 포획층은, 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐으로 구성되는 그룹에서 선택되는 하나의 금속 또는 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다.
- <28> 또한, 상술한 전하 포획층은, 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물 또는 II-VI족 화합물로 구성되는 그룹에서 선택될 수 있다.
- <29> 또한, 상술한 (d) 단계 이후에 보호층을 제거하는 단계를 더 포함할 수 있다.
- <30> 또한, 상술한 (b) 단계는, (b1) 메모리층위에 레지스트층을 형성하고, 유리 전도 온도 이상의 온도에서 요철이 형성된 스탬프를 레지스트층에 접촉시켜 가압하는 단계; 및 (b2) 기판을 냉각시키고 스탬프를 레지스트층에서 분리하여 레지스트층에 스탬프의 요철 패턴을 전사하는 단계를 포함할 수 있다.

효 과

- <31> 상술한 바와 같이, 본 발명은 나노 임프린팅 기술을 이용하여 반도체 기판위에 미세한 패턴을 전사함으로써, 종래의 포토레지스트를 이용하여 패턴을 형성하는 경우보다 더 미세한 패턴을 반도체 기판위에 형성할 수 있고, 따라서 나노 스케일의 비휘발성 메모리 소자를 종래의 공정에 비하여 간편하게 제조할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <32> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- <33> 도 2a 내지 도 2m 은 본 발명의 바람직한 제 1 실시예에 따른 SONOS 구조의 비휘발성 메모리 소자 제조 공정을 설명하는 도면이다. 도 2a 내지 도 2m 을 참조하여 제 1 실시예에 따른 SONOS 구조의 비휘발성 메모리 소자 제조 방법을 설명한다.
- <34> 본 발명에 따라서 비휘발성 메모리 소자를 제조하기 위해서, 먼저, 반도체 기판(210)에 대해서 공지의 RCA 세정 방식으로 반도체 기판(210) 표면에 세정 공정을 수행한 후, 자외선에 의해서 경화되고 비교적 낮은 점성을 갖는 자외선 경화 수지(UV curing polymer resin; 이하 "레지스트층"으로 약칭함)를 반도체 기판(210)에 스핀 코팅하여, 도 2a 에 도시된 바와 같이, 반도체 기판(210)상에 레지스트층(220)을 형성한다.
- <35> 레지스트층(220)이 형성되면, 도 2b 에 도시된 바와 같이, 레지스트층(220)에 패턴을 전사할 스탬프(230)를 반도체 기판(210)과 대향하도록 정렬한다.
- <36> 이 때, 스탬프(230)는 스탬프(230)를 통해서 자외선을 레지스트층(220)에 조사할 수 있도록 투명 재질로 제작되고, 본 발명의 바람직한 실시예는 스탬프(230)를 석영(Quartz)으로 제작한다.
- <37> 또한, 스탬프(230)에는 요홈부(234)와 돌출부(232)로 구성되는 요철이 형성되어 있고, 돌출부(232)의 폭은 비휘발성 메모리 소자의 채널 길이를 결정하므로, 스탬프(230)는 제조하고자 하는 비휘발성 메모리 소자의 채널 길이에 대응되도록 돌출부(232)의 폭이 형성된다. 본 발명의 바람직한 실시예에서는 돌출부(232)의 폭은 20nm 내지 100nm 정도로 형성할 수 있고, 20nm 내지 50nm 정도로 형성되는 것이 바람직하다.
- <38> 스탬프(230)와 반도체 기판(210)이 정렬되면, 레지스트층(220)을 형성하는 물질이 스탬프(230)의 요홈부(234)로 충전되어 스탬프(230)의 요철 패턴이 레지스트층(220)에 전사되도록 스탬프(230)를 반도체 기판(210)위에 형성된 레지스트층(220)과 접촉시키고, 그 후, 스탬프(230)를 통해 자외선을 조사하여 패턴이 전사된 레지스트층

(220)을 경화시킨다. 이 때, 본 발명의 바람직한 제 1 실시예는 5mW 세기의 자외선을 약 44초간 레지스트층(220)에 조사하여 레지스트층(220)을 경화시킨다.

<39> 자외선의 조사에 의해서 레지스트층(220)이 경화되면, 도 2d 에 도시된 바와 같이, 스탬프(230)를 레지스트층(220)으로부터 분리하고, 스탬프(230)가 분리된 레지스트층(220)에는 스탬프(230)의 요철부 패턴이 전사된다.

<40> 그 후, 레지스트층(220)에 형성된 요홈부 아래에 위치한 반도체 기판(210)이 드러나도록, CHF_3 또는 O_2 를 이용한 플라즈마 에칭 공정을 수행하여 레지스트층(220)을 식각하고(도 2e 참조), 드러난 반도체 기판(210)위에 메모리층을 순차적으로 형성한다.

<41> 반도체 기판(210) 위에 메모리층을 형성하기 위해서, 먼저, 도 2f 에 도시된 바와 같이, 반도체 기판(210)위에 터널 절연막(240)을 증착하여 형성한다.

<42> 터널 절연막(240)은 열산화 공정 또는 공지의 박막증착 공정을 통해서 수 nm 의 두께로 채널 영역위에 형성된 산화막으로서 실리콘 산화막(SiO_2) 등으로 형성될 수 있다. 터널 절연막(240)의 두께가 얇을수록 게이트 전극층(270)에 낮은 프로그램 전압을 인가해도 되고, 신속한 프로그램 및 소거가 가능할 뿐만 아니라, 프로그램 및 소거 동작의 성공 가능성이 높은 장점이 있는 반면, 전하 유지력이 낮은 문제점이 있다. 따라서, 터널 절연막(240)의 두께는 프로그램 및 소거 전압 및 속도 등의 변수에 따라서 적절한 수준에서 가능한 얇게 선택되는 것이 바람직하고, 본 발명의 바람직한 실시예에서는 1 내지 10 nm 의 두께로 형성한다.

<43> 한편, 터널 절연막(240)이 형성된 후, 도 2g 에 도시된 바와 같이, 터널 절연막(240) 위에 전하 포획층(250)을 3 내지 150nm 의 두께로 형성한다. 전하 포획층(250)은 절화막뿐만 아니라 전하를 저장할 수 있는 모든 물질들이 이용될 수 있다.

<44> 예컨대, 전하 포획층(250)은 고유전상수(high-k)를 갖는 물질, 및 비정질 폴리 실리콘 물질 중 어느 하나로 형성될 수 있다. 또한, 전하 포획층(250)은, 텅스텐, 몰리브덴, 코발트, 니켈, 백금, 로듐, 팔라듐 및 이리듐 등의 금속이나, 이들의 혼합물 또는 이들의 합금으로 형성될 수 있다. 또한, 전하 포획층(250)은 실리콘, 게르마늄, 실리콘과 게르마늄의 혼합물, III-V족 화합물(III족의 Al, Ga, In 과 V족의 P, As, Sb와의 조합) 또는 II-VI족 화합물(II족의 Zn, Cd, Hg와 VI족의 O, S, Se, Te의 조합) 등의 반도체 재료로 형성될 수도 있다. 또한, 전하 포획층(250)은 알루미늄산화막(Al_2O_3), hafnium산화막(HfO), hafnium알루미늄산화막(HfAlO), hafniumsilicon산화막(HfSiO) 등과 같은 전하에 대한 포획 밀도가 높은 절연체로도 형성될 수 있다.

<45> 전하 포획층(250)이 형성된 후, 전하 포획층(250) 위에 차단 절연막(260)을 형성하고(도 2h 참조), 차단 절연막(260) 위에 게이트 전극층(270)을 형성한다(도 2i 참조).

<46> 차단 절연막(260)은 전하 포획층들에 저장된 전하가 게이트 전극층(270)으로 누설되는 것을 방지하기 위해서 적어도 터널 절연막(240)보다 두껍게 형성되는 것이 바람직하다. 본 발명의 바람직한 실시예에서 차단 절연막(260)은 3 내지 150nm 의 두께로 형성되고, 차단 산화막으로서의 역할을 충실히 수행하면서 스케일링 다운을 고려하여 6 내지 70 nm의 두께로 형성되는 것이 바람직하다. 또한, 차단 절연막(260)은 상술한 터널 절연막(240)형성에 이용될 수 있는 물질들을 이용하여 형성될 수 있다.

<47> 게이트 전극층(270)은 폴리실리콘, 금속, 폴리실리콘상에 금속-실리사이드가 형성된 폴리사이드 구조 등 통상적으로 게이트 전극으로 사용되는 모든 전도성 물질로 형성될 수 있다. 소자의 고집적화에 따라서 게이트 전극의 선폴이 좁아질 경우 저항이 증가될 것을 고려하여 폴리실리콘보다는 전도성이 우수한 금속이나 폴리사이드 구조로 게이트 전극층(270)이 형성되는 것이 바람직하다.

<48> 터널 절연막(240), 전하 포획층(250), 차단 절연막(260), 및 게이트 전극층(270)으로 구성되는 비휘발성 메모리층이 형성된 후, 후술하는 이온 주입 공정에서 비휘발성 메모리층을 보호하기 위하여, 도 2j 에 도시된 바와 같이, 비휘발성 메모리층 위에 보호층(280)을 증착 형성한다. 보호층(280)은 SiN_x , SiO , SOG 물질 등의 절연 물질들을 이용하여 약 100 nm 내지 200 nm 두께로 형성될 수 있다.

<49> 보호층(280)이 메모리층 위에 형성된 후, 도 2k 에 도시된 바와 같이, 습식 식각 공정을 수행하여 메모리층 사이에 위치한 레지스트층들(220)을 제거하고, 레지스트층들(220)이 제거된 후에는 도 2l 에 도시된 바와 같이, 이온 주입 공정을 실시하여 반도체 기판(210)상에 소오스 및 드레인 영역(290)을 형성한다.

<50> 반도체 기판(210)에 소오스 및 드레인 영역(290)이 형성되면, 도 2m 에 도시된 바와 같이, 보호층(280)을 형성한 물질에 대응되는 식각액을 이용하여 습식 식각을 수행함으로써, 메모리층에서 보호층(280)을 제거하여 나노

스케일의 비휘발성 메모리 소자를 완성한다.

- <51> 지금까지 본 발명의 바람직한 제 1 실시예에 따라서 나노 임프린팅 기술을 이용한 비휘발성 메모리 소자를 제조하는 방법을 설명하였다.
- <52> 도 3a 내지 도 3m 은 본 발명의 바람직한 제 2 실시예에 따라서 나노 임프린팅 기술을 이용하여 SONOS 구조의 비휘발성 메모리 소자를 제조하는 공정을 설명하는 도면이다. 도 3a 내지 도 3m 을 참조하여 본 발명의 바람직한 제 2 실시예를 설명한다.
- <53> 먼저, 도 3a 에 도시된 바와 같이, 공지의 RCA 세정 방식으로 반도체 기판(310) 표면에 세정 공정을 수행한 후, 반도체 기판(310)위에 터널 절연막(340)을 증착하여 형성한다.
- <54> 터널 절연막(340)은 열산화 공정 또는 공지의 박막증착 공정을 통해서 수 nm 의 두께로 채널 영역위에 형성된 산화막으로서 실리콘 산화막(SiO_2) 등으로 형성될 수 있다. 터널 절연막(340)의 두께가 얇을수록 게이트 전극층(370)에 낮은 프로그램 전압을 인가해도 되고, 신속한 프로그램 및 소거가 가능할 뿐만 아니라, 프로그램 및 소거 동작의 성공 가능성이 높은 장점이 있는 반면, 전하 유지력이 낮은 문제점이 있다. 따라서, 터널 절연막(340)의 두께는 프로그램 및 소거 전압 및 속도 등의 변수에 따라서 적절한 수준에서 가능한 얇게 선택되는 것이 바람직하고, 본 발명의 바람직한 실시예에서는 1 내지 10 nm 의 두께로 형성한다.
- <55> 한편, 터널 절연막(340)이 형성된 후, 도 3b 에 도시된 바와 같이, 터널 절연막(340) 위에 전하 포획층(350)을 3 내지 150nm 의 두께로 형성한다. 전하 포획층(350)은 질화막뿐만 아니라 전하를 저장할 수 있는 모든 물질들이 이용될 수 있다. 전하 포획층(350) 형성에 이용될 수 있는 물질은 상술한 제 1 실시예에서 전하 포획층(250)을 형성하는데 이용된 물질과 동일하므로 구체적인 설명은 생략한다.
- <56> 전하 포획층(350)이 형성된 후, 전하 포획층(350) 위에 차단 절연막(360)을 형성하고(도 3c 참조), 차단 절연막(360) 위에 게이트 전극층(370)을 형성한다(도 3d 참조).
- <57> 차단 절연막(360)은 전하 포획층(350)들에 저장된 전하가 게이트 전극층(370)으로 누설되는 것을 방지하기 위해서 적어도 터널 절연막(340)보다 두껍게 형성되는 것이 바람직하다. 본 발명의 바람직한 제 2 실시예에서 차단 절연막(360)은 3 내지 150nm 의 두께로 형성되고, 차단 산화막으로서의 역할을 충실히 수행하면서 스케일링 다운을 고려하여 6 내지 70 nm의 두께로 형성되는 것이 바람직하다. 또한, 차단 절연막(360)은 상술한 터널 절연막(340) 형성에 이용될 수 있는 물질들을 이용하여 형성될 수 있다.
- <58> 게이트 전극층(370)은 폴리실리콘, 금속, 폴리실리콘상에 금속-실리사이드가 형성된 폴리사이드 구조 등 통상적으로 게이트 전극으로 사용되는 모든 전도성 물질로 형성될 수 있다. 소자의 고집적화에 따라서 게이트 전극의 선포이 좁아질 경우 저항이 증가될 것을 고려하여 폴리실리콘보다는 전도성이 우수한 금속이나 폴리사이드 구조로 게이트 전극층(370)이 형성되는 것이 바람직하다.
- <59> 터널 절연막(340), 전하 포획층(350), 차단 절연막(360), 및 게이트 전극층(370)으로 구성되는 비휘발성 메모리층이 형성된 후, 후술하는 이온 주입 공정에서 비휘발성 메모리층을 보호하기 위하여, 도 3e 에 도시된 바와 같이, 비휘발성 메모리층 위에 보호층(380)을 증착 형성한다. 보호층(380)은 SiN_x , SiO , SOG 물질 등의 절연 물질들을 이용하여 약 10 nm 내지 100 nm 두께로 형성될 수 있다.
- <60> 그 후, 도 3f 에 도시된 바와 같이, 메모리층 및 보호층(380)이 형성된 기판(310)위에 폴리메틸메타크릴레이트와 같은 패턴 형성용 레진을 스핀코팅하여 레지스트층(320)을 형성한다.
- <61> 레지스트층(320)이 형성된 후, 도 3g 와 같이 레지스트층(320)에 패턴을 전사할 스탬프(330)를 반도체 기판(310)과 정렬시킨다. 이 때, 스탬프(330)에 형성된 요홈부(334)의 폭은 제 1 실시예의 돌출부(232)와 같이 제조하고자 하는 메모리 소자의 채널의 길이를 결정한다. 따라서, 본 발명의 바람직한 제 2 실시예에서는, 요홈부(334)의 폭이 20nm 내지 100nm 정도가 되도록, 바람직하게는 20nm 내지 50nm 정도가 되도록 스탬프(330)에 요철 패턴이 형성된다.
- <62> 그 후, 도 3h 에 도시된 바와 같이 기판(310) 표면을 고온(유리 전도 온도 이상의 온도; 본 발명의 바람직한 실시예에서는 약 200℃로 가열함)으로 가열한 후 스탬프(330)를 레지스트층(320)에 가압하고, 압력이 유지된 상태에서 반도체 기판(310)의 온도를 냉각시킴으로써 스탬프(330)의 요홈부(334) 및 돌출부(332)를 포함하여 구성되는 요철 패턴을 레지스트층(320)에 전사한다. 이 때, 스탬프(330)에서 레지스트층(320)으로 약 0.2m pascal의 압력이 인가된다.

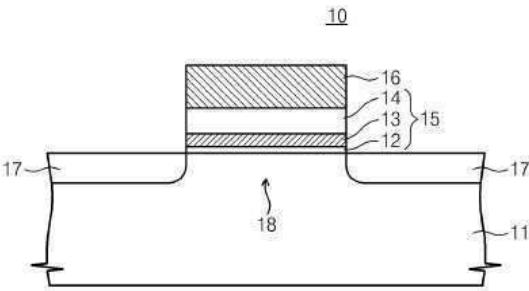
- <63> 패턴이 레지스트층(320)에 전사되면, 도 3i 에 도시된 바와 같이, 스탬프(330)를 상승시켜 스탬프(330)와 레지스트층(320)을 분리하면, 레지스트층(320)에는 스탬프(330)에 형성된 패턴이 그대로 전사된 상태가 되고, 그 후, 반응성 이온 식각 공정(RIE)을 수행하여 도 3j 에 도시된 바와 같이, 반도체 기관(310)이 드러날때까지 레지스트층(320)의 요홈부 아래에 형성된 반도체 메모리층을 식각한다.
- <64> 그 후, 도 3k 에 도시된 바와 같이 레지스트 형성 물질에 대응되는 물질을 이용하여 습식 식각을 수행하여 레지스트층(320)을 제거하고, 레지스트층(320)이 제거된 후 이온 주입 공정을 수행하여 도 3l 에 도시된 바와 같이, 반도체 기관(310)상에 소오스 및 드레인 영역(390)을 형성한다.
- <65> 한편, 반도체 기관(310)에 소오스 및 드레인 영역(390)이 형성된 후, 게이트 전극층(370)위의 보호층(380)을 형성한 물질에 대응되는 식각액을 이용하여 습식 식각을 수행함으로써, 메모리층에서 보호층(380)을 제거하여 나노 스케일의 비휘발성 메모리 소자를 완성한다.
- <66> 지금까지 본 발명의 바람직한 실시예들에 따라서 나노 임프린트 기술을 적용하여 비휘발성 메모리 소자를 제조하는 방법에 대해서 설명하였다. 본 발명의 기술적 사상의 범위내에서 상술한 실시예들로부터 다양한 변형 실시예가 도출될 수도 있음을 주의하여야 한다.
- <67> 예컨대, 상술한 제 1 실시예의 경우에는 UV 임프린팅 기술을 적용하여 비휘발성 메모리 소자를 제조하는 방식을 설명하였으나, 제 2 실시예와 같이, 가열식 임프린팅 기술을 적용할 수도 있다.
- <68> 즉, 반도체 기관위에 폴리메틸메타크릴레이트와 같은 패턴 형성을 레진을 스핀코팅하여 레지스트층을 형성하고, 고온에서 스탬프에 압력을 가하면서 스탬프와 레지스트층을 접촉시켜 스탬프의 패턴을 레지스트층에 전사한 후, 레지스트층에 형성된 패턴의 요홈부 아래에 반도체 기관이 드러나도록 반응 이온 식각을 수행한다.
- <69> 그 후, 드러난 반도체 기관위에 터널 절연막, 전하 포획층, 차단 절연막, 게이트 전극층 및 보호층을 순차적으로 형성하고, 습식 식각을 수행하여 메모리층들 사이에 위치한 레지스트층을 제거한 후, 이온 주입 공정을 수행하여 소오스 및 드레인 영역을 반도체 기관에 형성하고, 메모리층 상부에 형성된 보호층을 제거함으로써 비휘발성 메모리 소자를 완성할 수 있다.
- <70> 또한, 상술한 제 2 실시예의 경우에는 가열식 임프린팅 기술을 적용하여 비휘발성 메모리 소자를 제조하는 방식을 설명하였으나, 제 1 실시예와 같이, UV 임프린팅 기술을 적용할 수도 있다.
- <71> 즉, 도 3a 내지 도 3e 에 도시된 바와 같이 반도체 기관위에 메모리층과 보호층을 형성하고, 보호층 위에 레지스트층을 형성한 후, 투명한 재질의 스탬프를 레지스트층과 접촉시켜 레지스트층 형성 물질이 스탬프의 요홈부로 충전되도록 한 후, 투명한 스탬프를 통해서 자외선을 조사하여 레지스트층을 경화시킨다. 그 후, 스탬프와 기관을 분리시키면 레지스트층에는 스탬프에 형성된 패턴이 그대로 전사된 상태가 되고, 그 이후에는 도 3j 내지 도 3m 을 참조하여 상술한 바와 동일한 공정을 수행하여 나노 스케일의 비휘발성 메모리 소자를 완성할 수 있다.
- <72> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면의 간단한 설명

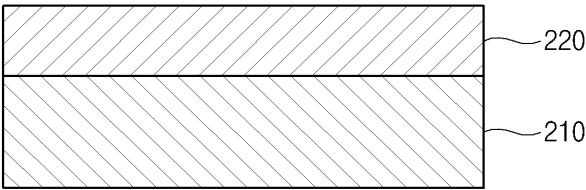
- <73> 도 1 은 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치의 단면도이다.
- <74> 도 2a 내지 도 2m 은 본 발명의 바람직한 제 1 실시예에 따른 SONOS 구조의 비휘발성 메모리 소자 제조 공정을 설명하는 도면이다.
- <75> 도 3a 내지 도 3m 은 본 발명의 바람직한 제 2 실시예에 따라서 나노 임프린팅 기술을 이용하여 SONOS 구조의 비휘발성 메모리 소자를 제조하는 공정을 설명하는 도면이다.

도면

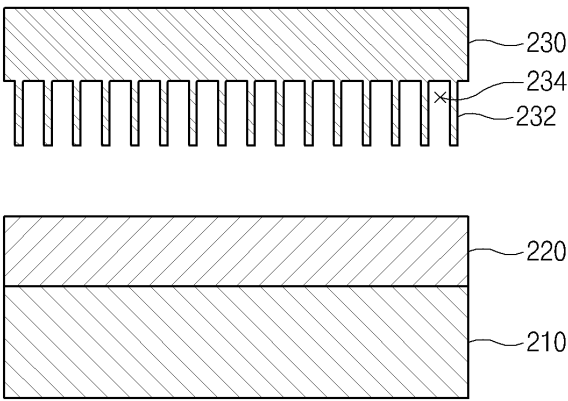
도면1



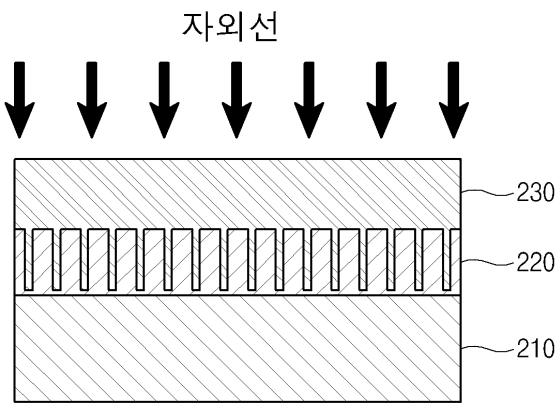
도면2a



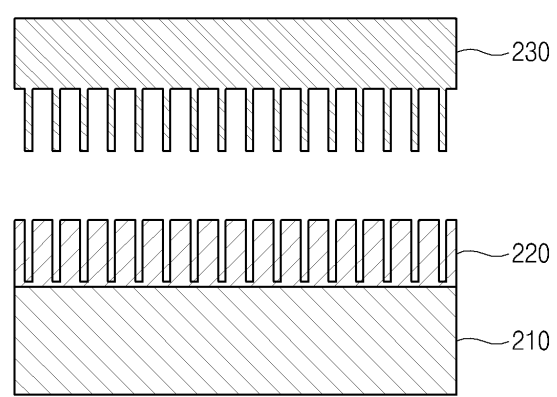
도면2b



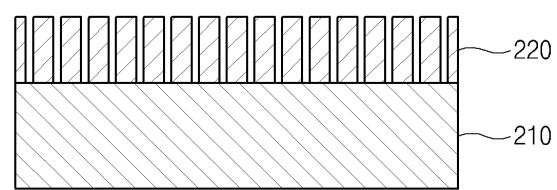
도면2c



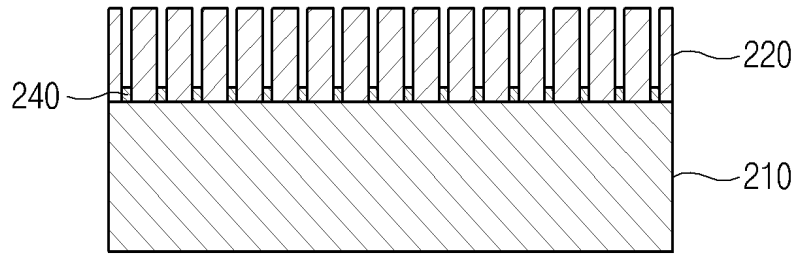
도면2d



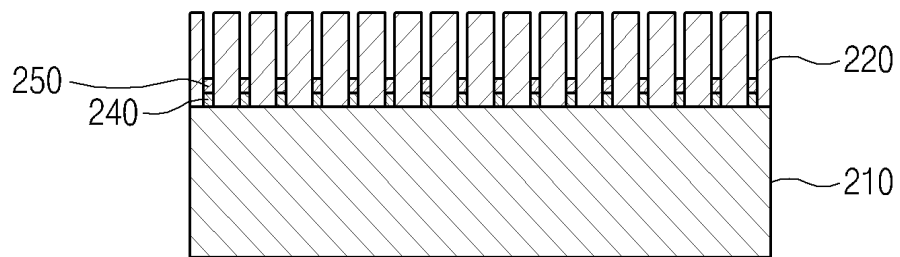
도면2e



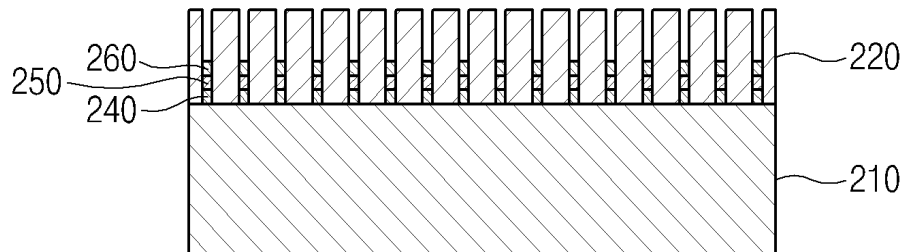
도면2f



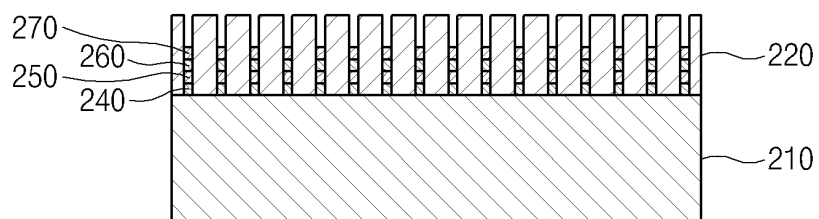
도면2g



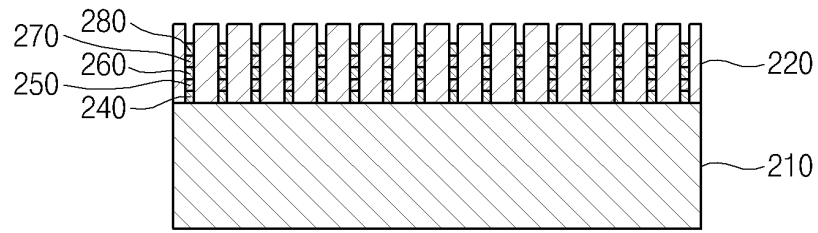
도면2h



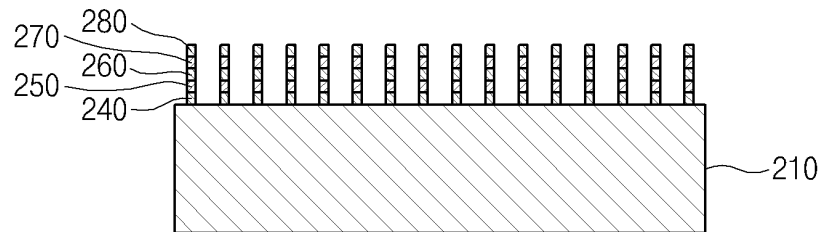
도면2i



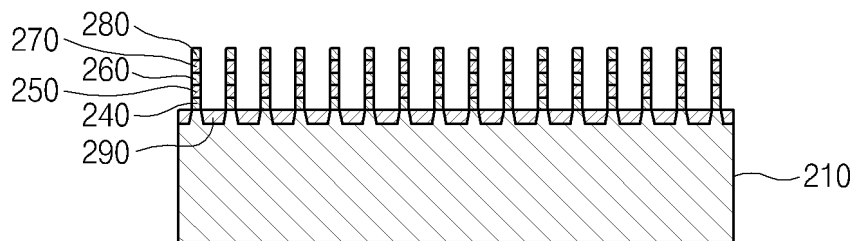
도면2j



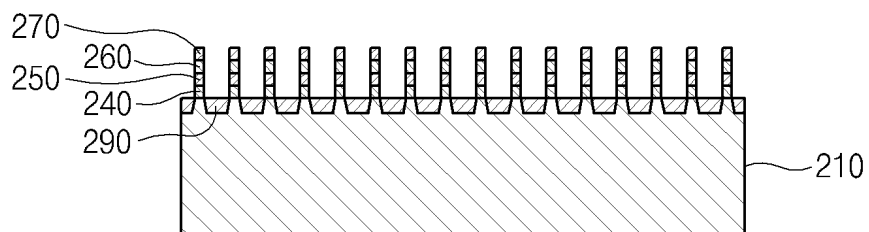
도면2k



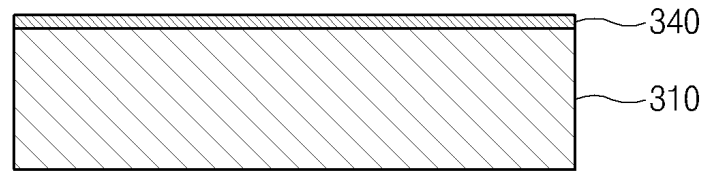
도면2l



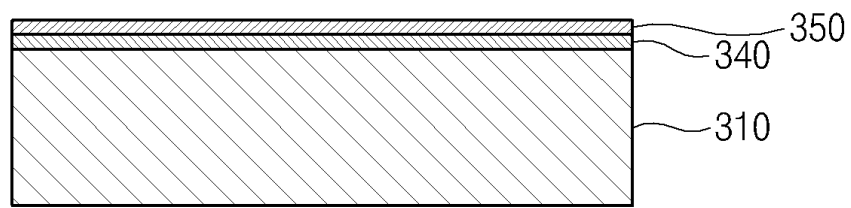
도면2m



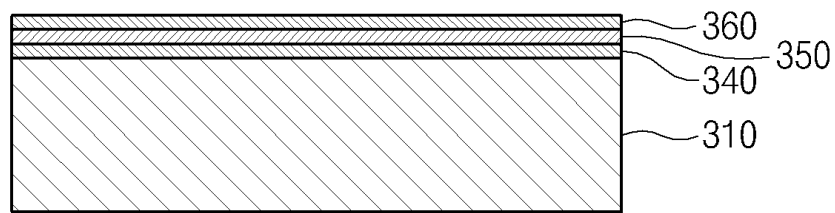
도면3a



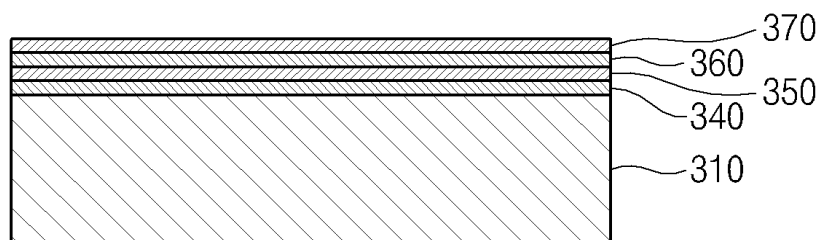
도면3b



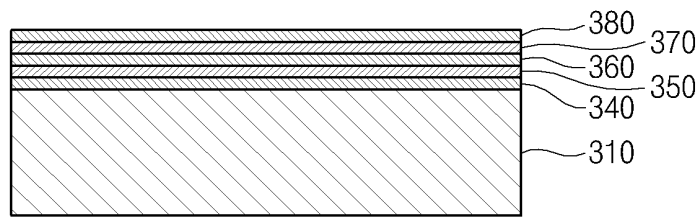
도면3c



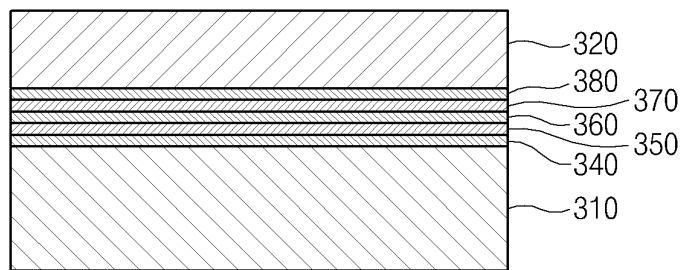
도면3d



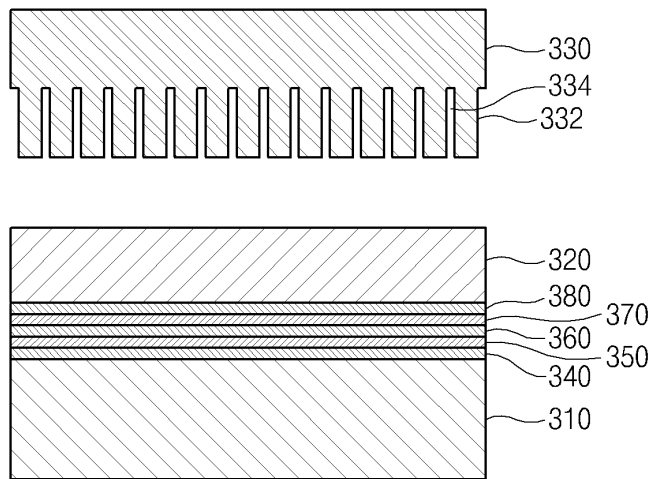
도면3e



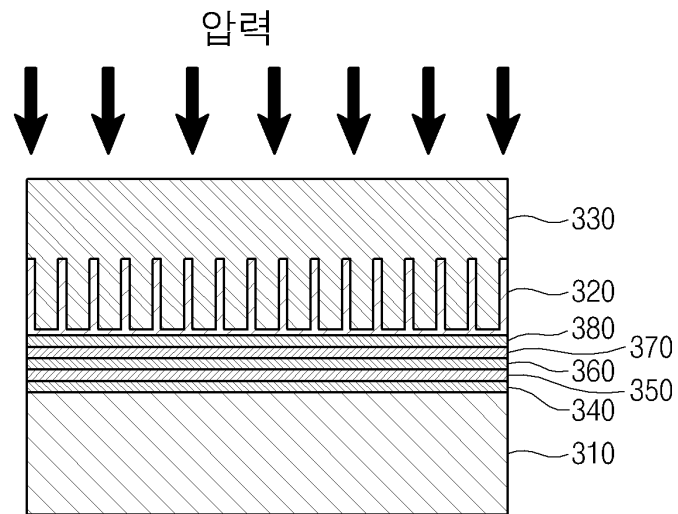
도면3f



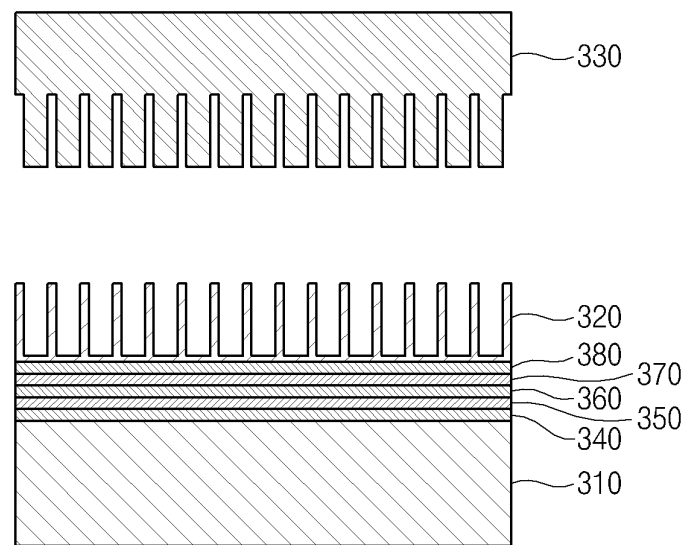
도면3g



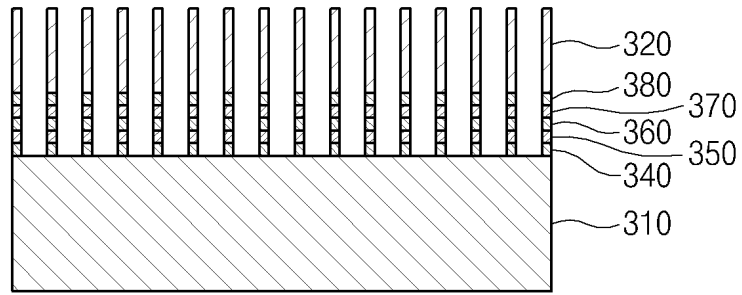
도면3h



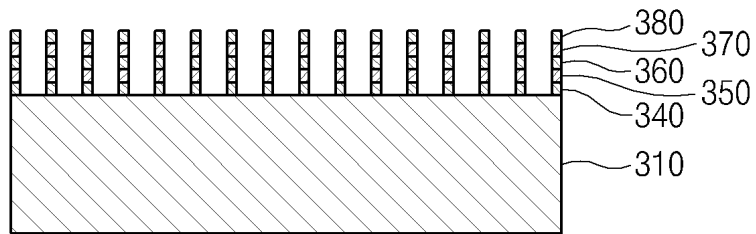
도면3i



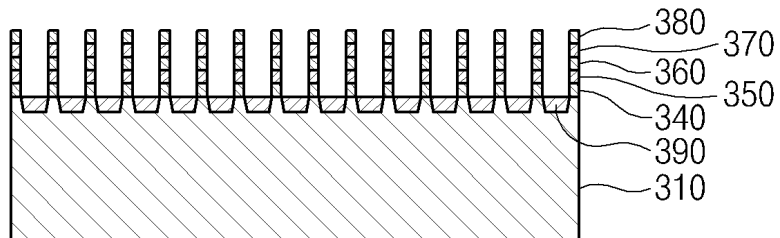
도면3j



도면3k



도면3l



도면3m

